



AK2303LV

PBX主装置アナログラインカード用 2チャンネル PCMコーデック LSI

概要

AK2303LV は、PBX 主装置アナログラインカードに適した 2 チャンネル PCM コーデックです。欧州を中心とする地域で用いられる A-Law 圧伸則と北米・日本で用いられる μ -law 圧伸則を外部ピン、レジスタ設定にて選択可能です。

PCM コーデック/フィルタは G711/712 に準拠しています。

帯域制限フィルタ、A/D 及び D/A 変換器、A-law/ μ -law 変換器、各々 2ch を小型パッケージに内蔵しており、実装スペース、実装工数及び消費電力の削減に最適です。

PCM データ転送レートは、4.096MHz、2.048MHz の 2 種類がレジスタ設定により選択可能で、各種システムに使われている主要なクロックレートに対応出来ます。

チャンネル毎に、レジスタ設定による +6 ~ -18dB/1.0dB ステップのゲイン設定とパワーダウン設定が行えます。またハードピンによりチャンネル毎のミュートの設定も可能です。

特長

- 2チャンネル・PCMコーデック/フィルタ内蔵
- 各チャンネル毎に設定可能な機能
- ・パワーダウン (レジスタ設定)
- ・ミュート (ハードピン、レジスタ設定)
- ・ゲイン調整 +6 ~ -18dB (レジスタ設定 1.0dB step)
- PCMデータインタフェース
- LongFrame/ShortFrame/GCI に対応
- PCMデータ転送レート
- 4.096MHz、2.048MHzをレジスタで選択可能
- 入出力ゲイン調整用オペアンプ内蔵
- A-law、 μ -lawの圧伸則選択機能(ハードピン、レジスタ設定)
- シリアルインタフェース
- パワーオンリセット内蔵
- +3.3V \pm 0.3V単一電源
- 低消費電力 42mW(Typ)
- 小型パッケージ
- 絶対ゲイン特性
- ・絶対入力ゲイン -0.15 ~ +0.15dB (typ)
- ・絶対出力ゲイン -0.15 ~ +0.15dB (typ)
- 遅延歪み特性
- ・送信絶対遅延特性 360us(max)
- ・受信絶対遅延特性 240us(max)

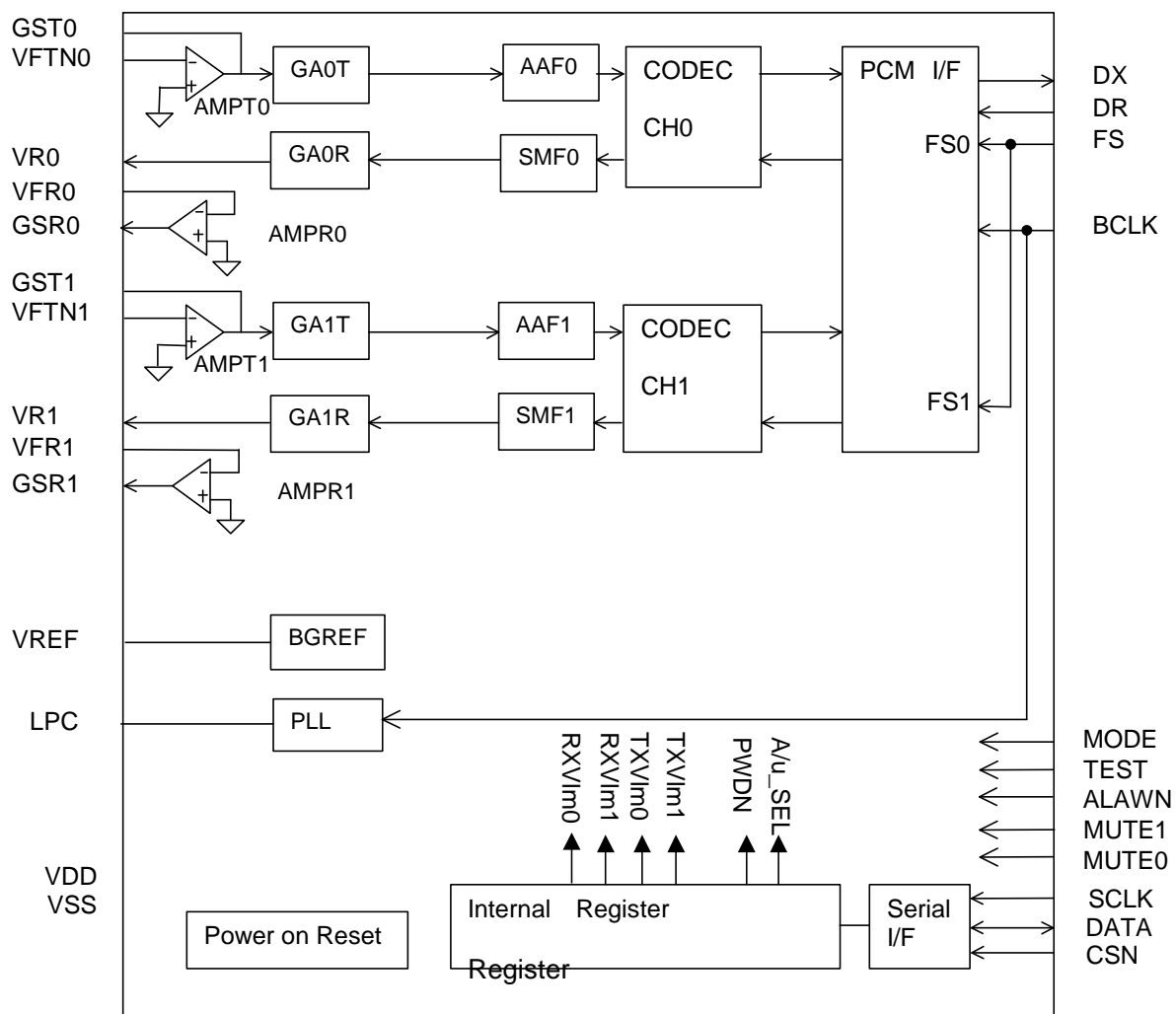
パッケージ

- 28ピンSSOP
- ・ピン端 10.40mm*7.9mm (ピン端)
- ・ピンピッチ 0.65mm

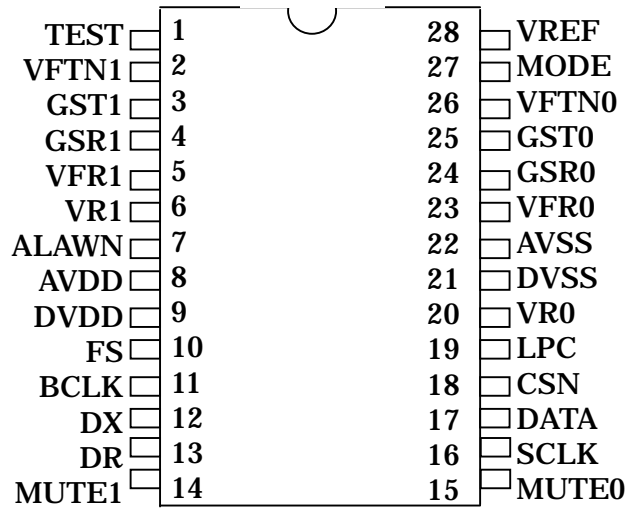
目 次

項 目	頁
ブロック図.....	3
パッケージ・ピン配置.....	4
端子条件.....	5
端子機能.....	6
回路構成.....	8
機能説明.....	9
PCMインタフェース.....	10
LongFrame/ShortFrame/GCI.....	10
ミュート.....	15
ゲイン調整.....	16
リセット.....	17
パワーダウン.....	18
シリアルインタフェース.....	20
モード設定.....	23
レジスタ.....	24
絶対最大定格.....	27
推奨動作条件.....	27
電気的特性.....	27
CODEC.....	28
PCMインタフェース.....	31
シリアルインタフェース.....	34
推奨外部回路例.....	36
パッケージ.....	38

ブロック図



パッケージ・ピン配置



端子条件

端子番号	端子名	I/O	端子タイプ	最大 AC 負荷	最小 DC 負荷	パワーダウン時出力状態	備考
1	TEST	I					AVSS に接続。(*2)
2	VFTN1	I	Analog				
3	GST1	O	Analog	50pF	10k Ω (*1)	Hi-Z	
4	GSR1	O	Analog	50pF	10k Ω (*1)	Hi-Z	
5	VFR1	I	Analog				
6	VR1	O	Analog	50pF	10k Ω	Hi-Z	
7	ALAWN	I	CMOS				
8	AVDD	—					
9	DVDD	—					
10	FS	I	CMOS				
11	BCLK	I	CMOS				
12	DX	O	CMOS	15pF		Hi-Z	
13	DR	I	CMOS				
14	MUTE1	I	CMOS				
15	MUTE0	I	CMOS				
16	SCLK	I	CMOS				
17	DATA	I/O	CMOS	15pF		Hi-Z (Input)	
18	CSN	I	CMOS				
19	LPC	O	Analog				外付容量 0.22 μ F 以上
20	VR0	O	Analog	50pF	10k Ω	Hi-Z	
21	DVSS	—					
22	AVSS	—					
23	VFR0	I	Analog				
24	GSR0	O	Analog	50pF	10k Ω (*1)	Hi-Z	
25	GST0	O	Analog	50pF	10k Ω (*1)	Hi-Z	
26	VFTN0	I	Analog				
27	MODE	I					AVDD または AVSS に接続。(*2)
28	VREF	O	Analog				外付容量 1.0 μ F 以上

*1) 最小 DC 負荷は帰還抵抗込の値です。

*2) これらのピンから隣接するアナログピンにノイズを載せないようにAVDDまたはAVSSに接続してください。

端子機能

端子番号	端子名称	I/O	機 能
1	TEST	I	テストモード設定入力。(常に AVSS に接続してください。) 0:通常動作、1:テストモード
2	VFTN1	I	CH1 入力ゲイン調整用オペアンプの反転差動入力。 VFTP1 端子と外部抵抗で入力アンプを構成しゲイン調整を行います。
3	GST1	O	CH1 入力ゲイン調整用オペアンプの出力。 外部抵抗で入力アンプを構成しゲイン調整を行います。
4	GSR1	O	CH1 出力ゲイン調整用オペアンプの出力。 外部抵抗で反転アンプを構成しゲイン調整を行います。
5	VFR1	I	CH1 出力ゲイン調整用オペアンプの反転入力。 外部抵抗で反転アンプを構成しゲイン調整を行います。
6	VR1	O	CH1 アナログ出力。 CH0 の PCM データをアナログ信号に変換した出力です。
7	ALAWN	I	A-law / μ -law 符号則選択入力。 0 : A-law 1 : μ -law
8	AVDD	-	アナログ回路用正電源端子。
9	DVDD	-	デジタル回路用正電源端子。
10	FS	I	PCM データ送受同期信号入力。 PCM データ入出力タイミングを制御します。BCLK と同期した 8kHz の信号を入力して下さい。全パワーダウン時以外は常に入力して下さい。
11	BCLK	I	PCM データ転送レート制御クロック入力。 2.048MHz または 4.096MHz のクロックを入力します。このクロックレートをクロックレート設定レジスタ(CLKSEL)に設定して下さい。 全パワーダウン時以外は常に入力して下さい。
12	DX	O	PCM データ出力端子。 CH0, CH1 の PCM データを多重化して出力します。データ転送レートは BCLK で設定されます。詳細は PCM インタフェースの項目 (Page.9~) を参照して下さい。この端子は送信データが存在する 16 ビット期間以外は、ハイインピーダンスとなります。
13	DR	I	PCM データの入力端子。 CH0, CH1 の PCM データを多重化して入力します。データ転送レートは BCLK で設定されます。詳細は PCM インタフェースの項目 (Page.9~) を参照して下さい。
14	MUTE1	I	CH1 の ミュート設定入力。 1 : ミュート, 0 : 通常動作
15	MUTE0	I	CH0 の ミュート設定入力。 1 : ミュート, 0 : 通常動作
16	SCLK	I	シリアルインタフェースのクロック入力端子。
17	DATA	I/O	シリアルインタフェースのデータ入出力端子。
18	CSN	I	シリアルインタフェースのチップセレクト入力端子。0 : 非選択 1 : 選択
19	LPC	O	PLL のループフィルタ用端子。 0.22 μ F 以上の容量を外付して下さい。

端子番号	端子名称	I/O	機 能
20	VR0	O	CH0 アナログ出力。 CH0 の PCM データをアナログ信号に変換した出力です。
21	DVSS	-	デジタル回路用負電源端子。
22	AVSS	-	アナログ回路用負電源端子。
23	VFR0	I	CH0 出力ゲイン調整用オペアンプの反転入力。 外部抵抗で反転アンプを構成しゲイン調整を行います。
24	GSR0	O	CH0 出力ゲイン調整用オペアンプの出力。 外部抵抗で反転アンプを構成しゲイン調整を行います。
25	GST0	O	CH0 入力ゲイン調整用オペアンプの出力。 外部抵抗で入力アンプを構成しゲイン調整を行います。
26	VFTN0	I	CH0 入力ゲイン調整用オペアンプの反転差動入力。 VFTP1 端子と外部抵抗で入力アンプを構成しゲイン調整を行います。
27	MODE	I	モード入力。 1:汎用モード、0:限定モード 限定モードでは、レジスタ値はボリューム以外初期値に固定されます。
28	VREF	O	アナロググランド電源出力端子。 1.0 uF 以上の容量を外付して下さい。

回路構成

ブロック	機能	備考
AMPT0,1	送信用システム 0dB (伝送 0 レベルポイント) のゲイン調整用オペアンプです。外付けの抵抗でシングルエンドのゲインアンプを構成します。ただし、帰還抵抗は 10 kΩ 以上です。各端子の構成は次のようになっています。ゲインは 0dB を目安に設定して下さい。 VFTNx : オペアンプ反転入力 GSTx : オペアンプ出力 x -- (channel x; 0 or 1)	
AMPR0,1	受信用システム 0dB (伝送 0 レベルポイント) のゲイン調整用オペアンプです。通常、反転アンプとして使用し、外付けの抵抗でゲインアンプを構成します。ただし、帰還抵抗は 10kΩ 以上です。各端子の構成は次のようになっています。ゲインは 0dB を目安に設定して下さい。 VFRx : オペアンプ反転入力 GSRx : オペアンプ出力	
AAF0,1	折り返し雑音防止用フィルタです。 2 次の RC ローパスフィルタで構成されており、 A/D コンバータのサンプリング周波数帯における雑音を除去します。	
CODEC (CH0,CH1) A/D	入力されたアナログ信号を圧伸則に従い 8 ビットの PCM データに変換します。圧伸則として、 ITU-T G.711 に準拠した A-Law または μ-Law をサポートします。 A-Law では偶数ビットの反転もおこないます。 圧伸則の選択は、レジスタ ALAWN もしくはピン ALAWN でおこないます。 レジスタとピンの関係については P25 を参照して下さい。 "H": μ-Law "L": A-Law また、帯域制限用フィルタを内蔵しています。	
CODEC (CH0,CH1) D/A	DR 端子より取り込まれた 8 ビットの PCM データを圧伸則に従い伸張し再生します。圧伸則として、 ITU-T G.711 に準拠した A-Law と μ-Law をサポートします。 A-Law では偶数ビットの反転もおこないます。 圧伸則の選択は、レジスタ ALAWN もしくはピン ALAWN でおこないます。 "H": μ-Law "L": A-Law	
SMF0,1	D/A コンバータの出力から帯域内の周波数成分を取り出すためのフィルタです。	
BGREF	温度補償されたバンドギャップ電圧発生器により、安定なアナロググランド電圧を供給します。(1.5V@3.3V時) 安定化の為、 1.0 uF の容量を接続下さい。	
GA0T GA0R GA1T GA1R	信号レベルを変更する回路です。+6~-18dB (1dBstep 、 25 段階) のゲイン調整が可能です。ゲイン設定はレジスタで行います。	
SERIAL I/F	内部レジスタへのデータ入力を行います。 1 ワード= 16bit 。 構成は命令コード 4bit 、アドレス 3bit 、ダミー 1bit 、データ 8bit となっています。 SCLK,DATA,CSN 端子で制御します。	
PLL	BCLK から、内部動作に必要な所定のクロック周波数を発生します。ループフィルタ用の外付容量 (0.22 uF 以上) を LPC 端子に接続します (対 VSS)。	
PCM I/F	BCLK で定められるデータレート(4.096,2.048MHz)で PCM データを入出力します。 PCM インタフェースには LongFrame,ShortFrame,GCI の3つのモードがあります。モード設定はレジスタ PCMIF で行います。 PCMIF = "L" LongFrame or Short Frame PCMIF = "H" GCI LF,SF は内部回路で自動判定します。 PCM データは 2 チャンネル分が多重化され DX,DR 端子から入出力されます。 Long/Short Frame を選択時、 BCLK とデータレートは一致しますが、 GCI モードを選択した場合、 GCI のデータレートは設定した BCLK のクロックレートの 1/2 になります。	

機能説明

AK2303LV はシリアルインターフェースを介して、内部レジスタにアクセスする事が出来ます。
各レジスタについての説明は次項を参照して下さい。

◆レジスタマップ

Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
A2	A1	A0	*	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	*	0	0	0	GA0R4	GA0R3	GA0R2	GA0R1	GA0R0
0	0	1	*	0	0	0	GA1R4	GA1R3	GA1R2	GA1R1	GA1R0
0	1	0	*	0	0	0	GA0T4	GA0T3	GA0T2	GA0T1	GA0T0
0	1	1	*	0	0	0	GA1T4	GA1T3	GA1T2	GA1T1	GA1T0
1	0	0	*	ALAWN	SEL2B	PCMIF	MTCH1	MTCH0	PD	PDCH1	PDCH0
1	0	1	*	CLKSEL1	CLKSEL0	-	TS4	TS3	TS2	TS1	TS0
1	1	0	*	Reserved							
1	1	1	*	Reserved							

■ PCM インタフェース

AK2303LV は以下の 3 つの PCM データインタフェースをサポートしています。

- Long Frame Sync(LF)
- Short Frame Sync(SF)
- GCI

各チャンネルの PCM データは多重化され共通の端子(DR,DX)から順次入出力されます。

いずれの場合もデータは **MSB** ファーストで入出力されます。**B1** 及び **B2** データの PCM インターフェース上のタイムスロットの位置をレジスタ設定によって選択できます。

◆PCM インターフェースの選択

Long Frame/Short Frame または **GCI** のどちらか一方を選択します。

以下を参照して **PCMIF** レジスタを設定して下さい。

PCM インタフェース選択レジスタ(アドレス:100 Bit:5)

PCMIF	PCM インタフェース	備考
0	LF or SF	LF/SF は FS 信号で自動判定 (次項参照)
1	GCI	

* レジスタ初期化時はLF/SFモード(PCMIF=0)が選択されます。

● LONG FRAME (LF) / SHORT FRAME (SF)

◆LF/SFの判定方法

AK2303LVは入力されたFSの”H”期間によりLong Frame, Short Frameかを自動的に判断します。

FS=”H”の期間	フレーム構成
BCLKの2周期以上	LF
BCLKの1周期	SF

◆インタフェースタイミング

各チャンネルの PCM データは、フレーム同期信号 **FS** に同期して、1 フレーム区間(125 μ s)毎にそれぞれ 8 ビットずつ **B1** を最初に、そして **B2** がその後から **DX,DR** 端子より入出力されます。1 フレーム区間には最大 32 個のタイムスロット(**BCLK=4.096MHz** 時、但し **B1/B2** の 16bit を 1 Time slot とカウントします。)があり、タイムスロット数=**BCLK/128k** です。**B1/B2** のタイムスロットはレジスタを通して指定できます。この場合、**B1/B2** は 16bit 一組での指定となり、**B1/B2** は常に隣り合って入出力されることとなります。(p11:Time Slot Assignment 参照)

◆フレーム同期信号(Frame Sync:FS)

8kHz の基準入力信号です。1 フレーム(125us 毎)に 8 ビットの PCM データが入出力されます。**BCLK** と同期していることが必要です。

◆BCLK

PCMインターフェース用のデータ搬送クロックであるBCLKの周波数はレジスタにて選択されます。
BCLK 周波数選択レジスタ(アドレス:101 Bit:7,6)

CLKSEL[1:0]	BCLK 周波数	備考
00	Reserved	
01	Reserved	
10	2.048MHz	Default 値
11	4.096MHz	

* レジスタ初期化時はBCLK=2.048MHz(CLKSEL[1:0]=10)が選択されます。

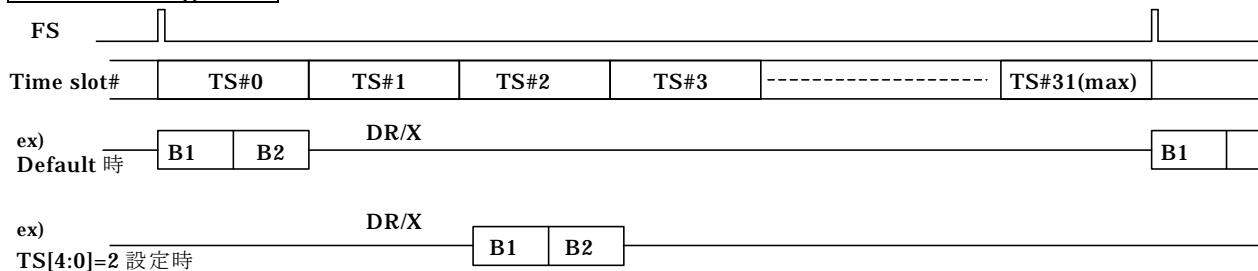
◆PCMデータ入出力チャンネル(B1 or B2)の指定

PCMインターフェース上のタイムスロット (Time slot#0~31(最大)) にB1、B2入出力チャンネルを割り当て、またアナログチャンネルのCH0,CH1をB1,B2チャンネルのどちらのPCMデータに割り当てるかを指定することにより、4線アナログチャンネルとPCMインターフェース上データスロットの指定を行います。

B1、B2入出力チャンネル・タイムスロット選択(アドレス:101 Bit:4~0)

TS[4:0]	Time slot	B1	B2	備考
00000	0	Time-slot#0 の前半 8Bit	Time-slot#0 の後半 8Bit	初期値
00001	1	Time-slot#1 の前半 8Bit	Time-slot#1 の後半 8Bit	
00010~ 11110	X	Time-slot#X の前半 8Bit	Time-slot#X の後半 8Bit	
11111	31	Time-slot#31 の前半 8Bit	Time-slot#31 の後半 8Bit	

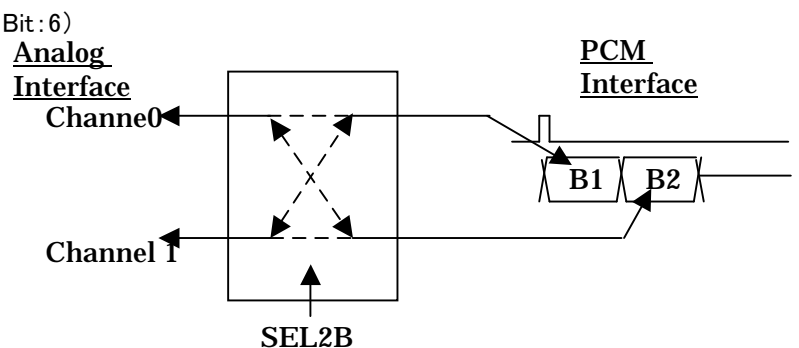
Time slot Assignment



チャンネル選択

CH0,CH1 入出力チャンネル選択(アドレス:100 Bit:6)

SEL2B	B1	B2	備考
0	CH0	CH1	初期値
1	CH1	CH0	



● *GCI (General Circuit Interface)*

◆ **インタフェースタイミング**

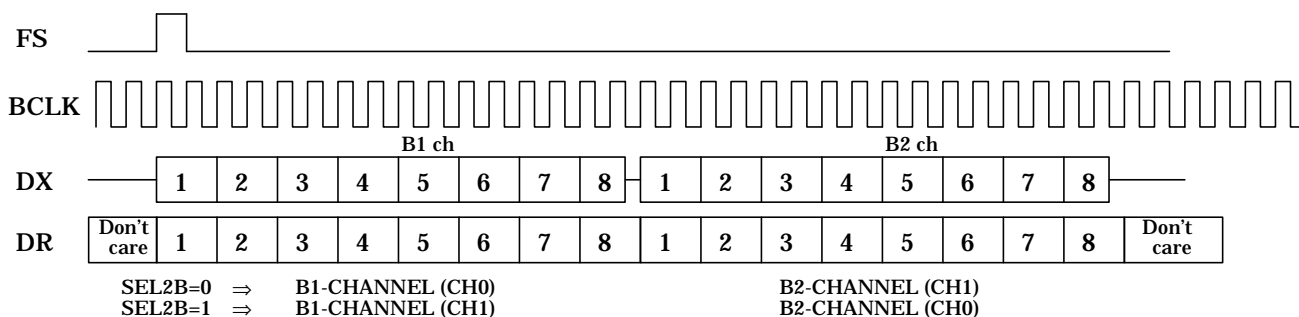
各チャンネルの PCM データは、フレーム同期信号 FS に同期して、1 フレーム区間(125 μs)毎にそれぞれ 8 ビットずつ DX,DR 端子より入出力されます。

◆ **フレーム同期信号(Frame Sync:FS)**

8kHz の基準入力信号です。1 フレーム(125us 毎)に 8 ビットの PCM データが入出力されます。BCLK と同期していることが必要です。FS は PLL の入力となり、これをもとに内部の動作クロックが生成されます。

◆ **BCLK**

BCLKの周波数はPCMデータレートの2倍です。入力BCLK周波数は4.096MHz、2.048MHzです。



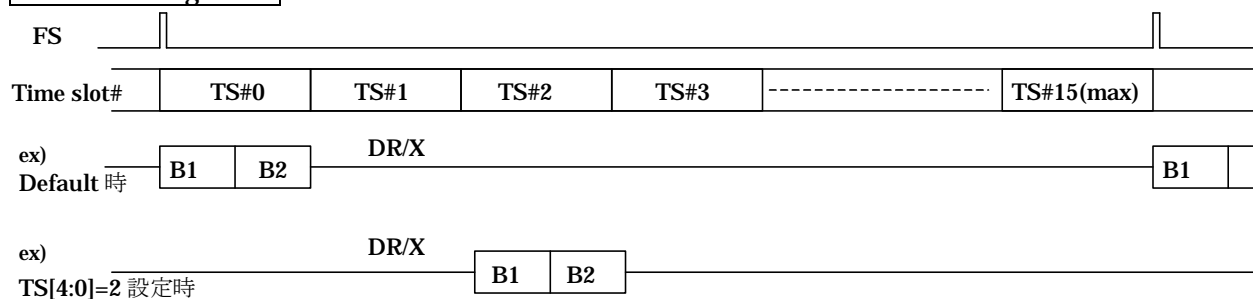
◆GCI データ入出力チャンネル(B1 or B2)の指定

PCMインターフェース上のタイムスロット (Time slot#0~15(最大)) にB1、B2入出力チャンネルを割り当て、またアナログチャンネルのCH0,CH1をB1,B2チャンネルのどちらのPCMデータに割り当てるかを指定することにより、4線アナログチャンネルとPCMインターフェース上データスロットの指定を行います。

B1、B2入出力チャンネル・タイムスロット選択(アドレス:101 Bit:4~0)

TS[4:0]	Time slot	B1	B2	備考
00000	0	Time-slot#0 の前半 8Bit	Time-slot#0 の後半 8Bit	初期値
00001	1	Time-slot#1 の前半 8Bit	Time-slot#1 の後半 8Bit	
00010~ 01110	X	Time-slot#X の前半 8Bit	Time-slot#X の後半 8Bit	
01111	15	Time-slot#15 の前半 8Bit	Time-slot#15 の後半 8Bit	

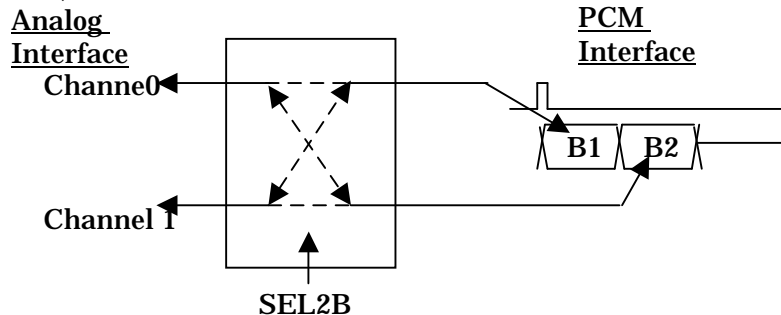
Time slot Assignment



チャンネル選択

CH0,CH1 入出力チャンネル選択(アドレス:100 Bit:6)

SEL2B	B1	B2	備考
0	CH0	CH1	初期値
1	CH1	CH0	



! 注意事項 <重要>

- ・ BCLK を 2.048MHz に設定した場合、Time slot を 7 以上、BCLK を 4.096MHz に設定した場合、Time slot を 15 以上に設定すると動作の保証が出来ません。
- ・ Power on 時の Default 値と異なる Time slot を指定する場合で、PCM I/F 上の Default 値の TS に別の PCM データが存在する場合、本 LSI の出力と衝突する事態が想定されます。この場合、Mute ピンで Mute 設定を行い、TS 設定を終えた後で Mute を解除し衝突を起さないようにして下さい。
- ・ 全パワーダウン時以外は FS と BCLK を停止しないで下さい。

■ミュート

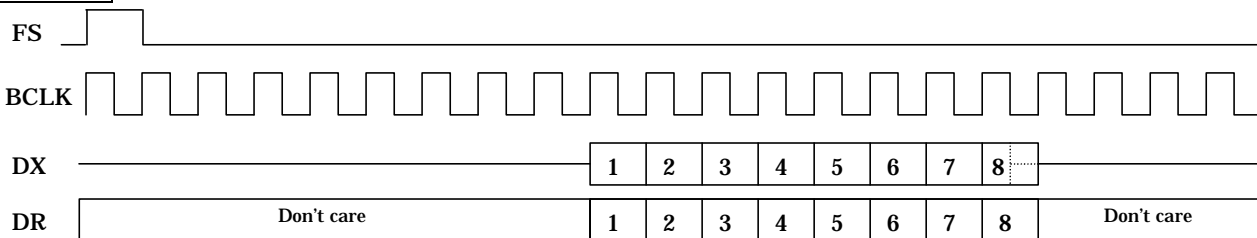
各チャンネル独立に PCM 出力をミュートすることが可能です。
 以下を参照して MTCH0,MTCH1 レジスタ又はピンを設定して下さい。
 レジスタとピンの関係については、P28 を参照して下さい。

ミュートレジスタの設定 (Address: 100 Bit: 4,3)

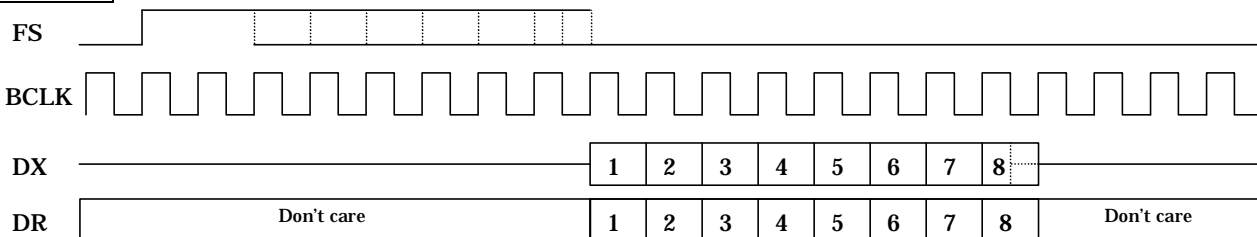
MTCH0,1	動作	DX 端子	VRX0, VRX1 端子	備考
0	信号出力	PCM データ出力	CODEC アナログ出力	初期値
1	ミュート	High-Impedance	アナロググランド	

◆ 動作例

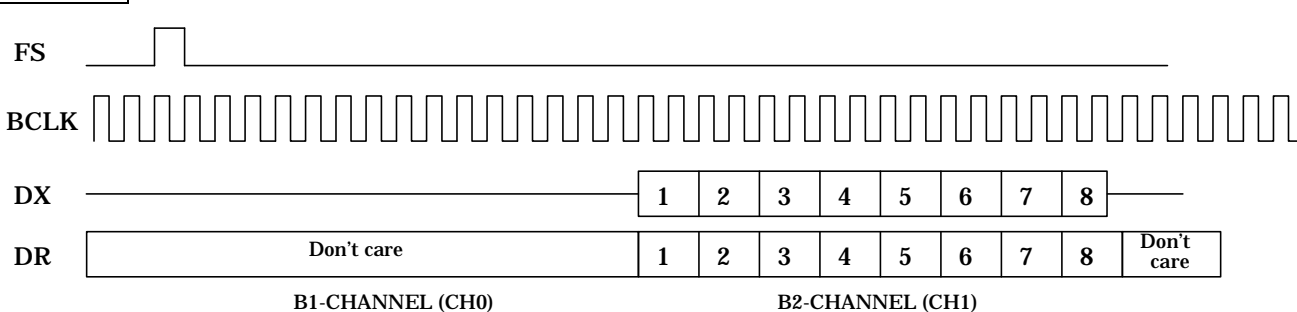
SF モード CH0 ミュート (MTCH0 = "1", MTCH1 = "0")



LF モード CH0 ミュート (MTCH0 = "1", MTCH1 = "0")



GCI モード CH0 ミュート (MTCH0 = "1", MTCH1 = "0")



VRX0 : CODEC CH0 のアナログ出力は常にアナロググランドレベルです。

VRX1 : CODEC CH1 のアナログ出力は DR 端子から入力された CH1 の PCM データに応じたレベルです。

■ゲイン調整

ボリューム GA0T,GA0R,GA1T,GA1R のゲインは、各ボリュームに対応するレジスタで設定可能です。
調整範囲は+6~-18dB（1.0dBstep、25 段階）です。

ボリューム設定レジスタ (Address: 011~000, Bit: 4~0)

GanT4 GanR4	GanT3 GanR3	GAnT2 GAnR2	GAnT1 GAnR1	GAnT0 GAnR0	ゲイン [dB]	備考
0	0	0	0	0	+6	
0	0	0	0	1	+5	
0	0	0	1	0	+4	
0	0	0	1	1	+3	
0	0	1	0	0	+2	
0	0	1	0	1	+1	
0	0	1	1	0	0	初期値
0	0	1	1	1	-1	
0	1	0	0	0	-2	
0	1	0	0	1	-3	
0	1	0	1	0	-4	
0	1	0	1	1	-5	
0	1	1	0	0	-6	
0	1	1	0	1	-7	
0	1	1	1	0	-8	
0	1	1	1	1	-9	
1	0	0	0	0	-10	
1	0	0	0	1	-11	
1	0	0	1	0	-12	
1	0	0	1	1	-13	
1	0	1	0	0	-14	
1	0	1	0	1	-15	
1	0	1	1	0	-16	
1	0	1	1	1	-17	
1	1	---	---	---	-18	

■リセット

◆パワーオンリセット

AK2303LV は電源投入時に内部リセットパルスが発生し、全ての回路がリセットされます。内部レジスタは初期値に設定されます。

リセット終了後、CODEC CH0/CH1 の回路は、FS の入力開始と共に初期化が開始されます。パワーオンリセット～初期化終了までに要する時間は **150ms (typ) ,330ms(max)** です。

※ 内部リセットパルス発生期間は 20ms (typ) , 200ms (max) です。

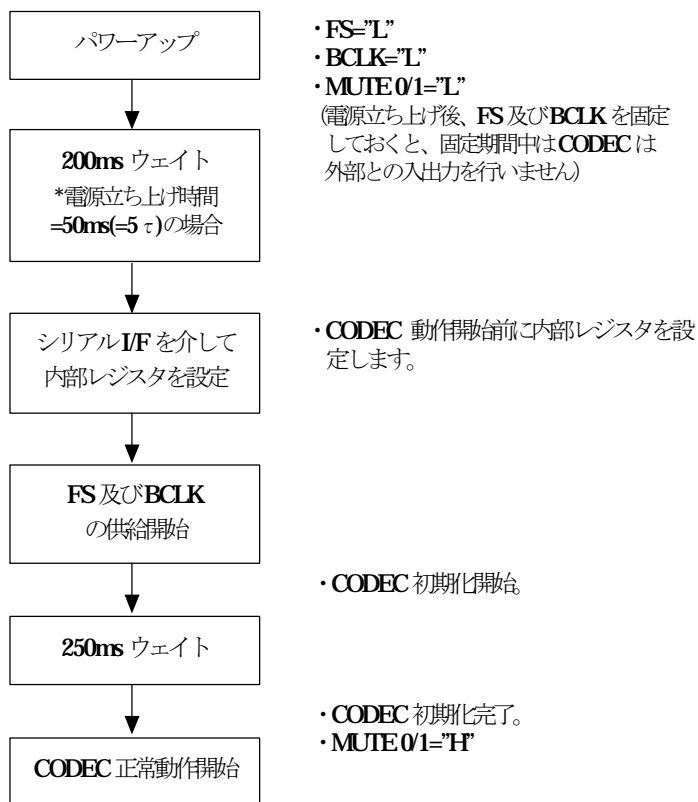
◆パワーオンリセットを有効とするための電源立ち上げ時間

電源立ち上げ時間が **50ms (=5τ)** 以内であれば、パワーオンリセットは確実に動作します。

電源立ち上げ時間が **50ms** より大きくなる場合は、パワーオンリセットが実行されません。この場合、レジスタは初期化されません。全てのレジスタに設定したい値を書き込んでから、動作を開始してください。

◆パワーオン時の推奨動作手順

電源立ち上げ後AK2303LVを動作させる際、以下の様な手順で動作を開始されることを推奨致します。



■パワーダウン

パワーダウン設定を行うと **AK2303LV** の消費電力が低減されます。
 パワーダウン時は、アナログ回路への電流供給およびデジタル回路へのクロック供給が停止され、該当する回路は動作停止状態となります。

パワーダウンは次の2つの形式があります。

- ・全回路パワーダウン
- ・ブロック別パワーダウン

※ パワーダウン時には、該当するブロックの出力端子はハイインピーダンスとなります (p. 5参照)。

◆パワーダウン設定方法

全回路または一部の回路のパワーダウンはレジスタ設定で行います。

パワーダウンの設定方法と設定時の動作

対象回路	レジスタ	設定値と動作	パワーダウン時動作の注意事項
全回路	PD	"0" : 動作 "1" : パワーダウン	<ul style="list-style-type: none"> ・レジスタは初期化されません。 ・シリアル I/F は使用可能です。 ・FS, BCLK を供給する必要はありません。
CODEC CH0	PDCH0		<ul style="list-style-type: none"> ・常に FS と BCLK を入力して下さい (p.10,11 参照)。 ・CODEC CHn(n=0,1) をパワーダウンしても、以下の回路は動作しています。
CODEC CH1	PDCH1		<ul style="list-style-type: none"> ①AMPTn, AMPRn (n=0,1)入出力 (詳細は次項の表を参照して下さい)

注) PD, PDCHn(n=0,1)レジスタの初期値は"0"です。

◆パワーダウンからの復帰:CODEC

CODEC CH0/CH1 をパワーダウンから復帰する場合、**AK2303LV** は CODEC の初期化を行います。
 初期化終了までに要する時間は **130ms(typ)**です。

◆パワーダウン設定とパワーダウンブロック

パワーダウン回路	全 BLOCK	CODEC CH0	CODEC CH1	CODEC CH0&1
設定レジスタ	PD	PDCH0	PDCH1	PDCH0 PDCH1
Channel 0	AMPT0	OFF		
	GA0T	OFF	OFF	OFF
	AAF0	OFF	OFF	OFF
	CODEC CH0	OFF	OFF	OFF
	SMF0	OFF	OFF	OFF
	GA0R	OFF		
	AMPR0	OFF		
Channel 1	AMPT1	OFF		
	GA1T	OFF		OFF
	AAF1	OFF		OFF
	CODEC CH1	OFF		OFF
	SMF1	OFF		OFF
	GA1R	OFF		
	AMPR1	OFF		
PCM I/F	OFF			OFF
PLL	OFF			
BGREF	OFF			
SERIAL I/F				

■シリアルインタフェース

SCLK,DATA,CSN の 3 端子を使用して内部レジスタ設定用データの書き込み／読み出しを行います。

1 ワードは 16 ビットで構成です。MSB 側から 4 ビットが制御コードで、書き込み／読み出しを指定します。次の 3 ビットは内部レジスタのアドレスを指定します。LSB 側 8 ビットがレジスタに設定するデータです。

B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
I3	I2	I1	I0	A2	A1	A0	*	D7	D6	D5	D4	D3	D2	D1	D0
制御コード (4bit)				アドレス (3bit)			*	内部レジスタ設定用データ (8bit)							

*) データ読み出し時のI/O切替タイミング調整用 Dummy Bitです。

◆制御コード

I3	I2	I1	I0	動作内容
1	1	1	0	読み出し
1	1	1	1	書き込み
その他のコード				読み出し／書き込み動作は実行されません。

◆SCLKとデータ書き込み／読み出し動作

- ① DATA端子への入力データは、SCLKの立ち上がりで内部シフトレジスタに取り込まれます。
- ② SCLKの立ち上がりエッジは、CSNの立ち下がり以降の入力エッジからカウントされます。
- ③ CSN="L"の時、16パルス以上のSCLK入力に対し、以下の動作が行われます。
 【書き込み】 SCLK の16パルス目の立ち上がりで、データは内部レジスタにロードされます。
 【読み出し】 SCLK の16パルス目の立ち下がり、DATA端子は入力端子に切り替わります。

◆CSNとデータ書き込みキャンセル／データ読み出し期間

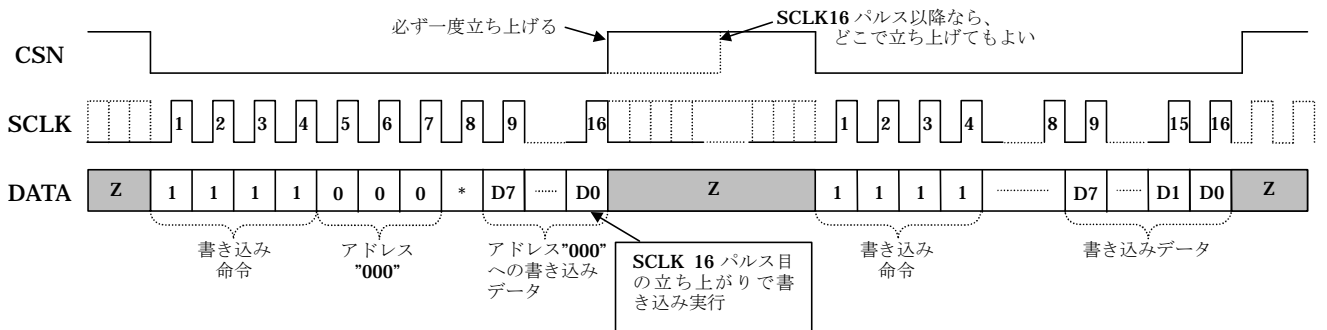
- ① SCLK の16パルス目の立ち上がりより前にCSNを立ち上げると、書き込みはキャンセルされます。
- ② SCLK の16パルス目の立ち下がりより前にCSNを立ち上げると、その時点で読み出しは中止されます。

◆連続したデータ書き込み／読み出し動作（連続アクセス）

- ① 連続アクセス動作を行う際には、次のアクセスの前に、CSNを必ず一度立ち上げて下さい。
- ② CSN="L"のまま、連続アクセスを行った場合、2回目以降のアクセスは無効となります。

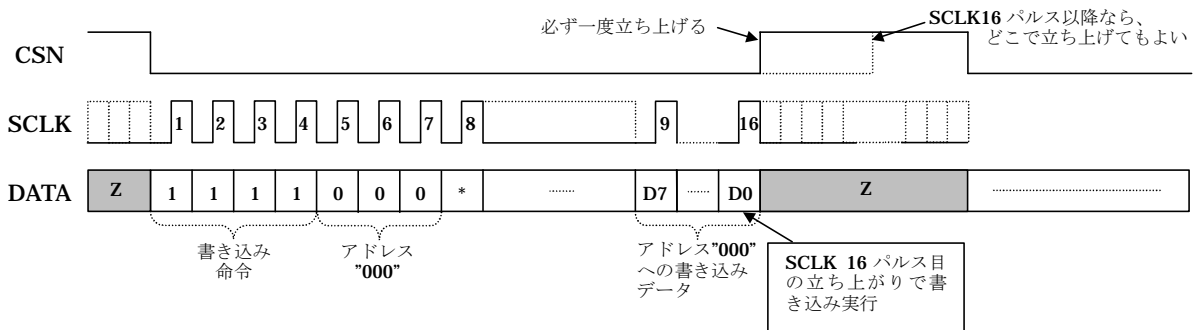
◆データ書き込みタイミング

連続SCLK使用時 連続する16bitのDATAとSCLKでアクセスする方法です

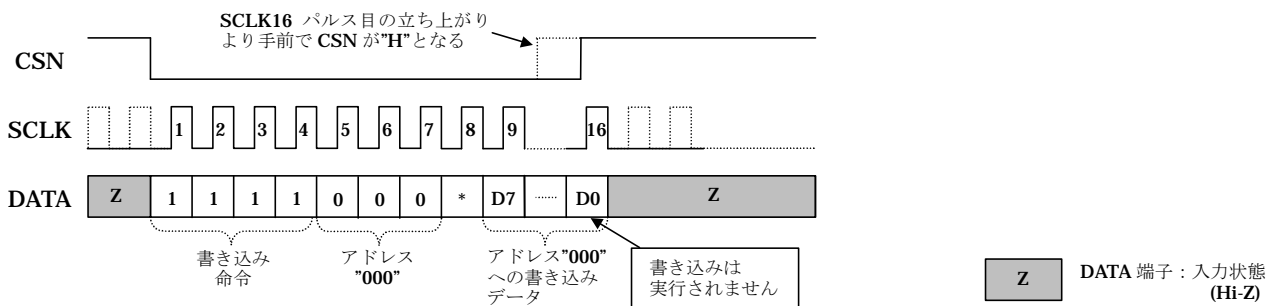


SCLK一時停止時 DATAとSCLKを何回かに分けて書き込む方法です

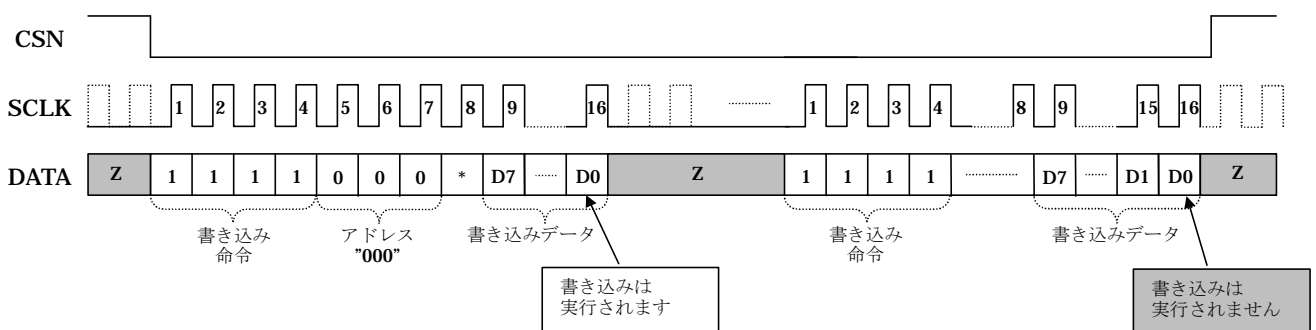
SCLKを一度”H”または”L”で停止しても、再度SCLKの入力を開始すれば、先のデータに続けて書き込みを行うことができます。SCLKを停止する位置は任意です。



書き込みキャンセル

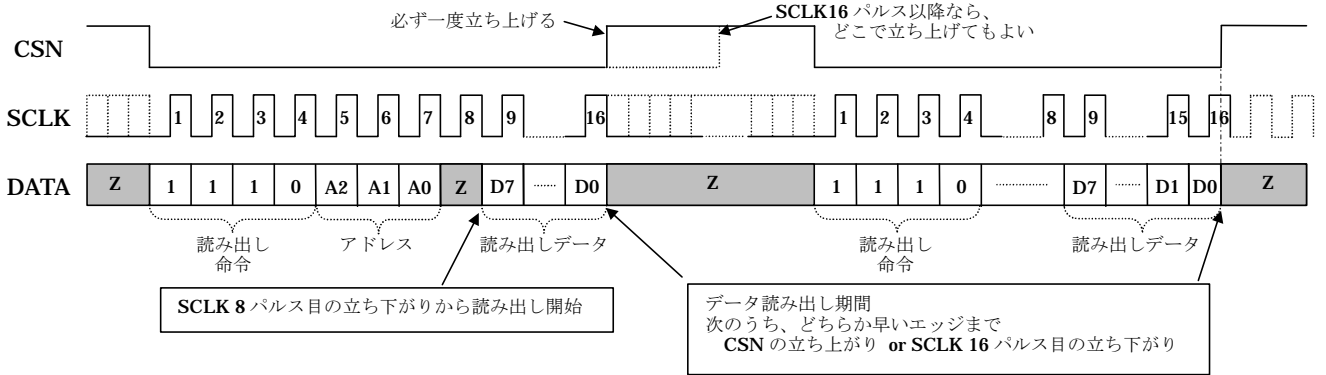


！注意 **連続アクセス** CSNを”L”のまま続けてアクセスした場合です



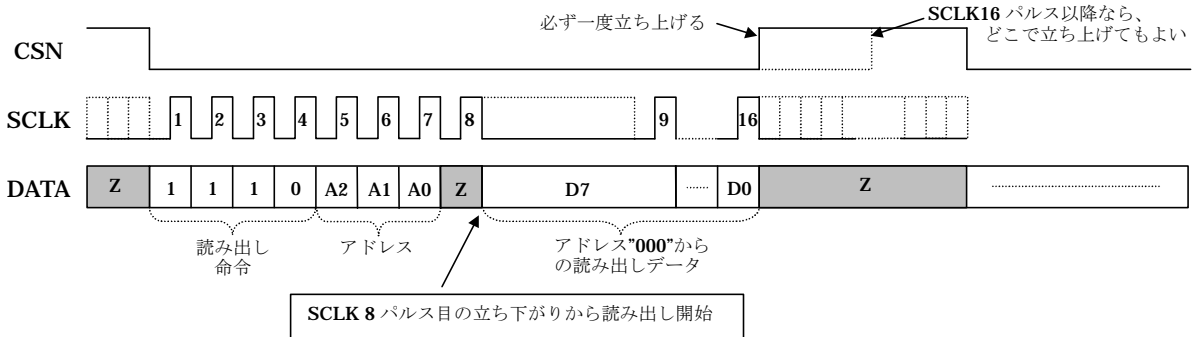
◆データ読み出しタイミング

連続SCLK使用時 連続する16bitのDATAとSCLKでアクセスする方法です

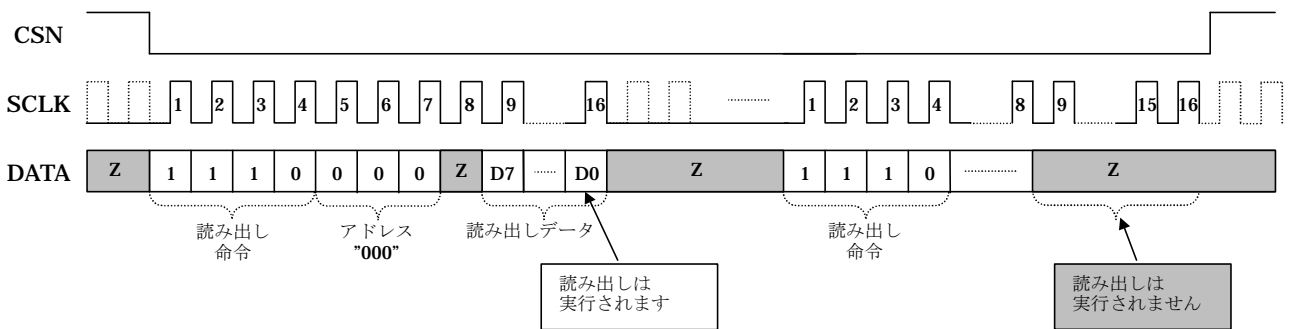


SCLK一時停止時 DATAとSCLKを何回かに分けて読み出す方法です

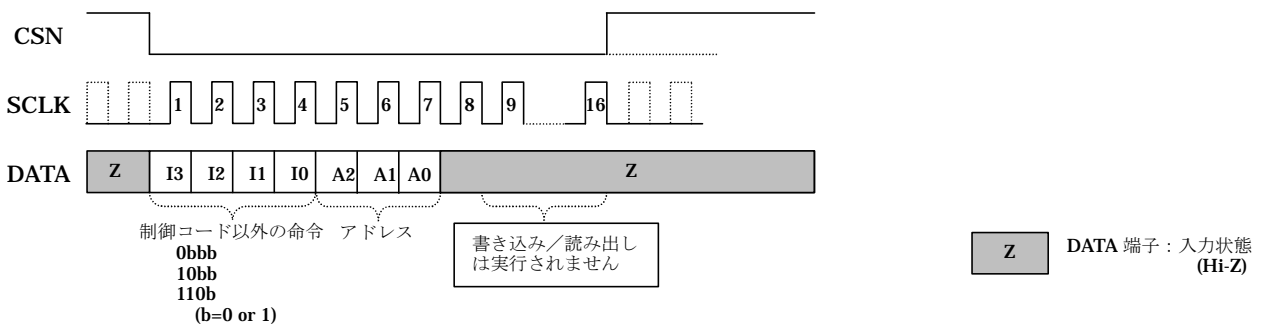
SCLKを一度”H”または”L”で停止しても、再度SCLKの入力を開始すれば、先のデータに続けて読み出しを行うことができます。SCLKを停止する位置は任意です。



！注意 連続アクセス CSNを”L”のまま続けてアクセスした場合です



★注意 制御コードの不一致



■モード設定

AK2303LVは、MODEピン入力値により汎用モードと限定モード2つのモードを持ちます。

MODEピンの接続	設定されるモード
MODE = "H" (AVDD)	汎用モード： <ol style="list-style-type: none"> 1. アクセス可能なレジスタ全て設定可能です。多様なシステム要求仕様に対応します。 2. 強電磁界ノイズや過度の電源変動等による内部レジスタの意図せぬ書き換えに対して各レジスタへの定期的な値の再設定等のシステムサイドでのフェイルセーフ対策をとることを推奨します。
MODE = "L" (AVSS)	限定モード： <ol style="list-style-type: none"> 1. アドレス "100" 及び "101" のレジスタ値が初期値に固定されます。 2. ALAWN, MUTE0, MUTE1 設定は、ピン入力のみが有効です。 3. 強電磁界ノイズや過度の電源変動等による内部レジスタの意図せぬ書き換えりが ボリューム以外では生じません。（ボリュームに対しては対策が必要です。）

尚、MODEピンへの入力、このピン経由で隣接するアナログピンへの影響を抑えるためAVDDまたはAVSSへ直接接続してください。

レジスタ

◆ レジスタマップ

Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
A2	A1	A0	*	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	*	0	0	0	GA0R4	GA0R3	GA0R2	GA0R1	GA0R0
0	0	1	*	0	0	0	GA1R4	GA1R3	GA1R2	GA1R1	GA1R0
0	1	0	*	0	0	0	GA0T4	GA0T3	GA0T2	GA0T1	GA0T0
0	1	1	*	0	0	0	GA1T4	GA1T3	GA1T2	GA1T1	GA1T0
1	0	0	*	ALAWN	SEL2B	PCMIF	MTCH1	MTCH0	PD	PDCH1	PDCH0
1	0	1	*	CLKSEL1	CLKSEL0	-	TS4	TS3	TS2	TS1	TS0
1	1	0	*	Reserved							
1	1	1	*	Reserved							

*) Dummy Bit です。

注) 上記表中の "0", Reserved 以外のレジスタは全て "書き込み/読み出し" 可能です。

注) "0", Reserved 以外の設定ビットは他のビット同様、書き込んだ値が、読み出し時には読み出されます。

また、"0"のビットへの書き込みは出来ません。また、読み出し時には "0"が出力されます。

注) MODE入力ピンが "L" の時、レジスタアドレス "100" 及び "101" の値は初期値に固定されます。

◆ レジスタの初期化

パワーオンリセット時にレジスタの初期化を行っていきますが、確実にかからないことも想定されますので、電源立ち上げ時、電源瞬断など異常状態に陥った後は、必ず全てのレジスタの値を設定して下さい。それ以外ではレジスタの初期化はなされません。

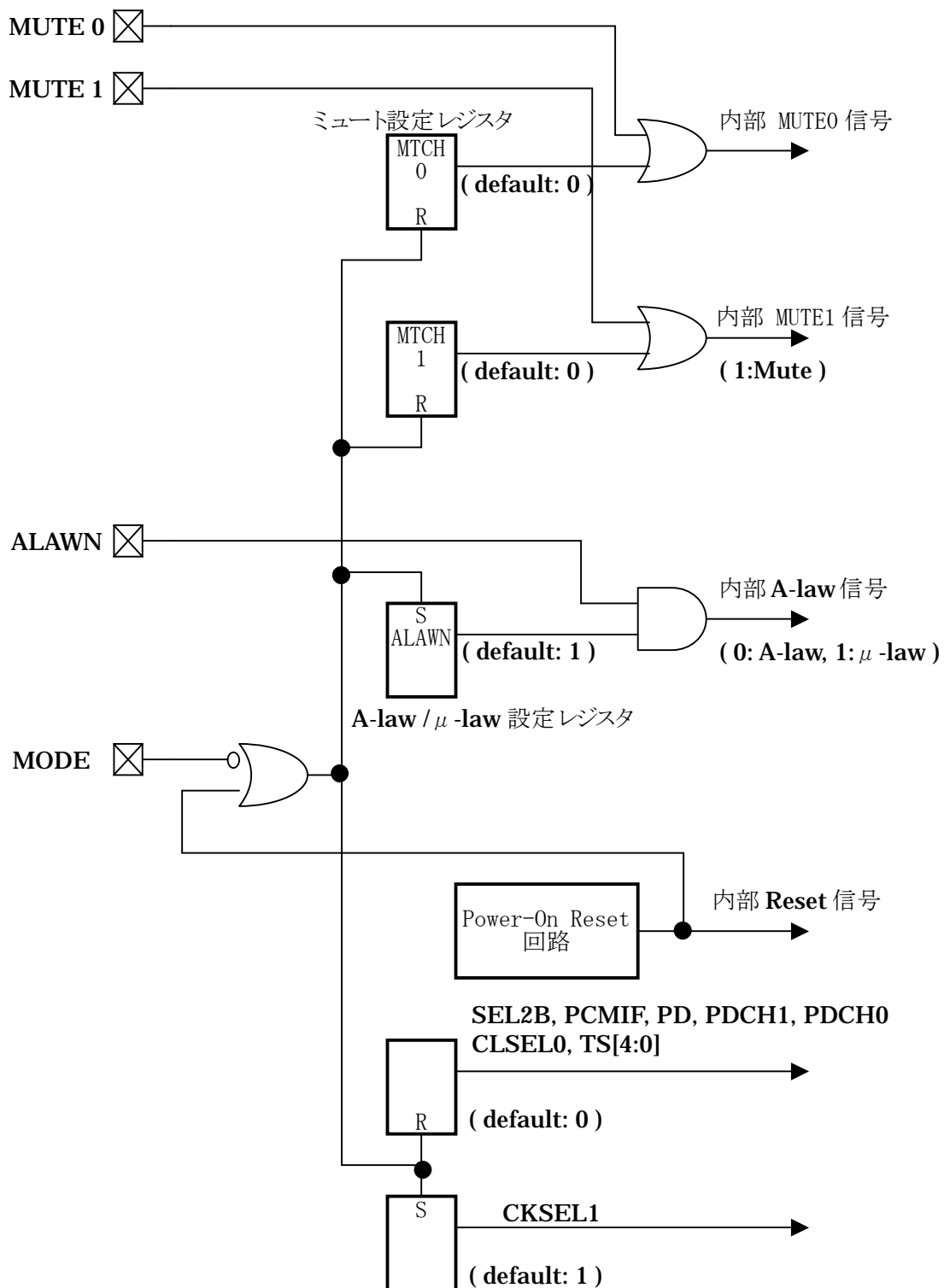
◆ レジスタ機能

アドレス	Bit	レジスタ名	初期値	機能	参照頁
000	0	GA0R0	0	ボリューム GA0R のゲイン設定	
	1	GA0R1	1		
	2	GA0R2	1		
	3	GA0R3	0		
	4	GA0R4	0		
	5	—			
	6	—			
001	0	GA1R0	0	ボリューム GA1R のゲイン設定	
	1	GA1R1	1		
	2	GA1R2	1		
	3	GA1R3	0		
	4	GA1R4	0		
	5	—			
	6	—			
010	0	GA0T0	0	ボリューム GA0T のゲイン設定	
	1	GA0T1	1		
	2	GA0T2	1		
	3	GA0T3	0		
	4	GA0T4	0		

アドレス	Bit	レジスタ名	初期値	機 能	参照頁
010	5	—			
	6	—			
	7	—			
011	0	GA1T0	0	ボリューム GA1T のゲイン設定	
	1	GA1T1	1		
	2	GA1T2	1		
	3	GA1T3	0		
	4	GA1T4	0		
	5	—			
	6	—			
	7	—			
100	0	PDCH0	0	CODEC CH0,1 パワーダウン設定	
	1	PDCH1	0	0: Power ON 1: Power OFF	
	2	PD	0	全パワーダウン設定 0: Power ON 1: Power OFF	
	3	MTDX0	0	ミュート: VR0.VR1,DX 端子	
	4	MTDX1	0	0: 信号出力 1: MUTE	
	5	PCMIF	0	PCM インタフェース選択 0: LF/SF 1: GCI	
	6	SEL2B	0	PCM 出力チャンネル選択 0: CH0→B1 1: CH1→B1	
	7	ALAWN	1	A/ μ -law 選択 0: A-law 1: μ -law	
101	0	TS0	0	タイムスロット指定	
	1	TS1	0	4.096Mbits/s時: 0 ~ 31	
	2	TS2	0	2.048Mbits/s時: 0 ~ 15	
	3	TS3	0	1.024Mbits/s時: 0 ~ 7	
	4	TS4	0		
	5	—	0		
	6	CLKSEL0	0	BCLK 入力クロック周波数設定 * CLKSEL[1:0] = 00: (Reserved) 01: (Reserved) 10: 2.048MHz 11: 4.096MHz	
	7	CLKSEL1	1		
110	0			Reserved	
	1				
	2				
	3				
	4				
	5				
	6				
	7				
111	0			Reserved	
	1				
	2				
	3				
	4				
	5				
	6				
	7				

* : CLKSEL[1:0] の 設定と BCLK 入力への実際の周波数は必ず一致させてください。

< ピン設定と内部設定レジスタとの関係 >



絶対最大定格

パラメータ	記号	min	max	単位
電源電圧 アナログ/デジタル電源	AVDD DVDD	-0.3	6.5	V
VSS 電圧	AVSS DVSS	-0.1	0.1	V
デジタル端子印加電圧	VTD	-0.3	VDD+0.3	V
アナログ端子印加電圧	VTA	-0.3	VDD+0.3	V
入力電流 (電源ピンを除く)	IIN	-10	10	mA
保存温度	Tstg	-55	125	°C

注) この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

パラメータ	記号	min	typ	max	単位
電源電圧 アナログ/デジタル電源	VDD	3.0	3.3	3.6	V
動作温度範囲	Ta	-40		85	°C
フレームシンク周波数	FS		8		kHz

注) 電圧は全て接地端子基準 : VSS=0V

電気的特性

特記のない限り、規格値は VDD = +3.3V±0.3V、Ta = -40~+85°C、FS=8 kHz において保証されます。

■ DC特性

項目	記号	条件	min	typ	Max	単位
消費電力 (BCLK 2048kHz 時)	PDD1	PDCH0,1=0,0 出力端子はすべて無負荷		35		mW
デジタル高レベル 出力電圧(CMOS)	VOH	IOH=-1.6mA	0.8VDD			V
デジタル低レベル 出力電圧(CMOS)	VOL	IOL=1.6mA			0.4	V
デジタル高レベル 入力電圧(CMOS)	VIH		0.7VDD			V
デジタル低レベル 入力電圧(CMOS)	VIL				0.3VDD	V
入力漏洩電流	Ii		-10		+10	μA
入力容量	Ci				5	pF
出力漏洩電流	Io	トリステート時	-10		+10	uA
パワーダウン時消費電力	PDDd		-	2.5	-	mW

◆CODEC

仕様条件

電源電圧 ; VDD 3.3V±0.3V

内部ゲイン ; 0dB 設定時

■絶対ゲイン特性

項目	測定条件	min	typ	max	単位
アナログ入力レベル	0dBm0@1020Hz 入力		0.531		Vrms
絶対入力ゲイン	(Typ 条件) *	-0.15	—	+0.15	dB
		-0.25	—	+0.25	dB
アナログ出力レベル	0dBm0@1020Hz 入力		0.531		Vrms
絶対出力ゲイン	(Typ 条件) *	-0.15	—	+0.15	
		-0.25	—	+0.25	dB
最大入出力レベル	3.14dBm0 相当値 (内部ゲイン 0dB 設定時)		0.762		Vrms

* Typ 条件 : VDD=3.3V, Ta=25°C 参考値

■伝送レベル特性

項目	測定条件	min	typ	max	単位
送信伝送レベル特性 (A→D)	基準レベル: -55dBm0~-50dBm0	-1.2	—	1.2	dB
	-10dBm0 -50dBm0~-40dBm0	-0.4	—	0.4	
	1020Hz Tone -40dBm0~ 3dBm0	-0.2	—	0.2	
受信伝送レベル特性 (D→A)	基準レベル: -55dBm0~-50dBm0	-1.2	—	1.2	dB
	-10dBm0 -50dBm0~-40dBm0	-0.4	—	0.4	
	1020Hz Tone -40dBm0~ 3dBm0	-0.2	—	0.2	

■伝送損失周波数特性

項目	測定条件	min	typ	max	単位	
伝送損失周波数特性 (A→D)	基準: 0dBm0@1020Hz	0.05kHz	—	—	-30	dB
		0.06kHz	—	—	-26	
		0.2kHz	-1.8	—	0	
		0.3~3.0kHz	-0.15	—	0.15	
		3.4kHz	-0.8	—	0	
		4.0kHz	—	—	-14	
伝送損失周波数特性 (D→A)	基準: 0dBm0@1020Hz	0~3.0kHz	-0.15	—	0.15	dB
		3.4kHz	-0.8	—	0	
		4.0kHz	—	—	-14	

■歪み特性

項目	測定条件	min	typ	max	単位	
信号対総合電力歪比 (A→D)	1020Hz Tone	-40dBm0~-45dBm0	25	—	—	dB
		-30dBm0~-40dBm0	30	—	—	
		0dBm0~-30dBm0	36	—	—	
信号対総合電力歪比 (D→A)	1020Hz Tone	-40dBm0~-45dBm0	25	—	—	dB
		-30dBm0~-40dBm0	30	—	—	
		0dBm0~-30dBm0	36	—	—	
送信単一周波歪み比		—	—	-46	dB	
受信単一周波歪み比		—	—	-46	dB	
相互変調歪み	-6dBm@860Hz,1380Hz	—	—	-42	dB	

注) μ -Law 時は C-message, A-Law 時は Psophometric フィルタ使用。

■遅延歪み特性

項目	測定条件	min	typ	max	単位
送信絶対遅延特性	f = 1600Hz	—	—	360	μs
送信遅延歪み周波数特性 (A→D) f = 1600Hz 基準	f = 500Hz～600Hz	—	—	220	μs
	f = 600Hz～1000Hz	—	—	145	
	f = 1000Hz～2600Hz	—	—	75	
	f = 2600Hz～2800Hz	—	—	105	
	f = 2800Hz～3000Hz	—	—	155	
受信絶対遅延特性	f = 1600Hz			240	μs
受信遅延歪み周波数特性 (D→A) f = 1600Hz 基準	f = 500Hz～1000Hz	-40	—	—	μs
	f = 1000Hz～1600Hz	-30	—	—	
	f = 1600Hz～2600Hz	—	—	90	
	f = 2600Hz～2800Hz	—	—	125	
	f = 2800Hz～3000Hz	—	—	175	

■ノイズ特性

項目	測定条件	min	typ	max	単位	
無通話時雑音 A→D (注1)	μ-law, C-message	—	5	10	dBrnC0	
	A-law, Psophometric	—	-85	-80	dBm0p	
無通話時雑音 D→A (注2)	μ-law, C-message	—	5	10	dBrnC0	
	A-law, Psophometric	—	-85	-80	dBm0p	
単一周波数雑音	GSTx = 0 Vrms, DR = DX f = 0～100kHz	—	—	-53	dBm0	
電源雑音除去比 Transmit	変調レベル: VDD = 3.3V/±66mVop f = 0～10kHz	40	—	—	dB	
電源雑音除去比 Receive	変調レベル:同上	40	—	—	dB	
帯域外スプリアス (注3)	0dBm0, 0.3～3.4kHz PCM CODE 入力	4.6～7.6kHz	—	—	-30	dB
		7.6～8.4kHz	—	—	-40	
		8.4～100kHz	—	—	-32	

注1) アナログ入力 = アナロググランドレベル。

注2) デジタル入力 (DR) = +0 CODE

注3) 設計保証値。

■チャンネル間漏話

項目	測定条件	min	typ	max	単位
送信側→受信側	0dBm0@GSTx, Idle PCM code	—	—	-75	dB
受信側→送信側	0dBm0 code level, GSTx = 0 Vrms	—	—	-75	dB
送信側→送信側	0dBm0@GSTx, GSTx = 0 Vrms	—	—	-75	dB
受信側→受信側	0dBm0 code level, Idle PCM code	—	—	-75	dB

■同一チャンネル内漏話

項目	測定条件	min	typ	max	単位
送信側→受信側	0dBm0@GSTx, Idle PCM code	—	—	-75	dB
受信側→送信側	0dBm0 code level, GSTx = 0 Vrms	—	—	-75	dB

■送信オペアンプ特性

項目	測定条件	min	typ	max	単位
出力負荷抵抗		10	—	—	kΩ
出力負荷容量		—	—	50	pF
出力振幅	推奨外部回路例 (P35 参照) GSTn(n=0,1)		2.25		Vp-p

■受信信号出力特性 (VDD: 3.3V±0.3V)

項目	測定条件	min	typ	max	単位
出力電圧(AGND レベル)	PCM ゼロ code 入力時	—	1.5	—	V
出力負荷抵抗		10			kΩ
出力負荷容量				50	pF
最大出力振幅	VRn(n=0,1)	—	2.25	—	Vp-p

■受信オペアンプ特性

項目	測定条件	min	typ	max	単位
出力負荷抵抗		10	—	—	kΩ
出力負荷容量		—	—	50	pF
最大出力振幅	推奨外部回路例 (P35 参照) GSRn(n=0,1)	—	2.25	—	Vp-p

◆ボリューム

■出力特性

項目	測定端子	測定条件	Min	typ	max	単位
ステップ誤差		0dB 設定時を基準とする。	-1	-	+1(*1)	dB

(*1)かつ単調性保証

◆PCM インタフェース (Long Frame, Short Frame, GCI)

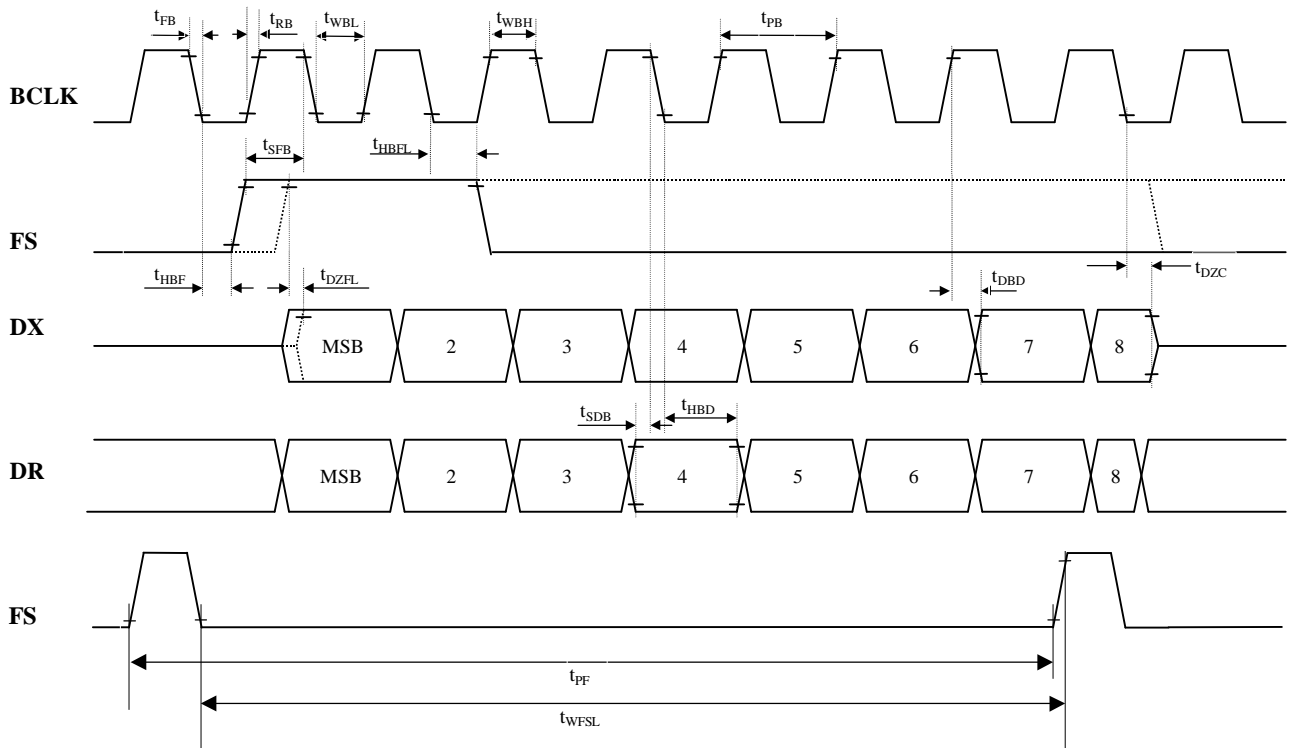
特記なき場合、Ta=-40 to +85°C, VDD = 3.3V±0.3V, VSS = 0V and FS 8kHz における定義となります。すべてのタイミングパラメータは VOH = 0.8VDD 及び VOL = 0.4V にて測定されます。

■AC 特性

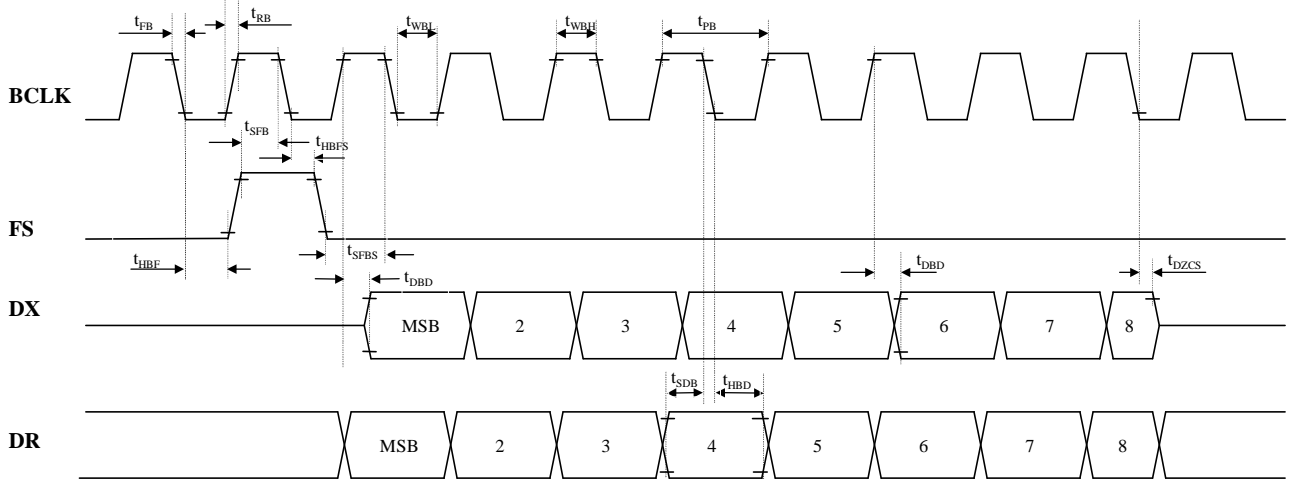
パラメータ	記号	Min	Typ	Max	単位	参照図
FS Frequency	1/tPF	—	8	—	kHz	図 1 図 2 図 3
BCLK Frequency 注 1)	1/tPB	2048	—	4096	kHz	
BCLK Pulse Width High	tWBH	80			ns	
BCLK Pulse Width Low	tWBL	80			ns	
Rising Time: (BCLK,FS0,FS1,DX0,DX1,DR0,DR1)	tr			40	ns	
Falling Time: (BCLK,FS0,FS1,DX0,DX1,DR0,DR1)	tF			40	ns	
Hold Time: BCLK Low to FS High	tHBF	40			ns	
Setup Time: FS High to BCLK Low	tSFB	70			ns	
Setup Time: DR to BCLK Low	tSDB	40			ns	
Hold Time: BCLK Low to DR	tHBD	40			ns	
Delay Time: BCLK High to DX valid 注 2)	tDBD			60	ns	
Long Frame						
Hold Time: 2 nd period of BCLK Low to FS Low	tHBFL	40			ns	図 1
Delay Time: FS or BCLK High, whichever is later, to DX valid 注 2)	tDZFL			60	ns	
Delay Time: BCLK Low to DX High-Z 注 1)	tDZCL	10		60	ns	
FS Pulse Width Low	tWFSL	1			BCLK	
Short Frame						
Hold Time: BCLK Low to FS Low	tHBFS	40			ns	図 2
Setup Time: FS Low to BCLK Low	tSFBS	40			ns	
Delay Time: BCLK Low to DX High-Z 注 2)	tDZCS	10		60	ns	
GCI						
BCLK Frequency 注 1)	1/tPBG	2048	—	4096	kHz	図 3
Delay Time: Second BCLK Low to DX High-Z	tDZCG	10		60	ns	
Setup Time: DR to Second BCLK High	tSDBG	40			ns	
Hold Time: Second BCLK High to DR	tHBDG	40			ns	

注 1) レジスタ CKSEL[1:0]に基づく値により 2048, 4096kHz のいずれかを選択。

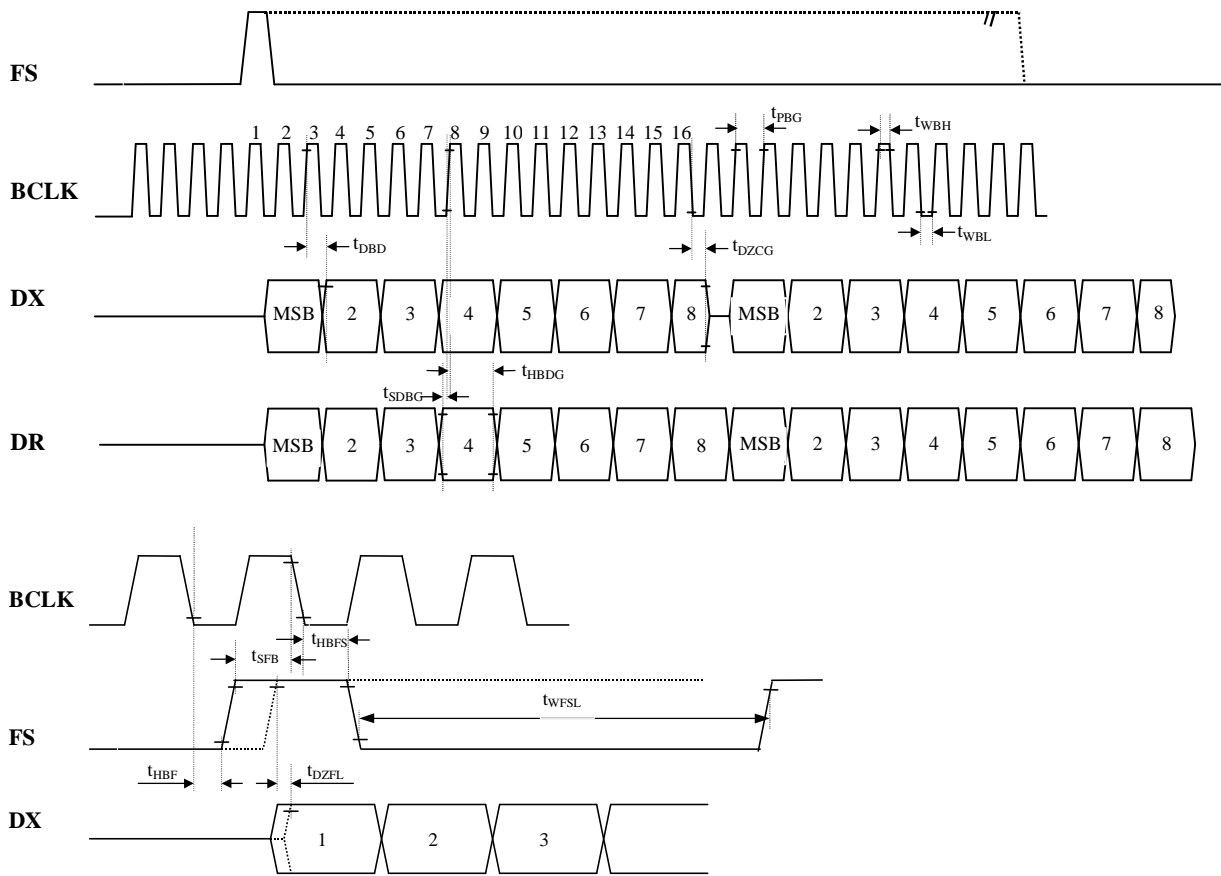
注 2) 150pF の負荷容量及び 2つの LSTTL 駆動時。



☒ 1 PCM Interface Timing < Long Frame >



☒ 2 PCM Interface Timing < Short Frame >

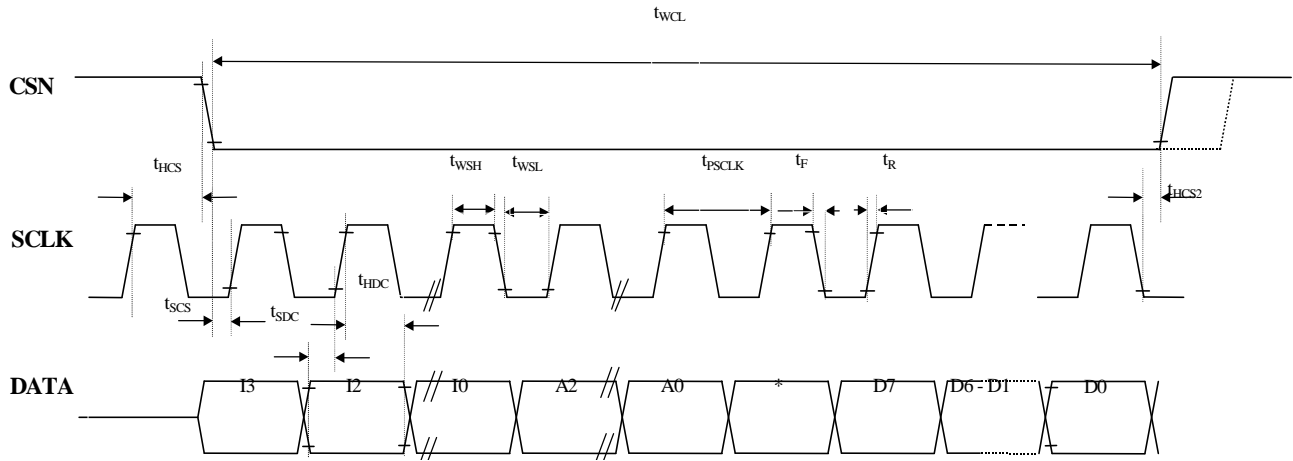


☒ 3 PCM Interface Timing < GCI >

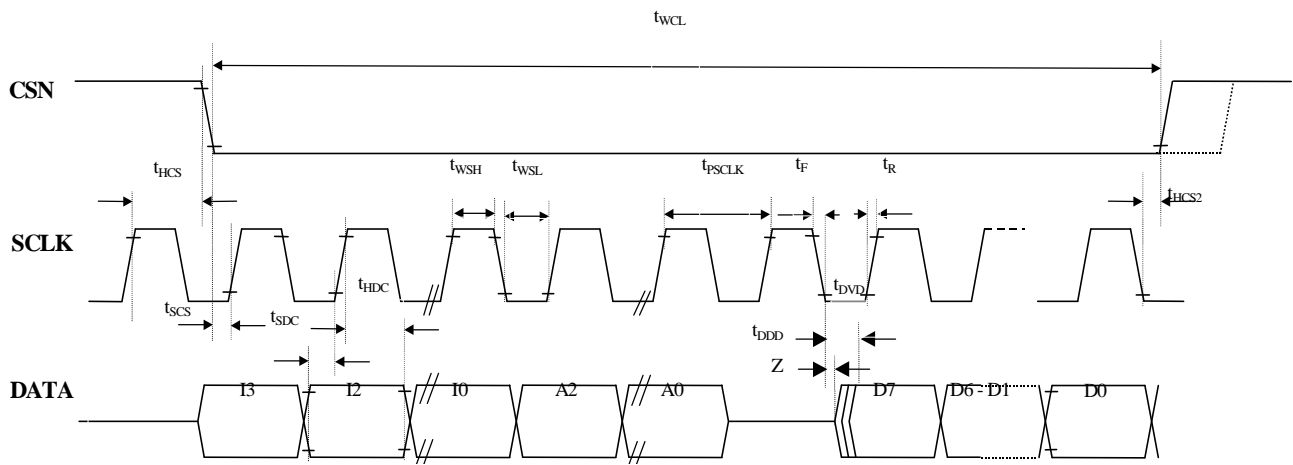
◆シリアルインタフェース

■AC characteristics

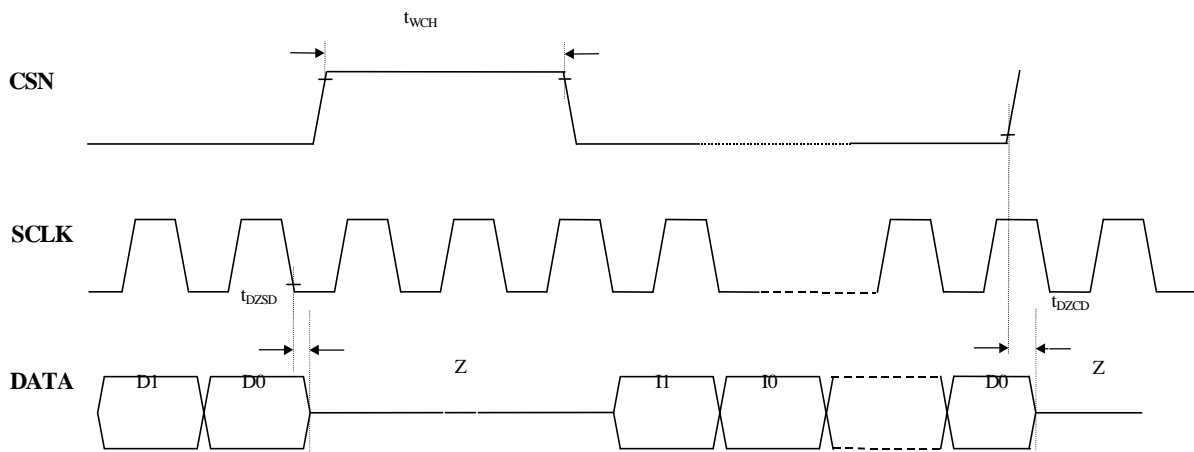
パラメータ	記号	Min	Typ	Max	単位	参照図
SCLK Frequency	$1/t_{\text{PCLK}}$			4.096	MHz	図 4
SCLK Pulse Width High	t_{WSH}	40			ns	
SCLK Pulse Width Low	t_{WSL}	40			ns	
CSN Pulse Width Low	t_{WCL}	16			SCLK	
Hold Time: SCLK High to CSN Low	t_{HCS}	80			ns	
Setup Time: CSN Low to SCLK High	t_{SCS}	40			ns	
Rising Time: CSN,SCLK	t_{R}			100	ns	
Falling Time: CSN,SCLK	t_{F}			100	ns	
WRITE						
Setup Time: DATA to SCLK High	t_{SDC}	40			ns	図 4
Hold Time: SCLK High to DATA	t_{HDC}	40			ns	
Hold Time: SCLK Low to CSN High	t_{HCS2}	0			ns	
READ						
Delay Time: SCLK Low to DATA pin drive	t_{DDD}	0			ns	図 5
Delay Time: SCLK Low to DATA valid	t_{DVD}			60	ns	
Delay Time: SCLK Low to DATA High-Z	t_{DZSD}	0		60	ns	図 6
Delay Time: CSN High to DATA High-Z	t_{DZCD}	0		60	ns	
CSN Pulse Width High	t_{WCH}	40			ns	



☒ 4 Serial Interface Timing < WRITE >



☒ 5 Serial Interface Timing < READ >



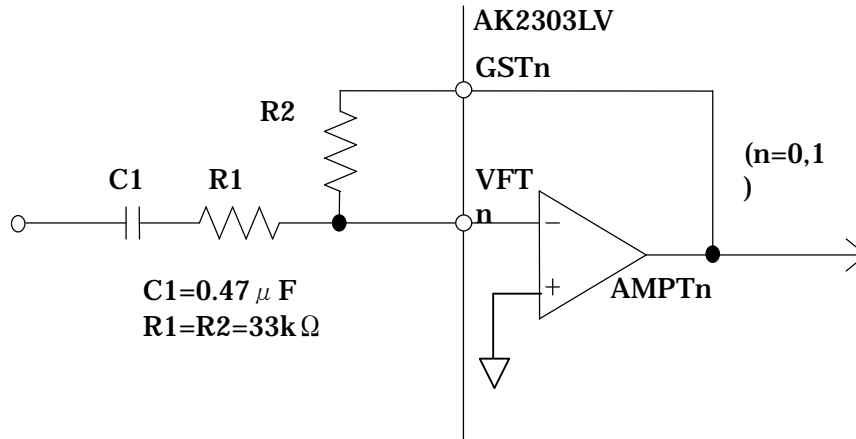
☒ 6 Serial Interface Timing < READ >

推奨外部回路例

◎アナログ信号入力回路(AMPT0,1)

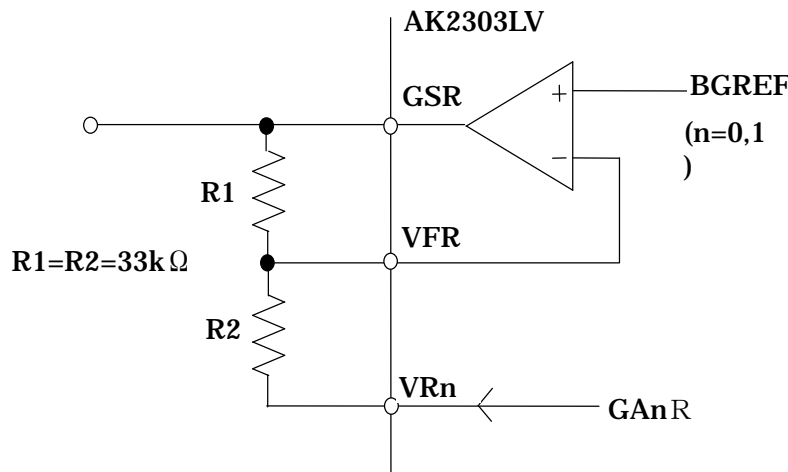
AK2303LV のアナログ信号入力部には各チャンネル毎に、システムの 0dB (伝送レベル 0 レベルポイント) のゲイン調整用のアンプが入っています。このアンプは、内部の VREF 電圧を基準として動作する反転アンプとして使用できます。ただし、帰還抵抗 10kΩ 以上で使用して下さい。ゲインは 0dB を目安に使用して下さい。

■入力回路例



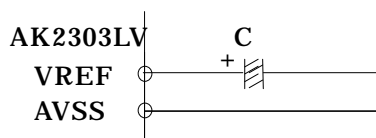
◎アナログ信号出力回路(AMPR0,1)

AK2303LV のアナログ信号出力部には各チャンネル毎に、システムの 0dB (伝送レベル 0 レベルポイント) のゲイン調整用のアンプが入っています。このアンプは、内部の VREF 電圧を基準として動作する反転アンプとして使用できます。ただし、帰還抵抗 10kΩ 以上で使用して下さい。ゲインは 0dB を目安に使用して下さい。



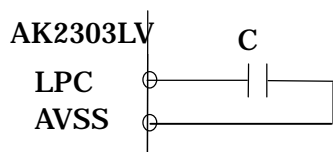
◎基準電圧安定回路

基準電圧(VREF)安定化のため、AVSS との間に $1.0\mu\text{F}$ 以上のコンデンサを接続して下さい。
 基板実装時には、外来ノイズの影響を受け難くするため、極力 AK2303LV の近くに配置して下さい。



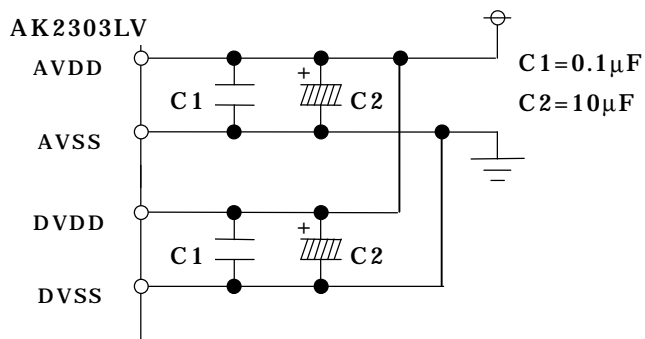
◎PLL 外付容量

PLL 安定化のため、AVSS との間に $0.22\mu\text{F}$ 以上のコンデンサを接続して下さい。



◎電源回路

電源は VDD と VSS 間にコンデンサを接続して下さい。



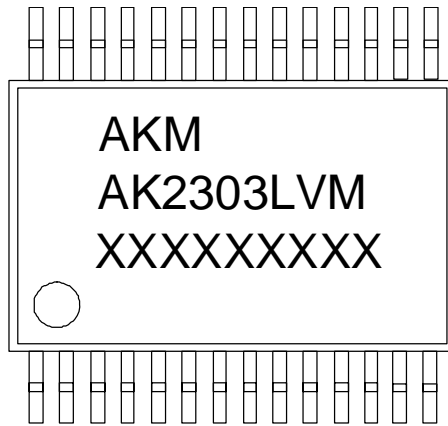
パッケージ

28 ピン SSOP

マーキング

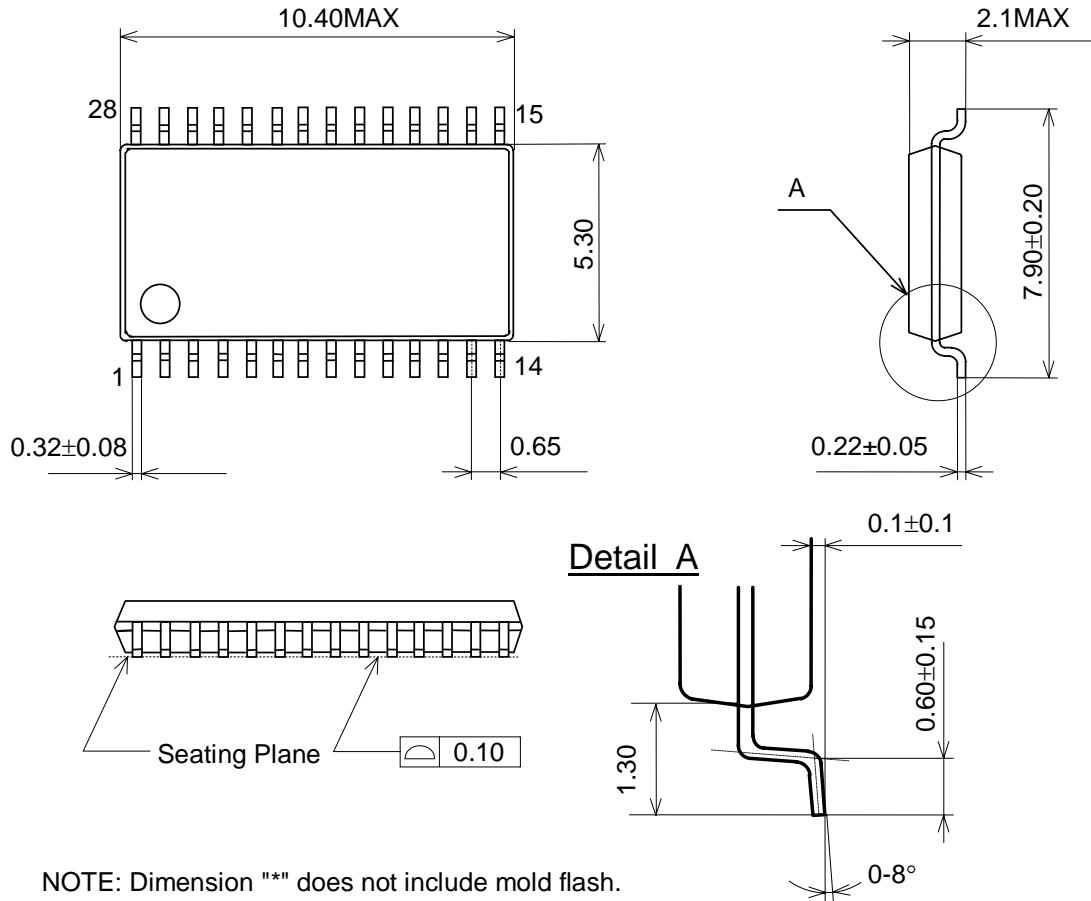
XXXXXXXXX: Date Code Identifier (9 digits)

AK2303LV



パッケージ外形寸法

28pin SSOP (Unit: mm)



NOTE: Dimension "*" does not include mold flash.

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
11/10/17	02	仕様変更	1, 38, 39	パッケージ変更: (28pin VSOP) → (28pin SSOP) マーキング図を変更 パッケージ外形寸法図を変更
12/01/25	03	誤記訂正	38	パッケージ マーキング図を変更

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際は、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。