

**暫定規格**

**LC723461W**  
**LC723462W**

**CMOS LSI**  
**LCDドライバおよびDC-DCコンバータ内蔵**  
**超低電圧 ETR-C**

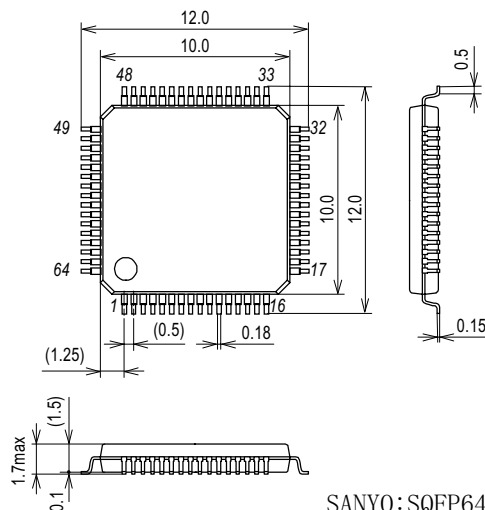
LC723461W, 723462W は 250MHz まで動作する PLL と 1/4duty、1/2 バイアス型の LCD ドライバを内蔵した超低電圧電子同調シングルチップマイクロコントローラである。  
本 LSI は DC-DC コンバータを内蔵しているためこれを使用することによりチューニング用電源が容易に作り出すことができセットのコストダウンが可能になる。本 LSI は電池 1 本で動作するポータブルオーディオの分野に適している。

**機能**

- ・プログラムメモリ (ROM) : 4096×16 ビット (8K バイト) LC723461W  
6144×16 ビット (12K バイト) LC723462W
- ・データメモリ (RAM) : 256×4 ビット LC723461W  
512×4 ビット LC723462W
- ・サイクルタイム : 40μs (全一語命令) 75kHz X'tal
- ・スタック : 8 レベル
- ・LCD ドライバ : 48~80 セグメント (1/4 duty, 1/2 バイアス型)
- ・割り込み : 外部割り込み (2 系統)  
タイマ割り込み (1、5、10、50ms)
- ・ADC : 4 チャンネル (8 ビットチョツパ型、  
ADCHG 命令によりリファレンス電圧切換え可能)
- ・DAC : 1 チャンネル (8 ビット PWM 出力)

次ページへ続く。

外形図 3190A  
(unit:mm)



SANYO:SQFP64 (10×10)

■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

## LC723461W,723462W

---

前ページより続く。

- ・入力専用ポート : 8 (内3ポートはADC入力と切換え  
1ポートはIFカウンタ入力と切換え)
- ・出力専用ポート : 6 (内2ポートはオープンドレインポート  
内1ポートはBEEPと切換え  
1ポートはDAC出力と切換え)
- ・入出力ポート : 19 (内8ポートはLCDポートとマスク切換え、  
3ポートはシリアルI/Oと切換え)  
CMOS出力/オープンドレイン出力切換え可。
- ・シリアルI/O : 1系統
- ・PLL : 基準周波数 25, 12.5, 6.25, 5, 3, 1, 3.125kHz
- ・入力周波数 : FM帯 10~250MHz  
AM(H)帯 2~20MHz  
AM(L)帯 0.5~10MHz
- ・入力感度 : FM帯 35mVrms (10MHz~130MHz), 50mVrms (130MHz~250MHz)  
AM(H,L)帯 35mVrms
- ・IFカウンタ : HCTR入力端子 0.4~12MHz (汎用入力ポートと切換え)
- ・外部リセット端子 : CPU、PLL動作中PCが0番地からスタート
- ・パワーONリセット回路内蔵 : 電源立ち上げ時PCが0番地からスタート
- ・HALTモード : コントローラの動作クロックを停止
- ・BACK UPモード : X'tal発振を停止
- ・スタティックパワーON : PFポートでBACK UPが解除できる
- ・BEEP : 3.1kHz, 1.5kHz
- ・DC-DCコンバータ内蔵 : LCD、ADC用(3V)。  
2次コイル使用によりTU+Bの作製が可能  
(DCDCC命令によりDCDCコンバータの昇圧停止可能)
- ・電池残量確認機能内蔵 : V<sub>DD</sub>端子をADC変換する
- ・メモリ保持電圧 : 0.5V以上
- ・メモリ専用電源 : メモリ専用電源によりRAM保持時間がUP
- ・パッケージ : SQFP-64(0.5mmピッチ)
- ・V<sub>DD</sub>電圧 : 0.9~1.8V

# LC723461W,723462W

絶対最大定格/ $T_a=25^{\circ}\text{C}$ ,  $V_{SS}=0\text{V}$

項目	記号	条件	定格値	unit
最大電源電圧	$V_{DD1\text{ max}}$	$V_{DD}$ 端子	$-0.3 \sim +3.0$	V
	$V_{DD3\text{ max}}$	VDDRAM 端子	$-0.3 \sim +4.0$	V
	$V_{DD4\text{ max}}$	VDC3 端子	$-0.3 \sim +4.0$	V
入力電圧	$V_{IN1}$	FMIN, AMIN, HCTR	$-0.3 \sim V_{DD1} \sim +0.3$	V
	$V_{IN2}$	PA, PC, PD, PF, PG, PH, PK, BRES	$-0.3 \sim V_{DD1} \sim +0.3$	V
出力電圧	$V_{OUT1}$	PE	$-0.3 \sim +7$	V
	$V_{OUT2}$	PB, PC, PD, PG, PH, PK	$-0.3 \sim V_{DD1} + 0.3$	V
	$V_{OUT3}$	VDC1, EO	$-0.3 \sim V_{DD4} + 0.3$	V
	$V_{OUT4}$	COM1~4, S1~20	$-0.3 \sim V_{DD4} + 0.3$	V
出力電流	$I_{OUT1}$	PC, PD, PG, PH, PK, EO	0~3	mA
	$I_{OUT2}$	PB	0~1	mA
	$I_{OUT3}$	PE	0~2	mA
	$I_{OUT4}$	S1~S20	300	$\mu\text{A}$
	$I_{OUT5}$	COM1~COM4	3	mA
許容消費電力	$P_d\text{ max}$	$T_a = -10 \sim +60^{\circ}\text{C}$	100	mW
動作周囲温度	$T_{opr}$		$-10 \sim +60$	$^{\circ}\text{C}$
保存周囲温度	$T_{stg}$		$-45 \sim +125$	$^{\circ}\text{C}$

許容動作範囲/ $T_a = -10 \sim +60^{\circ}\text{C}$ ,  $V_{DD} = 0.9 \sim 1.8\text{V}$

項目	記号	条件	min	typ	max	unit
電源電圧	$V_{DD1}$	$V_{DD}$ 端子に <input/> 入力される電圧	0.9	1.3	1.8	V
	$V_{DD3}$	VDDRAM 端子に <input/> 入力される電圧			$V_{DD4}$	V
	$V_{DD4}$	VDC3 端子に <input/> 入力される電圧	2.565	2.7	2.835	V
	$V_{DD5}$	メモリ保持電圧	0.5			V
入力 「H」レベル電圧	$V_{IH1}$	PC, PD, PG, PH, PK	$0.7V_{DD1}$		$V_{DD1}$	V
	$V_{IH2}$	PA	$0.8V_{DD1}$		$V_{DD1}$	V
	$V_{IH3}$	PF	$0.8V_{DD3}$		$V_{DD3}$	V
	$V_{IH4}$	BRES	$0.6V_{DD1}$		$V_{DD1}$	V
入力 「L」レベル電圧	$V_{IL1}$	PC, PD, PG, PH, PK	0		$0.3V_{DD1}$	V
	$V_{IL2}$	PA	0		$0.2V_{DD1}$	V
	$V_{IL3}$	PF	0		$0.2V_{DD3}$	V
	$V_{IL4}$	BRES	0		$0.2V_{DD1}$	V
入力振幅	$V_{IN1}$	XIN	0.5		0.6	$V_{rms}$
	$V_{IN2}$	FMIN, AMIN: $V_{DD1} = 0.9 \sim 1.8\text{V}$	0.035		0.35	$V_{rms}$
	$V_{IN3}$	FMIN: $V_{DD1} = 0.9 \sim 1.8\text{V}$	0.05		0.35	$V_{rms}$
	$V_{IN4}$	HCTR: $V_{DD1} = 0.9 \sim 1.8\text{V}$	0.035		0.35	$V_{rms}$
入力電圧範囲	$V_{IN4}$	ADI0, ADI1, $V_{DD}$ , ADI3	0		$V_{DD4}$	V
入力周波数	$F_{IN1}$	XIN $CI \leq 35\text{k}\Omega$	70	75	80	kHz
	$F_{IN2}$	FMIN: $V_{IN2}$ , $V_{DD1} = 0.9 \sim 1.8\text{V}$	10		130	MHz
	$F_{IN3}$	FMIN: $V_{IN3}$ , $V_{DD1} = 0.9 \sim 1.8\text{V}$	130		250	MHz
	$F_{IN4}$	AMIN(H): $V_{IN2}$ , $V_{DD1} = 0.9 \sim 1.8\text{V}$	2		20	MHz
	$F_{IN5}$	AMIN(L): $V_{IN2}$ , $V_{DD1} = 0.9 \sim 1.8\text{V}$	0.5		10	MHz
	$F_{IN6}$	HCTR: $V_{IN4}$ , $V_{DD1} = 0.9 \sim 1.8\text{V}$	0.4		12	MHz

# LC723461W,723462W

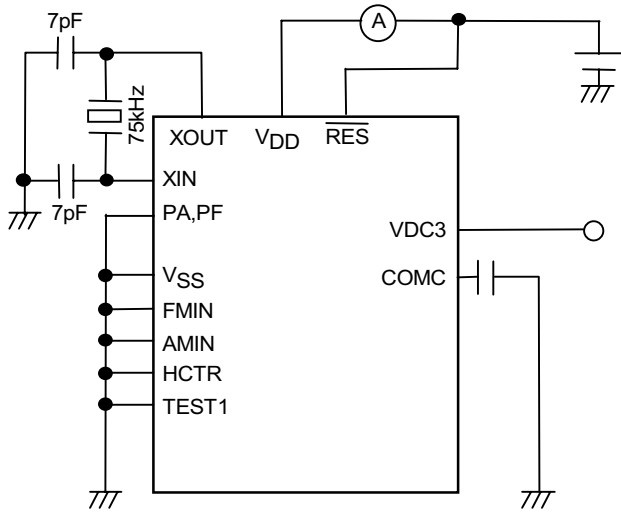
## 電気的特性/許容動作条件において

項目	記号	条件	min	typ	max	unit
入力 「H」レベル電流	I <sub>IH1</sub>	XIN:V <sub>DD1</sub> =1.3V			3	μA
	I <sub>IH2</sub>	FMIN, AMIN, HCTR:V <sub>DD1</sub> =1.3V	3	8	20	μA
	I <sub>IH3</sub>	PF:V <sub>DD1</sub> =1.3V			4	μA
	I <sub>IH4</sub>	PA(プルダウン無), PC, PD, PG, PH, PK, BRES: V <sub>DD1</sub> =1.3V			3	μA
入力 「L」レベル電流	I <sub>IL1</sub>	XIN:V <sub>DD1</sub> =V <sub>SS</sub>			-3	μA
	I <sub>IL2</sub>	FMIN, AMIN, HCTR:V <sub>DD1</sub> =V <sub>SS</sub>	-3	-8	-20	μA
	I <sub>IL3</sub>	PF:V <sub>DD1</sub> =V <sub>SS</sub>			-4	μA
	I <sub>IL4</sub>	PA(プルダウン無), PC, PD, PG, PH, PK, BRES: V <sub>DD1</sub> =V <sub>SS</sub>			-3	μA
入力フローティング電圧	V <sub>IF</sub>	PA プルダウン有			0.05V <sub>DD1</sub>	V
プルダウン抵抗	R <sub>PD1</sub>	PA プルダウン抵抗 V <sub>DD1</sub> =1.3V	75	150	200	kΩ
	R <sub>PD2</sub>	TEST1 プルダウン抵抗 V <sub>DD1</sub> =1.3V		10		kΩ
ヒステリシス幅	V <sub>H</sub>	BRES	0.1V <sub>DD1</sub>	0.2V <sub>DD1</sub>		V
出力 「H」レベル電圧	V <sub>OH1</sub>	PB: I <sub>O</sub> =1mA	V <sub>DD1</sub> -0.7V <sub>DD1</sub>		V <sub>DD1</sub> -0.3V <sub>DD1</sub>	V
	V <sub>OH2</sub>	PC, PD, PG, PH, PK: I <sub>O</sub> =1mA	V <sub>DD1</sub> -0.3V <sub>DD1</sub>			V
	V <sub>OH3</sub>	E0: I <sub>O</sub> =500μA	V <sub>DD3</sub> -0.3V <sub>DD3</sub>			V
	V <sub>OH4</sub>	XOUT: I <sub>O</sub> =200μA	V <sub>DD1</sub> -0.3V <sub>DD1</sub>			V
	V <sub>OH5</sub>	S1~S20: I <sub>O</sub> =20μA	V <sub>DD4</sub> -1			V
	V <sub>OH6</sub>	COM1, COM2, COM3, COM4 : I <sub>O</sub> =100μA	V <sub>DD4</sub> -1			V
	V <sub>OH7</sub>	VDC1: I <sub>O</sub> =1mA	V <sub>DD3</sub> -1			V
出力 「L」レベル電圧	V <sub>OL1</sub>	PB: I <sub>O</sub> =-50μA	0.3V <sub>DD1</sub>		0.7V <sub>DD1</sub>	V
	V <sub>OL2</sub>	PC, PD, PG, PH, PK: I <sub>O</sub> =-1mA			0.3V <sub>DD1</sub>	V
	V <sub>OL3</sub>	E0: I <sub>O</sub> =-500μA			0.3V <sub>DD3</sub>	V
	V <sub>OL4</sub>	XOUT: I <sub>O</sub> =-200μA			0.3V <sub>DD1</sub>	V
	V <sub>OL5</sub>	S1~S20: I <sub>O</sub> =-20μA			V <sub>DD4</sub> -2	V
	V <sub>OL6</sub>	COM1, COM2, COM3, COM4 : I <sub>O</sub> =-100μA			V <sub>DD4</sub> -2	V
	V <sub>OL7</sub>	PE: I <sub>O</sub> =2mA			0.6V <sub>DD1</sub>	V
	V <sub>OL8</sub>	VDC1: I <sub>O</sub> =1mA			1	V
出力オフリーク電流	I <sub>OFF1</sub>	PB, PC, PD, PG, PH, PK, E0	-3		3	μA
	I <sub>OFF2</sub>	PE	-100		100	nA
AD 変換誤差		ADI0, ADI1, V <sub>DD1</sub> , ADI3	-1		+1	LSB
電源電流	I <sub>DD1</sub>	V <sub>DD1</sub> =1.3V :F <sub>IN2</sub> 130MHz Ta=25°C		3		mA
	I <sub>DD2</sub>	V <sub>DD1</sub> =1.3V :PLL STOP モード Ta=25°C		0.15		mA
	I <sub>DD3</sub>	V <sub>DD1</sub> =1.3V :HALT モード Ta=25°C ※3		0.1		mA
	I <sub>DD4</sub>	V <sub>DD1</sub> =1.8V, 発振停止, Ta=25°C ※4		1		μA

HALT 電流は 125ms 毎に 20 ステップ命令を実行する場合の値。

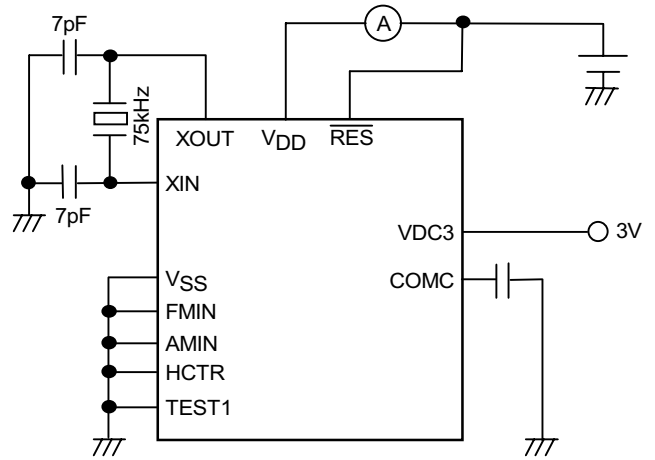
# LC723461W,723462W

※3 HALT PLLSTOP 電流測定条件



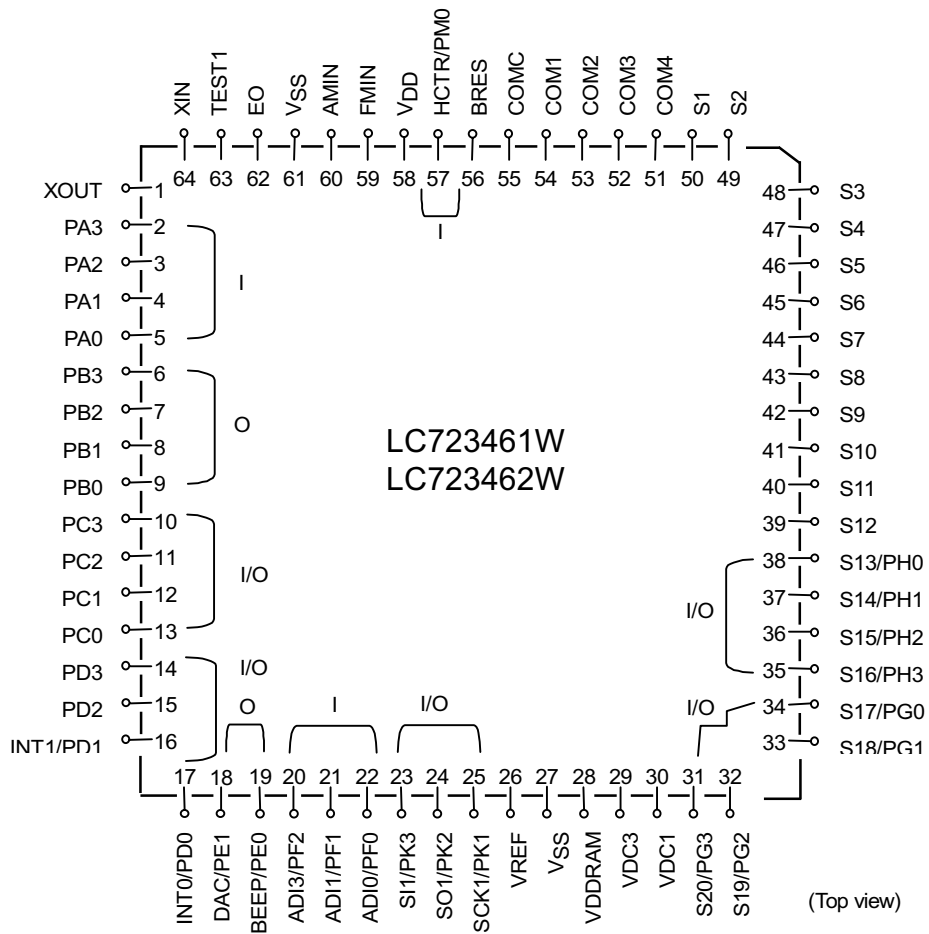
上記記載ポート以外は全て OPEN  
 PC, PD, PK は出力を選択  
 S13~S20 はセグメントを選択

※4 BACK UP 電流測定条件



上記記載ポート以外は全て OPEN  
 PC, PD, PK は出力を選択  
 S13~S20 はセグメントを選択

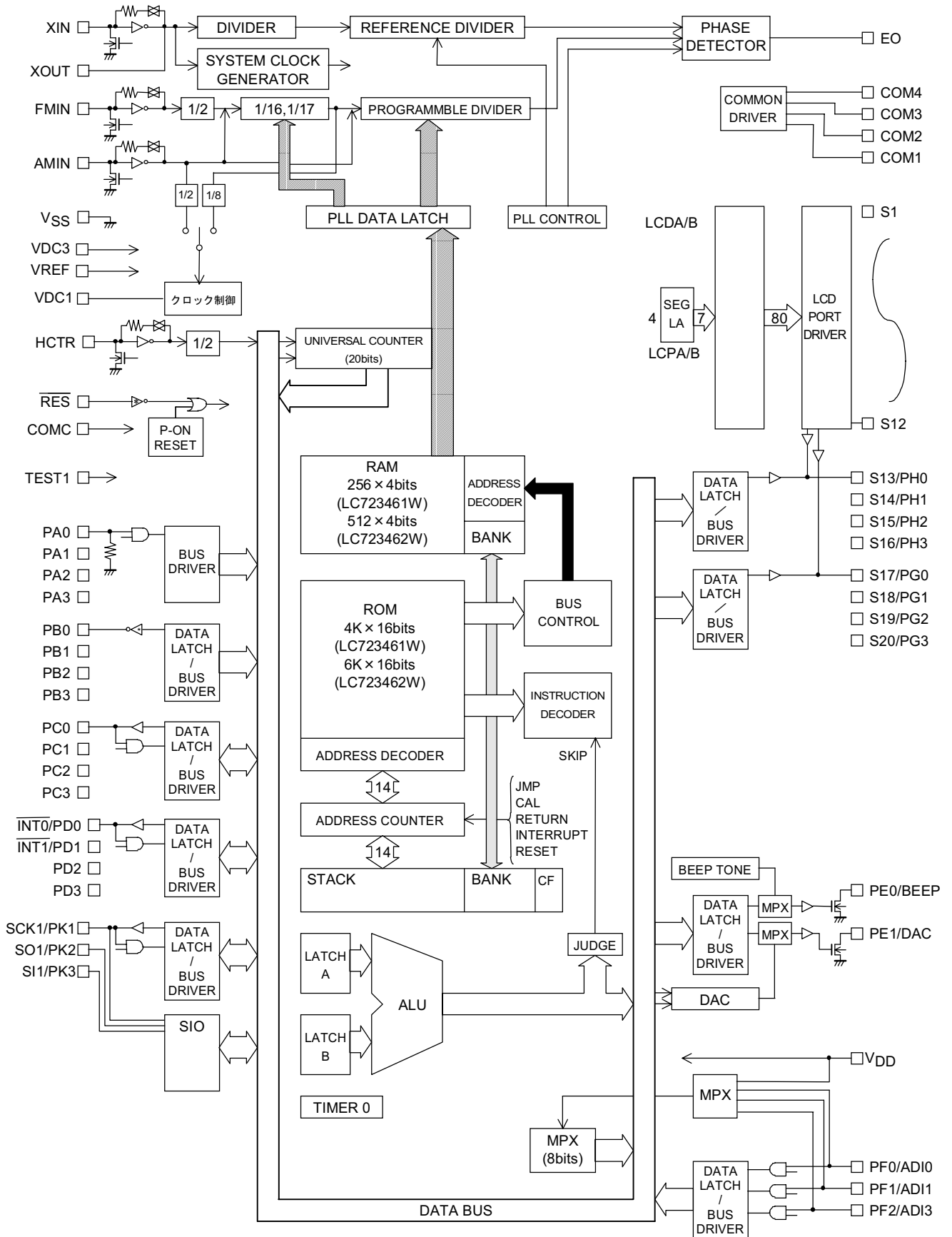
## ピン配置図



\*ADI2はVDDからの変換である。

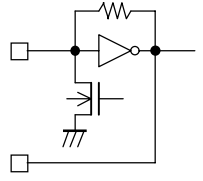
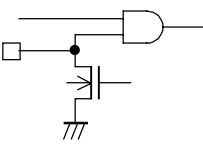
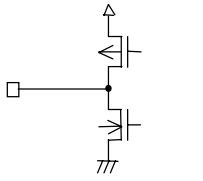
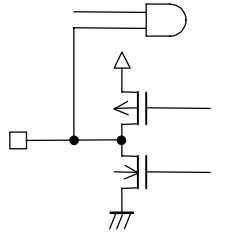
# LC723461W,723462W

## ブロック図



# LC723461W,723462W

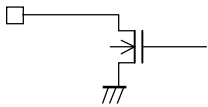
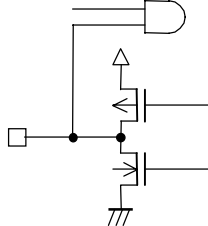
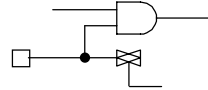
## 端子説明

端子名	端子番号	I/O	端子説明	I/O 形式
XIN XOUT	64 1	I O	75kHz 水晶発振用端子	
TEST1	63	I	LSI のテスト端子である。必ず GND に接続する。	
PA0 PA1 PA2 PA3	5 4 3 2	I	キーリターン信号入力専用ポートで、スレッシュホールド電圧が低く設計されている。PB ポートと組み合わせてキーマトリックスを構成すると、最大 3 個の多重押しを検出できる。プルダウン抵抗は 4 本まとめて IOS 命令で設定し、1 端子ごとの指定はできない。back up モード時は入力禁止となり、リセット時はプルダウン無しとなる。	プルダウン抵抗付き入力 
PB0 PB1 PB2 PB3	9 8 7 6	O	出力トランジスタのインピーダンスがアンバランス型 CMOS 出力ポートである。アンバランス型であるため、多重押しによる短絡防止用のダイオードが不要となる。Back Up モード時は出力ハイインピーダンスとなる。リセット時は出力ハイインピーダンスとなり、出力命令 (OUT, SPB, RPB 命令) が実行されるまで、この状態を維持する。	アンバランス CMOS プッシュプル 
PC0 PC1 PC2 PC3  $\overline{\text{INT0}}/\text{PD0}$ $\overline{\text{INT1}}/\text{PD1}$ PD2 PD3 (注 2)	13 12 11 10  17 16 15 14	I/O	汎用入出力ポートである。なおマスクオプションで N-ch オープンドレインポートとしても使用可能である。PD0, PD1 は外部割り込み用ポートとして使用できる。汎用入出力ポートの切り換えは IOS 命令で行い 1 ビット単位での I/O 設定が可能である (0, 入力 1, 出力)。Back Up モード時は用入力禁止でハイインピーダンスとなる。リセット時は汎用入力ポートとなる。	CMOS プッシュプル/ N-ch オープンドレイン 

次ページへ続く。

# LC723461W,723462W

前ページより続く。

端子名	端子番号	I/O	端子説明	I/O 形式
BEEP/PE0 DAC/PE1	19 18	0	汎用出力ポートである。なお PE0 は BEEP 出力兼用、PE1 は DAC 出力兼用ポートである。このポートはオープンドレインポートであるため $V_{DD}$ とポート間に抵抗が必要となる。リセット時は汎用出力ポートとなる。汎用出力ポートと BEEP 出力の切り替えは BEEP 命令で行う。汎用出力ポートとして使用する場合は BEEP 命令で $b2=0$ をセットすると汎用出力にセットされる。また、 $b2=1$ にすると BEEP 出力となる。BEEP 周波数の切り替えは $b0, b1$ で行う。BEEP 周波数は 2 種類である。 *PE0 ポートが BEEP 出力として設定されている場合 PE0 に対して出力命令を実行しても内部の出力ラッチが切りかわるだけで出力に影響されない。汎用出力ポートと DAC 出力の切り替えは DAC 命令時に行われる。Back Up モード時はハイインピーダンスとなる。また、出力命令または BEEP 命令または DAC 命令が実行されるまでこの状態を維持する。	Nch オープンドレイン 
SCK1/PK1 SO1/PK2 SI1/PK3	25 24 23	I/O I/O I/O	汎用入出力ポート及びシリアル I/O ポートである。なおマスクオプションで N-ch オープンドレインポートとしても使用可能である。 汎用入出力ポートの切り替えは IOS 命令で行い 1 ビット単位での I/O 設定が可能である。また、汎用ポートとシリアル I/O の切り替えも IOS 命令で行う。Back Up モード時は入力禁止でハイインピーダンスとなる。 リセット時は汎用入力ポートとなる。	CMOS プッシュプル/ N-ch オープンドレイン 
PF0/ADI0 PF1/ADI1 PF2/ADI3	22 21 20	I	汎用入力ポートおよび汎用入力/ADC 入力兼用ポートである。汎用入力と ADC ポートの切り替えは IOS 命令で行う。また、汎用入力と ADC ポートは 1 ビット単位での切り替えが可能である (0, 汎用入力 1, ADC)。ADC を選択した場合 IOS 命令 ( $P_w=1$ ) で A/D 変換する端子を設定する。ADC は UCC 命令 ( $b3=1, b2=1$ ) でスタートする。変換が終了すると ADCE フラグがセットされる。データの読み込みは INR 命令で行う。 *アナログ入力に指定したポートに対し入力命令を実行した場合 CMOS 入力は禁止されているためデータは「L」になる。 Back Up モード時は入力禁止でハイインピーダンスとなる。リセット時は汎用入力ポートとなる。ADC は 8 ビットの逐次比較型で変換時間は 0.64ms である。また、ADC のフルスケール電圧 (FFH) は ADCHG 命令により VDC3 と 2.0V で切り替えが可能である。	CMOS 入力/アナログ入力 

次ページへ続く。



# LC723461W,723462W

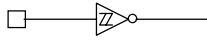
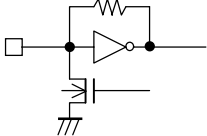
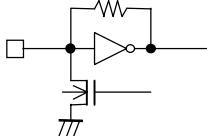
前ページより続く。

端子名	端子番号	I/O	端子説明	I/O形式
PG3/S20 PG2/S19 PG1/S18 PG0/S17  PH3/S16 PH2/S15 PH1/S14 PH0/S13 (注2)	31 32 33 34  35 36 37 38	0	<p>LCDドライバのセグメント出力、汎用入出力兼用ポートである。</p> <p>セグメント出力/汎用入出力の切換えおよび汎用ポートの入出力切換えはIOS命令で行う。</p> <p>◎セグメント出力ポートとして使用する場合。</p> <p>IOS命令(Pwn=8)でセグメント出力ポートに設定する。</p> <p style="padding-left: 40px;">b0~b3=S17~20/PG0~3(0:セグメント出力 1:PG0~3)</p> <p>IOS命令(Pwn=9)でセグメント出力ポートに設定する。</p> <p style="padding-left: 40px;">b0~b3=S13~16/PH0~3(0:セグメント出力 1:PH0~3)</p> <p>◎汎用入出力ポートとして使用する場合。</p> <p>IOS命令で入出力の切換えを行う。なお、1ビット単位での切換えが可能。</p> <div style="display: flex; justify-content: space-around; align-items: center; margin: 10px 0;"> <div style="border-left: 1px solid black; border-right: 1px solid black; padding: 0 5px;"> <p>b0=PG0 b1=PG1 b2=PG2 b3=PG3</p> </div> <div style="border-left: 1px solid black; border-right: 1px solid black; padding: 0 5px;"> <p>b0=PH0 b1=PH1 b2=PH2 b3=PH3</p> </div> <div style="border-left: 1px solid black; border-right: 1px solid black; padding: 0 5px;"> <p>0:入力 1:出力</p> </div> </div> <p>なおマスクオプションでN-chオープンドレインポートとしても使用可能である。</p> <p>Back Upモード時、汎用入出力としては入力禁止でハイインピーダンスとなる。セグメント出力として使用している時は「L」レベルに固定されるリセット時はセグメント出力ポートとなる。</p> <p>汎用ポート/LCDポートの設定はマスクオプションとなるが、IOS命令での上記設定は必要である。</p>	<p>CMOS プッシュプル/ N-ch オープンドレイン</p>
S12-S1	39-50	0	<p>LCDドライバのセグメント出力端子である。</p> <p>駆動方式は1/4duty、1/2biasである。</p> <p>フレーム周波数は75Hz。</p> <p>Back Upモード時は「L」レベルに固定される。</p> <p>リセット時も「L」レベルに固定される。</p>	<p>CMOS プッシュプル</p>
COM4 COM3 COM2 COM1	51 52 53 54	0	<p>LCDドライバのコモン出力端子である。</p> <p>駆動方式は1/4duty、1/2biasである。</p> <p>フレーム周波数は75Hz。</p> <p>Back Upモード時は「L」レベルに固定される。</p> <p>リセット時も「L」レベルに固定される。</p>	

次ページへ続く。

# LC723461W,723462W

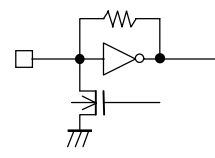
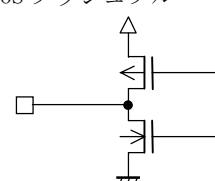
前ページより続く。

端子名	端子番号	I/O	端子説明	I/O 形式						
$\overline{\text{RES}}$	56	I	システムリセット用端子である。 CPU 動作時, HALT モード時に 1 マシンサイクル以上「L」レベルを入力するとシステムリセットされ PC が 0 番地から実行される。 内蔵のパワーONリセット回路と並列に接続されている。							
VDDRAM	28	I	RAM のバックアップ用電源である。ダイオード等を介して VDC3 の電圧に接続する。							
VDC1	30	O	3V 昇圧用クロック出力である。AM 受信時は AM ローカルの 1/2 または 1/8, FM 受信時は FM ローカルの 1/256 または 75kHz が出力される。							
VDC3	29	I	DC-DC コンバータで昇圧した電圧 (2.7V) またはそれ相当の電圧を入力する。							
VREF	26	I	VDC3 の基準電圧入力端子である。 0.7V 入力時に VDC3 電圧が 2.7V となる。 金皮抵抗とツェナーを外付けすると VDC3 のばらつきは ±3% となる。							
COMC	55	O	LCD ドライバの中間電位出力端子である。 0.1μF 程度のコンデンサを付け、COM 波形を安定させる。							
FMIN	59	I	FM VC0 (局部発振) 入力端子である。 PLL 命令の CW1 により端子の選択を行う。 容量で入力すること。 Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は入力禁止となる。	CMOS アンプ入力 						
AMIN	60	I	AM VC0 (局部発振) 入力端子である。 PLL 命令の CW1 により端子の選択、および帯域の設定を行う。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 30%;">CW1 b1, b0</th> <th style="width: 70%;">帯 域</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1 0</td> <td style="text-align: center;">2~20MHz (SW)</td> </tr> <tr> <td style="text-align: center;">1 1</td> <td style="text-align: center;">0.5~10MHz (MW, LW)</td> </tr> </tbody> </table> 容量で入力すること。 Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は入力禁止となる。	CW1 b1, b0	帯 域	1 0	2~20MHz (SW)	1 1	0.5~10MHz (MW, LW)	CMOS アンプ入力 
CW1 b1, b0	帯 域									
1 0	2~20MHz (SW)									
1 1	0.5~10MHz (MW, LW)									

次ページへ続く。

# LC723461W,723462W

前ページより続く。

端子名	端子番号	I/O	端子説明	I/O 形式																		
HCTR	57	I	<p>汎用入力/ユニバーサルカウンタ入力兼用ポートである。汎用入力ポートとユニバーサルカウンタ入力ポートの切り換えは IOS 命令で行う。</p> <p>◎周波数測定する場合、UCS 命令 (b3=0, b2=0) で HCTR 周波数測定モードと計測時間を選択し、UCC 命令でカウンタをスタートする。</p> <table border="1" style="margin: 5px 0;"> <thead> <tr> <th>UCS b3, b2</th> <th>入力端子 測定モード</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>HCTR 周波数測定</td> </tr> <tr> <td>0 1</td> <td>-</td> </tr> <tr> <td>1 0</td> <td>-</td> </tr> </tbody> </table> <table border="1" style="margin: 5px 0;"> <thead> <tr> <th>UCS b1, b0</th> <th>測定時間</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>1ms</td> </tr> <tr> <td>0 1</td> <td>4ms</td> </tr> <tr> <td>1 0</td> <td>8ms</td> </tr> <tr> <td>1 1</td> <td>32ms</td> </tr> </tbody> </table> <p>カウントが終了すると、CNTEND フラグがセットされる。このモードでは、AC アンプとして動作するため、必ず容量結合で入力すること。</p> <p>汎用入力の場合は、INR 命令でデータと取り込む。BACK UP モード時、HALT モード時、リセット時、および PLL STOP 時は入力禁止となる。なお、リセット時はユニバーサルカウンタ入力ポートとなる。</p>	UCS b3, b2	入力端子 測定モード	0 0	HCTR 周波数測定	0 1	-	1 0	-	UCS b1, b0	測定時間	0 0	1ms	0 1	4ms	1 0	8ms	1 1	32ms	<p>CMOS アンプ入力</p> 
UCS b3, b2	入力端子 測定モード																					
0 0	HCTR 周波数測定																					
0 1	-																					
1 0	-																					
UCS b1, b0	測定時間																					
0 0	1ms																					
0 1	4ms																					
1 0	8ms																					
1 1	32ms																					
E0	62	0	<p>メインチャージポンプ出力端子である。局部発振周波数を N 分周した周波数が、基準周波数より高い場合は、「H」レベル、低い場合は「L」レベルが出力され一致した場合はハイインピーダンスとなる。Back Up モード時、HALT モード時、リセット時、および PLL STOP 時は出力ハイインピーダンスとなる。</p>	<p>CMOS プッシュプル</p> 																		
VSS	61	-	電源端子である。 GND に接続する。																			
VSS	27	-	GND に接続する。																			
VDD	58	-	VDD に接続する。ADC 変換が可能である。																			

(注 2) 入出力切り換えポートで出力として使用する端子は、あらかじめ OUT, SPB, RPB 命令で出力データを確定してから IOS 命令で出力に設定すること。

# LC723461W,723462W

## LC723461, 723462W シリーズ命令一覧表

### 用語の説明

- ADDR : Program memory address  
 b : Borrow  
 C : Carry  
 DH : Data memory address High(Row address) [2bit]  
 DL : Data memory address Low(Column address) [4bit]  
 I : Immediate data [4bit]  
 M : Data memory address  
 N : Bit position [4bit]  
 Rn : Register number [4bits]  
 Pn : Port number [4bit]  
 PW : Port control word number [4bit]  
 r : General register (One of the address from 00H to 0FH of BANK0)  
 ( ), [ ] : Contents of register or memory  
 M(DH, DL) : Data memory specified by DH, DL

命令群	Mnemonic	Operand		Function	Operations function	Instruction format														
		1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3	2	1
加算命令	AD	r	M	Add M to r	$r \leftarrow (r) + (M)$	0	1	0	0	0	0	DH	DL	r						
	ADS	r	M	Add M to r, then skip if carry	$r \leftarrow (r) + (M)$ , skip if carry	0	1	0	0	0	1	DH	DL	r						
	AC	r	M	Add M to r with carry	$r \leftarrow (r) + (M) + C$	0	1	0	0	1	0	DH	DL	r						
	ACS	r	M	Add M to r with carry, then skip if carry	$r \leftarrow (r) + (M) + C$ skip if carry	0	1	0	0	1	1	DH	DL	r						
	AI	M	I	Add I to M	$M \leftarrow (M) + I$	0	1	0	1	0	0	DH	DL	I						
	AIS	M	I	Add I to M, then skip if carry	$M \leftarrow (M) + I$ , skip if carry	0	1	0	1	0	1	DH	DL	I						
	AIC	M	I	Add I to M with carry	$M \leftarrow (M) + I + C$	0	1	0	1	1	0	DH	DL	I						
	AICS	M	I	Add I to M with carry, then skip if carry	$M \leftarrow (M) + I + C$ , skip if carry	0	1	0	1	1	1	DH	DL	I						
減算命令	SU	r	M	Subtract M from r	$r \leftarrow (r) - (M)$	0	1	1	0	0	0	DH	DL	r						
	SUS	r	M	Subtract M from r, then skip if borrow	$r \leftarrow (r) - (M)$ , skip if borrow	0	1	1	0	0	1	DH	DL	r						
	SB	r	M	Subtract M from r with borrow	$r \leftarrow (r) - (M) - b$	0	1	1	0	1	0	DH	DL	r						
	SBS	r	M	Subtract M from r with borrow, then skip if borrow	$r \leftarrow (r) - (M) - b$ , skip if borrow	0	1	1	0	1	1	DH	DL	r						
	SI	M	I	Subtract I from M	$M \leftarrow (M) - I$	0	1	1	1	0	0	DH	DL	I						
	SIS	M	I	Subtract I from M, then skip if borrow	$M \leftarrow (M) - I$ , skip if borrow	0	1	1	1	0	1	DH	DL	I						
	SIB	M	I	Subtract I from M with borrow	$M \leftarrow (M) - I - b$	0	1	1	1	1	0	DH	DL	I						
	SIBS	M	I	Subtract I from M with borrow, then skip if borrow	$M \leftarrow (M) - I - b$ , skip if borrow	0	1	1	1	1	1	DH	DL	I						

次ページへ続く。

# LC723461W,723462W

前ページより続く。

命令群	Mnemonic	Operand		Function	Operations function	Instruction format													
		1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3	2
比較命令	SEQ	r	M	Skip if r equal to M	(r)-(M), skip if zero	0	0	0	1	0	0	DH	DL	r					
	SEQI	M	I	Skip if M equal to I	(M)-I, skip if zero	0	0	0	1	1	0	DH	DL	I					
	SNEI	M	I	Skip if M not equal to I	(M)-I, skip if not zero	0	0	0	0	0	1	DH	DL	I					
	SGE	r	M	Skip if r is greater than or equal to M	(r)-(M), skip if not borrow	0	0	0	1	1	0	DH	DL	r					
	SGEI	M	I	Skip if M is greater than equal to I	(M)-I, skip if not borrow	0	0	0	1	1	1	DH	DL	I					
	SLEI	M	I	skip if M is less than I	(M)-I, skip if borrow	0	0	0	0	1	1	DH	DL	I					
論理演算命令	AND	r	M	AND M with r	$r \leftarrow (r) \text{ AND } (M)$	0	0	1	0	0	0	DH	DL	r					
	ANDI	M	I	AND I with M	$M \leftarrow (M) \text{ AND } I$	0	0	1	0	0	1	DH	DL	I					
	OR	r	M	OR M with r	$r \leftarrow (r) \text{ OR } (M)$	0	0	1	0	1	0	DH	DL	r					
	ORI	M	I	OR I with M	$M \leftarrow (M) \text{ OR } I$	0	0	1	0	1	1	DH	DL	I					
	EXL	r	M	Exclusive OR M with r	$r \leftarrow (r) \text{ XOR } (M)$	0	0	1	1	0	0	DH	DL	r					
	EXLI	M	I	Exclusive OR M with M	$M \leftarrow (M) \text{ XOR } I$	0	0	1	1	1	0	DH	DL	I					
	SHR	r		Shift r right with carry	 $r \leftarrow (r) \gg 1$	0	0	0	0	0	0	0	0	1	1	1	0	r	
転送命令	LD	r	M	Load M to r	$r \leftarrow (M)$	1	1	0	1	0	0	DH	DL	r					
	ST	M	r	Store r to M	$M \leftarrow (r)$	1	1	0	1	0	1	DH	DL	r					
	MVRD	r	M	Move M to destination M referring to r in the same row	$[DH, Rn] \leftarrow (M)$	1	1	0	1	1	0	DH	DL	r					
	MVRS	M	r	Move source M referring to r to M in the same row	$M \leftarrow [DH, Rn]$	1	1	0	1	1	1	DH	DL	r					
	MVSR	M1	M2	Move M to M in the same row	$[DH, DL1] \leftarrow [DH, DL2]$	1	1	1	0	0	0	DH	DL1	DL2					
	MVI	M	I	Move I to M	$M \leftarrow I$	1	1	1	0	0	1	DH	DL	I					
ビットテスト命令	TMT	M	N	Test M bits, then skip if all bits specified are true	if $M(N) = \text{all } 1$ , then skip	1	1	1	1	0	0	DH	DL	N					
	TMF	M	N	Test M bits, then skip if all bits specified are false	if $M(N) = \text{all } 0$ , then skip	1	1	1	1	0	1	DH	DL	N					
ジャンプ・サブroutine命令	JMP	ADDR		Jump to the address	$PC \leftarrow ADDR$	1	0	0	ADDR(13bits)										
	CAL	ADDR		Call subroutine	$PC \leftarrow ADDR$ $Stack \leftarrow (PC)+1$	1	0	1	ADDR(13bits)										
	RT			Return from subroutine	$PC \leftarrow Stack$	0	0	0	0	0	0	0	0	0	0	1	0	0	0
	RTI			Return from interrupt	$PC \leftarrow Stack$ , $BANK \leftarrow Stack$ , $CARRY \leftarrow Stack$	0	0	0	0	0	0	0	0	0	0	0	1	0	0

次ページへ続く。

# LC723461W,723462W

前ページより続く。

命令群	Mnemonic	Operand		Function	Operations function	Instruction format												
		1st	2nd			f	e	d	c	b	a	9	8	7	6	5	4	3
ステータスレジスタ命令	SS	SWR	N	Set status register	(Status W-reg) N←1	1	1	1	1	1	1	1	1	0	0	SWR	N	
	RS	SWR	N	Reset status register	(Status W-reg) N←0	1	1	1	1	1	1	1	0	1	SWR	N		
	TST	SRR	N	Test status register true	if (Status R-reg)N=all	1	1	1	1	1	1	1	0	1	SRR	N		
	TSF	SRR	N	Test status register false	if (Status R-reg)N=all	1	1	1	1	1	1	1	1	0	SRR	N		
	TUL	N		Test Unlock F/F	if Unlock F/F(N)= all 0, then skip	0	0	0	0	0	0	0	0	1	1	0	1	N
各ハードウェア制御命令	PLL	M		Load M to PLL register	PLL reg←PLL data	1	1	1	1	1	0	DH	DL	r				
	SIO	I1			SIO reg←I1, I2	0	0	0	0	0	0	0	1	I1	I2			
	UCS	I		Set I to UCCW1	UCCW1←I	0	0	0	0	0	0	0	0	0	0	1	I	
	UCC	I		Set I to UCCW2	UCCW2←I	0	0	0	0	0	0	0	0	0	0	1	0	I
	BEEP	I		Beep control	BEEP reg←I	0	0	0	0	0	0	0	0	0	1	1	0	I
	DZC	I		Dead zone control	DZC reg←I	0	0	0	0	0	0	0	0	1	0	1	1	I
	TMS	I		Set timer register	Timer reg←I	0	0	0	0	0	0	0	0	1	1	0	0	I
	IOS	PWn	N	Set port control word	IOS reg PWn←N	1	1	1	1	1	1	0	PWn	N				
DAC	I		DA converter control	DAC reg←DAC data	0	0	0	0	0	0	0	0	0	0	1	1	I	
入出力命令	IN	M	Pn	Input port data to M	M←(Pn)	1	1	1	0	1	0	DH	DL	Pn				
	OUT	M	Pn	Output contents of M to port	PIn←M	1	1	1	0	1	1	DH	DL	Pn				
	INR	M	Pn	Input port data to M	M←(Pn)	0	0	1	1	1	0	DH	DL	Pn				
	SPB	P1n	N	Set port1 bits	(Pn)N←1	0	0	0	0	0	0	1	0	Pn	N			
	RPB	P1n	N	Reset port1 bits	(Pn)N←0	0	0	0	0	0	0	1	1	Pn	N			
	TPT	P1n	N	Test port1 bits, then skip if all bits specified are true	if (Pn)N=all 1, then skip	1	1	1	1	1	1	0	0	Pn	N			
	TPF	P1n	N	Test port1 bits, then skip if all bits specified are false	if (Pn)N=all 0, then skip	1	1	1	1	1	1	0	1	Pn	N			
バンク切命令	BANK	I		Select Bank	BANK←I	0	0	0	0	0	0	0	0	0	1	1	1	I
LCD命令	LCDA	M	I	Output segment pattern to LCD digit direct	LCD(DIGIT)←M	1	1	0	0	0	0	DH	DL	DIGIT				
	LCDB	M	I			1	1	0	0	0	1	DH	DL	DIGIT				
	LCPA	M	I	Output segment pattern to LCD digit through LA	LCD(DIGIT)←LA←M	1	1	0	0	1	0	DH	DL	DIGIT				
	LCPB	M	I			1	1	0	0	1	1	DH	DL	DIGIT				
その他の命令	ADCHG	I		AD converter reference Voltage change		1	1	1	1	1	1	1	1	1	0	I		
	DCDCC	I		DCDC clock control		0	0	0	0	0	0	0	1	1	1	1	I	
	HALT	I		Halt mode control	HALT reg ←I, then CPU clock stop	0	0	0	0	0	0	0	0	1	0	0	I	
	CKSTP			Clock stop	Stop x'tal OSC	0	0	0	0	0	0	0	0	1	0	1		
	NOP			No operation	No operation	0	0	0	0	0	0	0	0	0	0	0	0	

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。