

特性

概述

DS28EA00数字温度计具有9位(0.5°C)至12位(1/16°C)分辨 率,并提供可由用户编程设置的非易失(NV)高、低温温 度报警门限。每个DS28EA00都具有工厂预先刻入、唯一 的64位序列号。只需一根数据线和地线即可按照1-Wire® 协议完成串行数据传输。经过改进的1-Wire接口具有滞回 和抗干扰滤波功能,使得DS28EA00能够在大规模1-Wire 网络中可靠工作。与其它1-Wire温度计不同, DS28EA00 具有两个额外的引脚,用于顺序检测。该特性使得用户 能够将器件在链路中的物理位置与序列号对应起来,例 如,测量粮仓不同高度的温度。如果不需要顺序检测功 能,这些引脚可以作为通用输入或输出。DS28EA00能够 直接从数据线获取供电,支持工作("寄生供电"),可以省 去外部电源。

应用

数据通信设备 过程温度监测 HVAC系统

定购信息

PART	TEMP RANGE	PIN-PACKAGE
DS28EA00U+	-40°C to +85°C	8 µSOP
DS28EA00U+T&R	-40°C to +85°C	8 µSOP

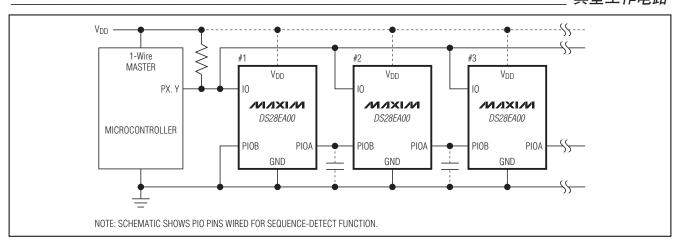
+表示无铅(Pb)/符合RoHS标准的封装。 T&R = 卷带包装。

◆ 数字温度计测温范围: -40°C至+85°C

- ◆ 用户可选择的9至12位温度分辨率
- ◆ 独特的1-Wire接口只需一个端口支持数据通信
- ◆ 每个器件都具有工厂激光刻入的唯一64位序列号
- ◆ 多节点通信大大简化分布式温度检测应用
- ◆ 改进后的1-Wire接口,具有滞回和抗干扰滤波
- ◆ 用户可定义NV温度报警门限/用户字节
- ◆ 报警搜索命令能够快速确定温度超出设定范围的器件
- ◆ 标准和高速1-Wire模式
- ◆ 两个通用可编程IO (PIO)引脚
- ◆ 链路功能可以利用PIO引脚检测器件在网络中的物理 排序
- ◆ 工作范围: +3.0V至+5.5V、-40°C至+85°C
- ◆ 可由数据线供电
- ♦ 8引脚uSOP封装

引脚配置在数据资料的最后给出。

典型工作申路



1-Wire是Maxim Integrated Products, Inc.的注册商标。

MIXIM

Maxim Integrated Products 1

本文是英文数据资料的译文,文中可能存在翻译上的不准确或错误。如需进一步确认,请在您的设计中参考英文资料。 有关价格、供货及订购信息,请联络Maxim亚洲销售中心: 10800 852 1249 (北中国区), 10800 152 1249 (南中国区), 或访问Maxim的中文网站: china.maxim-ic.com。

ABSOLUTE MAXIMUM RATINGS

IO Voltage Range to GND	0.5V to +6V	Operating Temperature Range	40°C to +85°C
IO Sink Current	20mA	Junction Temperature	+150°C
Maximum PIOA or PIOB Pin Current	20mA	Storage Temperature Range	55°C to +125°C
Maximum Current Through GND Pin	40mA	Soldering Temperature	Refer to the IPC/JEDEC
			J-STD-020 Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

 $(T_A = -40^{\circ}C \text{ to } +85^{\circ}C.) \text{ (Note 1)}$

PARAMETER	SYMBOL CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLY						
Supply Voltage	V _{DD}	(Note 2)	3.0		5.5	V
Supply Current (Note 3)	I _{DD}	V _{DD} = +5.5V			1.5	mA
Standby Current	I _{DDS}	$V_{DD} = +5.5V$			1.5	μΑ
IO PIN: GENERAL DATA						
1-Wire Pullup Voltage (Note 2)	V _{PUP}	Local power	3.0		V_{DD}	V
1-Wire i unup voitage (Note 2)	V PUP	Parasite power	3.0		5.5	V
1-Wire Pullup Resistance	R _{PUP}	(Notes 2, 4)	0.3		2.2	kΩ
Input Capacitance	CIO	(Notes 3, 5)			1000	рF
Input Load Current	ΙL	IO pin at V _{PUP}	0.1		1.5	μΑ
High-to-Low Switching Threshold	V _{TL}	(Notes 3, 6, 7)	0.46		V _{PUP} - 1.9V	V
logeth low Voltage (Notes O. O.)	Mil	Parasite powered	0.8		0.5	V
Input Low Voltage (Notes 2, 8)	VIL	V _{DD} powered (Note 3)			0.7	V
Low-to-High Switching Threshold (Notes 3, 6, 9)	V _{TH}	Parasite power	1.0		V _{PUP} - 1.1V	V
Switching Hysteresis (Notes 3, 6, 10)	V _H Y	Parasite power	0.21		1.7	V
Output Low Voltage (Note 11)	V _{OL}	At 4mA			0.4	V
		Standard speed, $R_{PUP} = 2.2 k\Omega$	5			
Recovery Time	+===	Overdrive speed, $R_{PUP} = 2.2k\Omega$	2			
(Notes 2, 12)	trec trec	Overdrive speed, directly prior to reset pulse; RPUP = $2.2k\Omega$	5			μs
Rising-Edge Hold-Off Time	4	Standard speed	0.5		5.0	
(Notes 3, 13)	tREH	Overdrive speed	Not	applicabl	le (0)	μs
Time-Slot Duration	touer	Standard speed				0
(Notes 2, 14)		Overdrive speed	8			μs
IO PIN: 1-Wire RESET, PRESEN	CE-DETECT	CYCLE				
Reset Low Time (Note 2)	tpori	Standard speed	480		640	116
neset Low Tille (Note 2)	trstl	Overdrive speed	48		80	μs

ELECTRICAL CHARACTERISTICS (continued)

 $(T_A = -40^{\circ}C \text{ to } +85^{\circ}C.) \text{ (Note 1)}$

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
December 1 Detect High Time		Standard speed	15		60		
Presence-Detect High Time	t _{PDH}	Overdrive speed	2		6	μs	
Presence-Detect Fall Time	4	Standard speed	1.125		8.1		
(Notes 3, 15)	tFPD	Overdrive speed	0		1.3	μs	
Dragona a Datast Laur Tima	4	Standard speed	60		240		
Presence-Detect Low Time	tPDL	Overdrive speed	8		24	μs	
Presence-Detect Sample Time	+	Standard speed	68.1		75		
(Notes 2, 16)	tMSP	Overdrive speed	7.3		10	μs	
IO PIN: 1-Wire WRITE							
Write-Zero Low Time	A	Standard speed	60		120		
(Notes 2, 17)	tWOL	Overdrive speed	6		16	μs	
Write-One Low Time		Standard speed	5		15		
(Notes 2, 17)	t _{W1L}	Overdrive speed	1		2	μs	
IO PIN: 1-Wire READ	•						
D 11 T: (N1 1 0 10)		Standard speed	5		15 - δ		
Read Low Time (Notes 2, 18)	t _{RL}	Overdrive speed	1		2 - δ	μs	
D 10 1 T: (N 1 0 10)		Standard speed	t _{RL} + δ		15		
Read Sample Time (Notes 2, 18)	tmsr	Overdrive speed	t _{RL} + δ		2	μs	
PIO PINS	•						
Input Low Voltage	VILP	(Note 2)			0.3	V	
Input High Voltage (Note 2)	VIHP	$V_X = Max(V_{PUP}, V_{DD})$	V _X - 1.6			V	
Input Load Current (Note 19)	ILP	Pin at GND	-1.1			μΑ	
Output Low Voltage (Note 11)	VOLP	At 4mA			0.4	V	
Chain-On Pullup Impedance	Rco	(Note 3)	20	40	60	kΩ	
EEPROM	•		·				
Programming Current	IPROG	(Notes 3, 20)			1.5	mA	
Programming Time	tprog	(Note 21)			10	ms	
Write/Erase Cycles (Endurance)	N.I.	At +25°C	200,000				
(Notes 22, 23)	NCY	-40°C to +85°C	50,000			_	
Data Retention (Notes 24, 25)	tDR	At +85°C (worst case)	10			Years	
TEMPERATURE CONVERTER							
Conversion Current	ICONV	(Notes 3, 20)			1.5	mA	
		12-bit resolution (1/16°C)			750		
Occurred Time (Nets 00)		11-bit resolution (1/8°C)			375		
Conversion Time (Note 26)	tCONV	10-bit resolution (1/4°C)			187.5	ms	
		9-bit resolution (1/2°C)			93.75	1	
O	4.0	-10°C to +85°C	-0.5		+0.5	00	
Conversion Error	$\Delta \vartheta$	Below -10°C (Note 3)	-0.5		+2.0	°C	
Converter Drift	ϑD	(Note 27)	-0.2		+0.2	°C	

ELECTRICAL CHARACTERISTICS (continued)

 $(T_A = -40^{\circ}C \text{ to } +85^{\circ}C.) \text{ (Note 1)}$

- **Note 1:** Specifications at $T_A = -40^{\circ}C$ are guaranteed by design and not production tested.
- Note 2: System requirement
- Note 3: Guaranteed by design, characterization, and/or simulation only. Not production tested.
- **Note 4:** Maximum allowable pullup resistance is a function of the number of 1-Wire devices in the system and 1-Wire recovery times. The specified value here applies to parasitically powered systems with only one device and with the minimum 1-Wire recovery times. For more heavily loaded systems, local power or an active pullup such as that found in the DS2482-x00, DS2480B, or DS2490 may be required. If longer t_{REC} is used, higher R_{PUP} values may be tolerable.
- Note 5: Value is 25pF maximum with local power. Maximum value represents the internal parasite capacitance when V_{PUP} is first applied. If R_{PUP} = 2.2kΩ, 2.5μs after V_{PUP} has been applied, the parasite capacitance does not affect normal communications.
- **Note 6:** V_{TL}, V_{TH}, and V_{HY} are a function of the internal supply voltage, which is a function V_{DD}, V_{PUP}, R_{PUP}, 1-Wire timing, and capacitive loading on IO. Lower V_{DD}, V_{PUP}, higher R_{PUP}, shorter t_{REC}, and heavier capacitive loading all lead to lower values of V_{TL}, V_{TH}, and V_{HY}.
- Note 7: Voltage below which, during a falling edge on IO, a logic 0 is detected.
- Note 8: The voltage on IO must be less than or equal to V_{ILMAX} at all times when the master drives the line to a logic 0.
- **Note 9:** Voltage above which, during a rising edge on IO, a logic 1 is detected.
- Note 10: After V_{TH} is crossed during a rising edge on IO, the voltage on IO must drop by at least V_{HY} to be detected as logic 0.
- Note 11: The I-V characteristic is linear for voltages less than +1V.
- Note 12: Applies to a single parasitically powered DS28EA00 attached to a 1-Wire line. These values also apply to networks of multiple DS28EA00 with local supply.
- Note 13: The earliest recognition of a negative edge is possible at t_{RFH} after V_{TH} has been reached on the preceding rising edge.
- **Note 14:** Defines maximum possible bit rate. Equal to 1/(twoLMIN + trecmin).
- **Note 15:** Interval during the negative edge on IO at the beginning of a presence-detect pulse between the time at which the voltage is 80% of V_{PUP} and the time at which the voltage is 20% of V_{PUP}.
- **Note 16:** Interval after t_{RSTL} during which a bus master is guaranteed to sample a logic 0 on IO if there is a DS28EA00 present. Minimum limit is t_{PDHMAX} + t_{FPDMAX}; the maximum limit is t_{PDHMIN} + t_{PDLMIN}.
- **Note 17:** ϵ in Figure 13 represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to V_{TH} . The actual maximum duration for the master to pull the line low is $t_{W1LMAX} + t_F \epsilon$ and $t_{W0LMAX} + t_F \epsilon$, respectively.
- **Note 18:** δ in Figure 13 represents the time required for the pullup circuitry to pull the voltage on IO up from V_{IL} to the input-high threshold of the bus master. The actual maximum duration for the master to pull the line low is $t_{RLMAX} + t_{F}$.
- Note 19: This load current is caused by the internal weak pullup, which asserts a logic 1 to the PIOB and PIOA pins. The logical state of PIOB must not change during the execution of the Conditional Read ROM command.
- **Note 20:** Current drawn from IO during EEPROM programming or temperature conversion interval in parasite-powered mode. The pullup circuit on IO during the programming or temperature conversion interval should be such that the voltage at IO is greater than or equal to V_{PUPMIN}. If V_{PUP} in the system is close to V_{PUPMIN}, then a low-impedance bypass of R_{PUP}, which can be activated during programming or temperature conversions, may need to be added. The bypass must be activated within 10µs from the beginning of the t_{PROG} or t_{CONV} interval, respectively.
- Note 21: The tpROG interval begins trehmax after the trailing rising edge on IO for the last time slot of the command byte for a valid Copy Scratchpad sequence. Interval ends once the device's self-timed EEPROM programming cycle is complete and the current drawn by the device has returned from IpROG to IL (parasite power) or IDDS (local power).
- Note 22: Write-cycle endurance is degraded as TA increases.
- Note 23: Not 100% production tested. Guaranteed by reliability monitor sampling.
- Note 24: Data retention is degraded as TA increases.
- **Note 25:** Guaranteed by 100% production test at elevated temperature for a shorter time; equivalence of this production test to data sheet limit at operating temperature range is established by reliability testing.
- Note 26: The t_{CONV} interval begins t_{REHMAX} after the trailing rising edge on IO for the last time slot of the command byte for a valid convert temperature sequence. The interval ends once the device's self-timed temperature conversion cycle is complete and the current drawn by the device has returned from I_{CONV} to I_L (parasite power) or I_{DDS} (local power).
- **Note 27:** Drift data is preliminary and based on a 1000-hour stress test performed on another device with comparable design and fabricated in the same manufacturing process. This test was performed at greater than +85°C with V_{DD} = +5.5V. Confirmed thermal drift results for this device are pending the completion of a new 1000-hour stress test.

引脚说明

引脚	名称	功能
1	Ю	1-Wire总线接口和寄生电源。开漏引脚,需要外部上拉电阻。
2, 3, 5	N.C.	无连接。
4	GND	电源地。
6	PIOA (DONE)	漏极开路PIOA通道和链路输出。PIOA必须与链路中下一器件的PIOB连接,以实现顺序检测功能; 而链路中最后一个器件的对应引脚悬空或接GND。
7	PIOB (EN)	漏极开路PIOB通道和链路输入。链路中第一个器件的PIOB必须接GND,以实现顺序检测功能。
8	V _{DD}	电源引脚。在寄生供电模式下必须将其接GND。

详细说明

DS28EA00主要功能模块之间的关系如方框图所示。DS28EA00内部包括三个主要数据单元:64位序列号、64位暂存器、报警和配置寄存器。1-Wire ROM功能控制单元处理ROM功能命令,允许器件工作在一个多点网络。器件的功能控制单元用于器件的特定操作和控制,如读/写操作、温度转换、设置顺序检测的链路状态以及PIO访问。循环冗余校验(CRC)发生器在读取温度和存储器数据时协助主机检验数据完整性。在顺序检测过程中,PIOB作为输入,而PIOA用于下一器件的连接。无论DS28EA00是否提供有效的本地电源,电源传感器都允许主机远程读取数据。

1-Wire协议的层次结构如图1所示。总线主机必须首先发出以下八条ROM功能命令中的一条: Read ROM、Match ROM、Search ROM、Conditional (Alarm) Search ROM、Conditional Read ROM、Skip ROM、Overdrive-Skip ROM、Overdrive-Match ROM。

如果在标准速率下执行了高速ROM命令,器件将进入高速模式,且此后的所有通信都将以高速模式进行。ROM

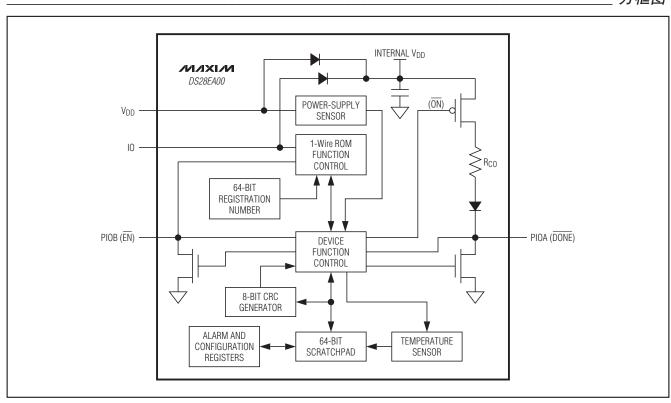
功能命令需要遵循的协议如图11所示。成功执行完一条ROM功能命令后,DS28EA00将向主机开放器件功能控制接口,主机可以利用九条器件控制功能命令中的任意一条实现这一目的。这些控制功能命令需要遵循的协议如图9所示。**所有数据读写都是低有效(LS)位在前**。

64位序列号

每片DS28EA00都包含唯一的64位ROM序列号。前8位是1-Wire家族码,接下来的48位是唯一的序列号,最后8位是前56位的CRC码(图2所示)。1-Wire CRC由移位寄存器和XOR门电路组成的多项式发生器产生,如图3所示。这个多项式为: $X^8 + X^5 + X^4 + 1$,关于1-Wire CRC的详细信息,请参考应用笔记27: *理解和运用Maxim iButton®产品中的循环冗余校验(CRC)*。

首先将移位寄存器的每一位都初始化为0,然后从家族码的最低有效位开始移入移位寄存器,每次移入1位。当家族码的第8位移入后,开始移入48位序列号。在序列号的最后一个字节移入后,移位寄存器内的数值即为CRC值。移入8位CRC后,移位寄存器的所有位全部归零。

方框图



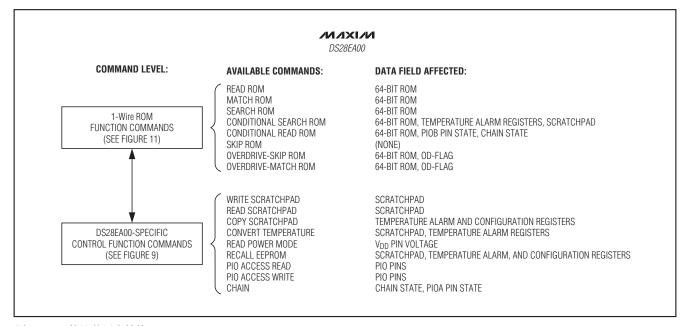


图1.1-Wire协议的层次结构

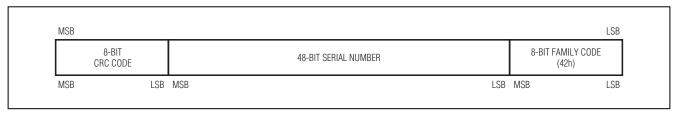


图2.64位序列号

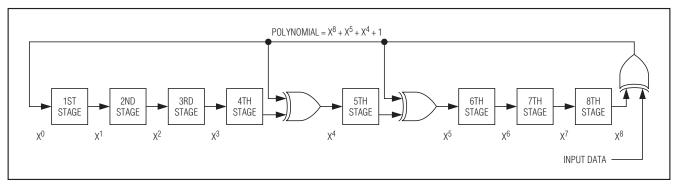


图3. 1-Wire CRC发生器

存储器说明

DS28EA00的存储器映射如图4所示。该存储器由一个8字节暂存器和3字节备份EEPROM组成。在8字节暂存器中,前2字节为温度读数寄存器,该寄存器为只读寄存器,温度转换后更新寄存器;随后的3个字节用户可写,这3个字节包括高温(TH)报警寄存器和低温(TL)报警寄存器以及

配置寄存器;其余3个字节为"预留字节",上电后器件将常数加载到预留字节,这些字节的内容不能由用户修改。暂存器中的TH、TL和配置寄存器数据确定温度转换的分辨率,并决定当前测试温度是否达到报警门限。TH、TL和配置寄存器数据复制到EEPROM,具有非易失性。DS28EA00上电时将EEPROM数据自动载入暂存器。

BYTE ADDRESS	SCRATCHPAD (POWER-UP STATE)		BACKUP EEPROM
0	TEMPERATURE LSB (50h)	-	N/A
1	TEMPERATURE MSB (05h)		N/A
2	TH REGISTER OR USER BYTE 1*	◄····· ►	TH REGISTER OR USER BYTE
3	TL REGISTER OR USER BYTE 2*	◄····· ►	TL REGISTER OR USER BYTE 2
4	CONFIGURATION REGISTER*	◄····· ►	CONFIGURATION REGISTER
5	RESERVED (FFh)		N/A
6	RESERVED (0Ch)		N/A
7	RESERVED (10h)		N/A

图4. 存储器映射

寄存器详细说明

温度读数寄存器

ADDRRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0h	2 ³	2 ²	21	20	2-1	2-2	2-3	2-4
1h	S	S	S	S	S	26	2 ⁵	24

LS字节 MS字节

温度报警寄存器

ADDRRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
2h	S	2 ⁶	2 ⁵	24	2 ³	22	21	20
3h	S	26	25	24	23	22	21	20

高温报警(TH) 低温报警(TL)

表1. 温度/数据的对应关系

TEMPERATURE (°C)	DIGITAL OUTPUT (BINARY)	DIGITAL OUTPUT (HEX)
+85*	0000 0101 0101 0000	0550h
+25.0625	0000 0001 1001 0001	0191h
+10.125	0000 0000 1010 0010	00A2h
+0.5	0000 0000 0000 1000	0008h
0	0000 0000 0000 0000	0000h
-0.5	1111 1111 1111 1000	FFF8h
-10.125	1111 1111 0101 1110	FF5Eh
-25.0625	1111 1110 0110 1111	FE6Fh
-40	1111 1101 1000 0000	FD80h

^{*}温度读数寄存器在上电复位时的温度值为+85℃。

温度读数的单位为℃,采用16位符号扩展的2的补码格式。表1列出了分辨率为12位时,温度与寄存器数据的对应关系。采用2的补码时,如果为负数,符号位置位。如果器件的分辨率设置为12位,LS字节的所有位都有效;若分辨率低于12位,第0位(11位模式)、第0位至第1位(10位模式)或第0位至第2位(9位模式)均没有定义。

温度转换结果会自动与报警寄存器的数值进行比较,以确定是否发生报警状态。报警门限采用2的补码形式。共

用8位2进制数表示报警门限的符号和数值,设置报警门限时以1℃为增量。如果温度转换结果大于等于TH寄存器的数值或小于等于TL寄存器的数值,将产生报警。发出温度报警信号后,器件将会响应Conditional Search ROM命令。如果随后的温度转换结果值处于TH和TL寄存器定义的范围之间,则解除报警状态。

配置寄存器

ADDRRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
4h	0	R1	R0	1	1	1	1	1

每一位的功能设置如下表所示,第[4:0]位以及第7位没有 定义,用户不能改变对应的数值。器件出厂时默认分辨 率为12位。

BIT DESCRIPTION	BIT(S)	DEFINITION		
R1, R0: Temperature Converter Resolution	[6:5]	These R1 0 0 1 1 1	e bits co R0 0 1 0	ontrol the resolution of the temperature converter. The codes are as follows: 9 bits 10 bits 11 bits 12 bits

PIO结构

每个PIO均包含一个漏极开路下拉晶体管和一个用于读取引脚状态的输入通道。该晶体管由PIO输出锁存器控制,如图5所示。器件功能控制单元将PIO与1-Wire接口进行逻辑连接。PIOA与内部 V_{DD} 之间有一个上拉通道,借助于链路命令可灵活实现顺序检测功能(参见方框图);PIOB则是一个开漏结构。PIO输出晶体管的上电默认状态为关断;通过片内高阻(图5中未画出)将PIO引脚上拉至内部 V_{DD} 。

链路功能

链路功能允许1-Wire主机检索以线性网络("链")方式连接的器件,找出其物理顺序。这对于那些沿着一条长电缆等间距安装的器件非常方便(例如,可以用来测量储存塔或储存罐不同位置的温度)。如果不具备链路功能,主机需要用查找表将器件在链路中的物理位置与序列号对应起来。

链路功能需要两个引脚:输入引脚(EN)使器件在检测过程中作出响应,而输出引脚(DONE)可以通知链路中下一器件其相邻器件的检测已完成。DS28EA00的两个通用端口还可以用作链路功能。PIOB的功能类似于EN输入,PIOA

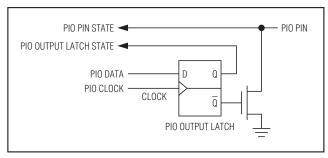


图5. PIO简化逻辑框图

产生 \overline{DONE} 信号并与下一器件的 \overline{EN} 输入相连,如典型工作电路所示。链路中第一个器件的 \overline{EN} 输入需连接至 \overline{GND} ,或者在顺序检测过程中必须对其施加逻辑0信号。除上述两个引脚外,顺序检测功能还可通过 $\overline{Conditional}$ Read \overline{ROM} 命令实现。

为了同时支持链路功能和正常的PIO功能,DS28EA00能够区分三种链路状态: OFF、ON和DONE。从一种链路状态转换至另一种链路状态时通过链路命令控制,表2给出了链路状态以及PIO引脚的特定操作。

表2. 链路状态

CHAIN STATE	DEVICE BEHAVIOR						
CHAIN STATE	PIOB (EN)	PIOA (DONE)	CONDITIONAL READ ROM				
OFF (Default)	PIO (High Impedance)	PIO (High Impedance)	Not Recognized				
ON	EN Input	Pullup On	Recognized if EN is 0				
DONE	No Function	Pulldown On (DONE Logic 0)	Not Recognized				

上电后默认链路状态为OFF,此时PIOA和PIOB都通过PIO Access Read和PIO Access Write命令控制。链路状态为ON时,PIOA通过一个阻值约为40kΩ的电阻上拉至器件内部V_{DD}电源,为下一器件的PIOB(EN)引脚提供逻辑1信号。只有当DS28EA00的EN引脚为逻辑0、且该器件又在ON状态时,它才响应Conditional Read ROM命令。读取器件的ROM序列号后,器件进入DONE链路状态,使能链路下一器件响应Conditional Read ROM命令。

顺序检测过程开始时,所有器件都处于ON链路状态。检测过程中,器件会逐一转换为DONE状态,直到识别出所有器件为止。最后,所有器件都处于OFF链路状态,释放PIO,并重新保存其上电默认状态。

控制功能命令

图9给出了实现温度测量、存储器和PIO引脚访问、链路状态更改所需的协议。本文最后给出了如何采用这些功能以及其它功能的实例。主机与DS28EA00之间的通信可以采用标准速率(默认状态,OD=0),也可采用高速模式(OD=1)。上电后,如果没有明确设置为高速模式,DS28EA00则以标准速率通信。

Write Scratchpad [4Eh]

该命令允许主机向DS28EA00的暂存器写人3个字节的数据。第一个数据字节对应于TH寄存器(字节地址2),第二个字节对应TL寄存器(字节地址3),第三个字节则对应配置寄存器(字节地址4)。传输数据必须从最低有效位开始。在主机发送复位信号之前,这3个字节必须全部写人,否则可能导致数据传输不完整。

Read Scratchpad [BEh]

该命令允许主机读取暂存器的内容。数据传输从位于字节地址0的温度读取寄存器的最低有效位开始,直至读完暂存器的其余7个字节。如果主机继续读操作,则可读取第9个字节,也就是暂存器中所有数据的8位CRC校验码。该CRC由DS28EA00产生;所用多项式与DS28EA00用于产生ROM序列号的CRC码的多项式相同。发送CRC为原码格式(同相)。如果仅需一部分暂存器数据,主机可发送一个复位信号,提前结束读操作。

Copy Scratchpad [48h]

该命令用于复制暂存器字节地址2至4 (TH、TL和配置寄存器)中的内容到备份EEPROM。如果器件没有 V_{DD} 电源,那么,主机必须在发送该命令后的 10μ s时间内使能1-Wire总线上的强上拉,并保持 $t_{PROGMAX}$ 时间。如果器件通过 V_{DD} 引脚供电,则主机可以产生读时隙,以监测复制过程。当主机读到1位而不是0位时,表明复制完成。

Convert Temperature [44h]

该命令用于启动温度转换。转换完成后,测量得到的温度会出现在暂存器的温度读数寄存器区域中,DS28EA00则返回至低功耗空闲状态。如果器件没有 V_{DD} 电源,主机必须在发送该命令后的 10μ s时间内使能1-Wire总线上的强上拉,并保持1CONVMAX时间,该时间与分辩率有关。如果器件通过1DD引脚供电,主机产生监测转换过程的读时隙。当主机读取到1位而不是10位时,温度转换完成。

Read Power Mode [B4h]

执行Copy Scratchpad和Convert Temperature命令时,主机需要知道DS28EA00是否有 V_{DD} 电源。执行Read Power Mode命令可以向主机提供这一信息。发送完命令代码后,主机发送读时隙。如果主机读到1,则器件通过 V_{DD} 引脚供电。如果器件由1-Wire线路供电,则主机读到0。电源检测器会在发出命令代码后在主机产生的每个时隙内采样 V_{DD} 引脚的状态。

Recall EEPROM [B8h]

该命令从备份EEPROM中读出TH和TL报警触发值以及配置数据,并将它们复制到暂存器的相应位置。命令代码发送完成后,主机发送读时隙,以监测调用过程是否完成。当主机读到1位,而不是0位时,表示数据回读完成。上电时回读功能会自动进行,无需主机参与。

PIO状态位分配

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
	COMPLEMENT OF B3 TO B0			PIOB OUTPUT LATCH STATE	PIOB PIN STATE	PIOA OUTPUT LATCH STATE	PIOA PIN STATE

PIO输出数据位分配

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
X	X	X	X	X	X	PIOB	PIOA

PIO Access Read [F5h]

该命令会无限循环地读取PIO引脚的逻辑状态,报告它与PIO输出锁存状态。发出1-Wire复位命令可随时终止PIOAccess Read。在Chain ON和Chain DONE状态下,可执行PIOAccess Read命令。但是当器件处于Chain ON或Chain DONE状态时,PIO输出锁存器状态始终为1,可能导致不能正确读取PIO的引脚状态。

两个PIO通道的状态采样同时进行。收到命令代码F5h的最后一位(最高有效位)后开始第一次采样。然后将PIO状态通知总线主机。当主机接收到PIO状态字节的最后一位(最高有效位)后,下次采样开始,如此循环,直到主机产生1-Wire复位信号为止。从前一个字节MS位的上升沿之后经过t_{REH} + x延迟时间,开始新一次采样,如图6所示。"x"值近似为0.2µs。

PIO Access Write [A5h]

PIO Access Write命令向PIO输出锁存器写数据,以控制PIO通道的下拉晶体管。主机可通过该命令先向PIO写人新数据,然后再回读PIO状态,如此无限循环。通过这种隐含的先写、后读方式可以使主机验证写操作是否成功。通过1-Wire复位命令可随时终止PIO Access Write命令不会对器件产生影响。

主机发送完命令代码后,随后发送一个PIO输出数据字节,以确定PIO输出晶体管的新状态。第一位(最低有效位)对应PIOA;下一位对应PIOB。其它6位没有对应的PIO引脚,应始终向这些位发送1。若要使输出晶体管导通,需将相应位置0。若要关断该输出晶体管(不导通),该位必须置为1。这样,代表新PIO输出状态的数据字节就以其原码

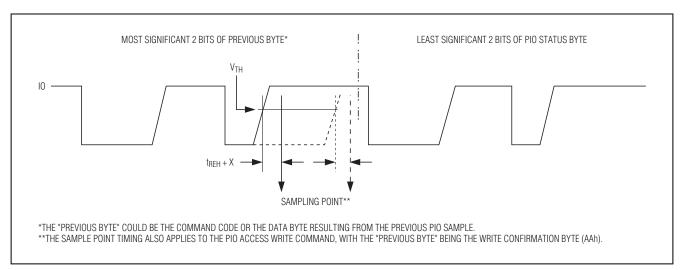


图6. PIO Access Read时序图

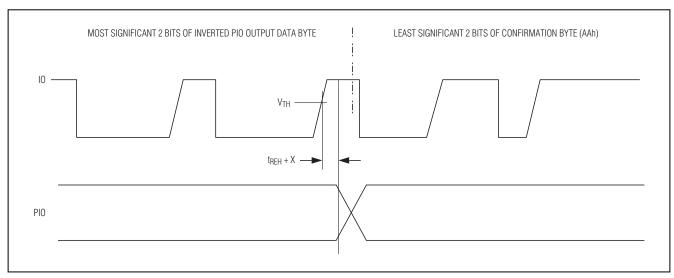


图7. PIO Access Write时序图

形式出现在PIO引脚。为了避免数据传输中出现误差,主机必须以反码形式重复发送PIO输出数据字节。只有当传输数据无误差时,PIO状态才会改变。实际上,从PIO字节反码的MS位的上升沿开始,要经过 t_{REH} + x的延迟时间PIO才会转换为新的状态,如图7所示。"x"的值近似为0.2 μ s。为将PIO字节通信成功的信息告知主机,DS28EA00发送一个数值为AAh的确认字节。当发送完确认字节的MS位后,DS28EA00对PIO引脚状态进行采样,如图6所示,并将所采样的值发送给主机。主机既能继续向PIO写人更多数据,也能发送一个1-Wire复位信号来结束命令。

Chain [99h]

该命令允许主机将DS28EA00置为三种链路状态中的一种,如图8所示。器件上电时为链路OFF状态。若将DS28EA00从一种状态转换为另一种状态,主机必须在Chain命令代码后发送一个相应的链路控制字节。只有3Ch、5Ah和96h(原码形式)这三个数值有效,分别代表OFF、ON和DONE状态。控制数据先以原码形式发送,然后再以反码形式发送。如果链路状态成功改变,主机接收AAh确认字节。如果链路状态改变失败(控制字节发送错误,无效控制字节)、主机则读取00h字节。

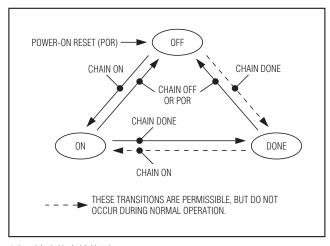


图8. 链路状态转换图

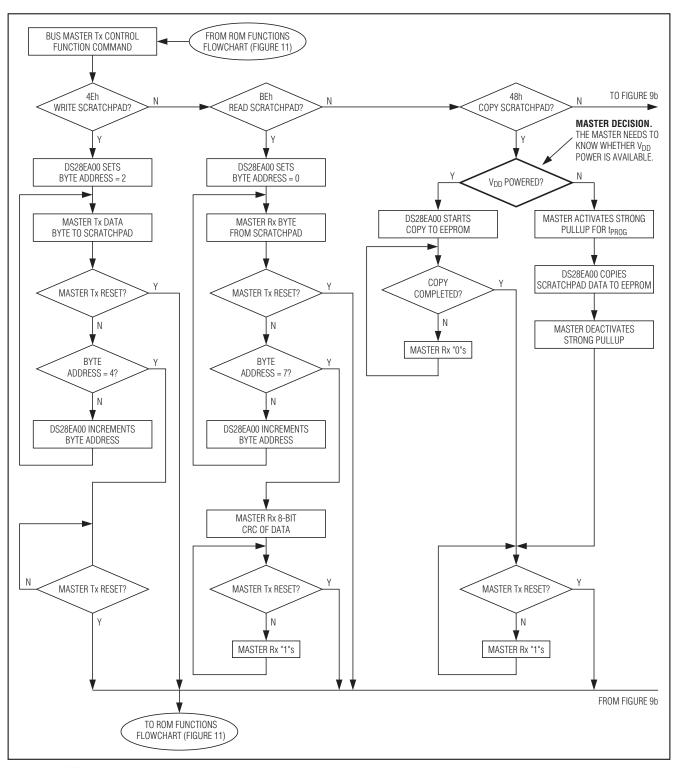


图9a. 控制功能流程图

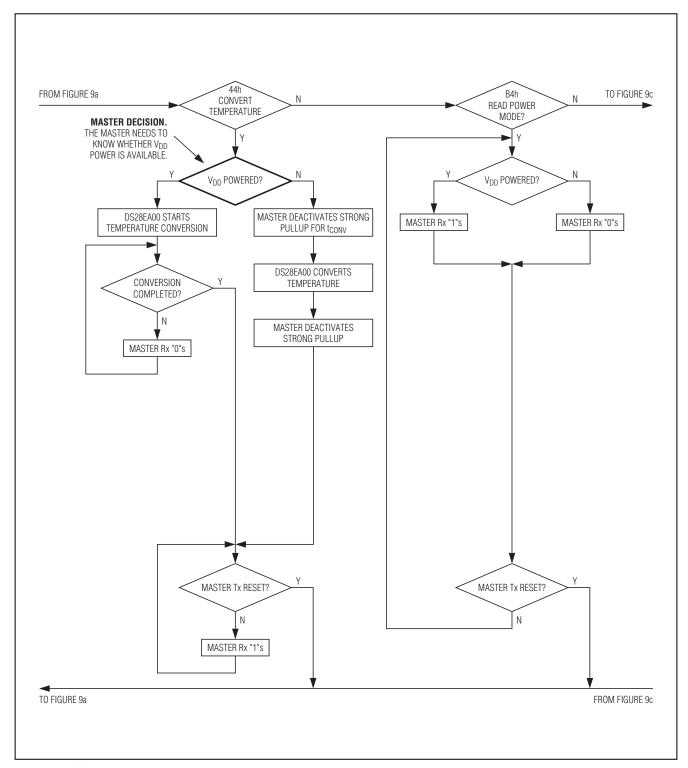


图9b. 控制功能流程图



图9c. 控制功能流程图

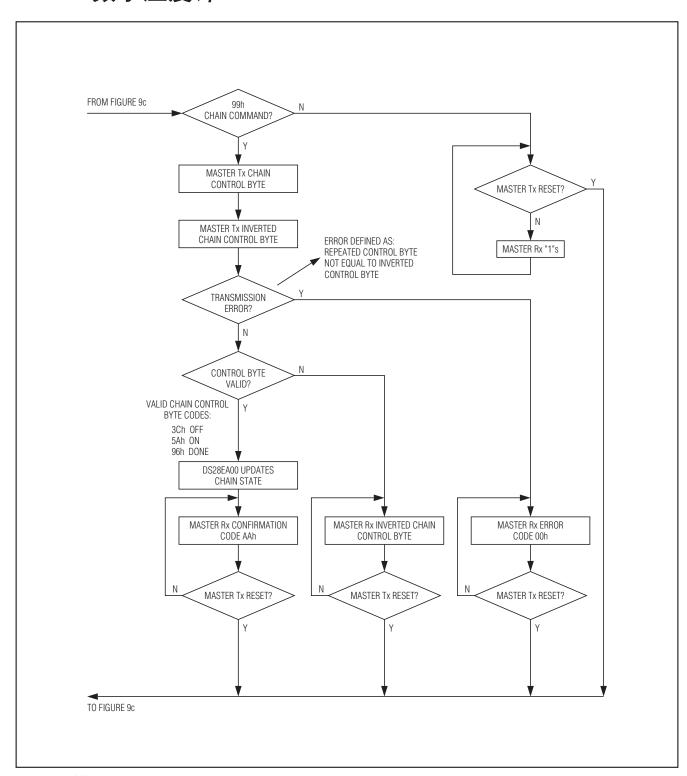


图9d. 控制功能流程图

1-Wire总线系统

1-Wire总线系统由一个单总线主机和一个或多个从器件组成。任何情况下,DS28EA00都是从器件。总线主机通常是一个微控制器。对1-Wire总线系统的讨论分为三个部分:硬件配置、操作顺序和1-Wire信令(信号类型和时序)。1-Wire协议根据特定时隙中总线的状态工作,这些特定时隙始于总线主机发出的同步脉冲的下降沿。

硬件配置

按照定义,1-Wire总线系统只有一条数据线。因此,每个器件均能在适当时间驱动总线十分重要。为使上述操作易于实现,总线上的每个器件需要具有漏极开路或三态输出口。DS28EA00的1-Wire端口是漏极开路输出,其内部等效电路如图10所示。

多点系统由一个1-Wire主机和多个从器件组成。DS28EA00分别支持15.3kbps (最大值)的标准通信速率和125kbps (最大值)的高速通信速率。需要注意的是,传统1-Wire器件在标准速度模式和高速模式下的数据传输速度分别为16.3kbps和142kbps。与传统1-Wire器件相比,DS28EA00传输速度有所降低,原因是为增强1-Wire物理接口对噪声的抑制而增加了恢复时间。上拉电阻的阻值主要取决于网络规模和负载状态。任何速度模式下,DS28EA00需要一只2.2kΩ(最大值)的上拉电阻。

1-Wire总线的空闲状态为高电平。如果由于某种原因需要暂停工作,稍后还能恢复工作的话,必须将总线置于空闲状态。否则,如果总线保持低电平的时间超过16μs (高速模式)或超过120μs (标准速率)时,总线上的一个或多个从器件将被复位。

操作顺序

通过1-Wire端口访问DS28EA00的操作流程如下:

- 初始化
- ROM功能命令
- 控制功能命令
- 传输/数据

初始化

1-Wire总线的所有操作均从初始化开始。该初始化过程由主机发送的复位脉冲和从器件发送的在线应答脉冲组成。在线应答脉冲用于通知主机DS28EA00已挂接在总线上,并已准备就绪。有关这方面的详细内容,请参考1-Wire信令部分。

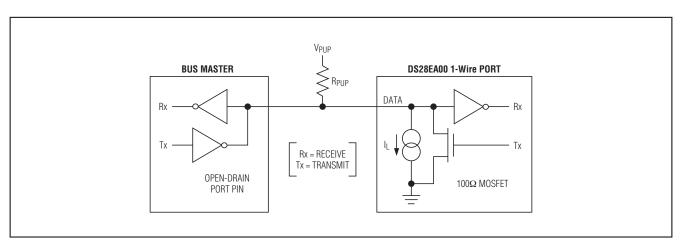


图10. 硬件配置

1-Wire ROM功能命令

一旦主机检测到在线应答脉冲,就可以发出DS28EA00支持的8条ROM功能命令中的一条。所有ROM功能命令的长度均为8位。下面是这些ROM命令的简要介绍(参考图11所示流程图)。

Read ROM [33h]

主机用该命令来读取DS28EA00的8位家族码、唯一的48位序列号和8位CRC码。该命令适用于总线上只有一个从器件的情况。如果总线上挂接有多个从器件的话,那么当所有从器件都试图在同一时刻传送数据时,就会发生数据冲突(漏极开路输出将产生"线与"结果),导致主机读取的家族码和48位序列号与CRC不匹配。

Match ROM [55h]

发出Match ROM命令后,随后发出64位ROM码,使主机可以访问多点系统中某个特定的DS28EA00。只有与64位ROM码完全匹配的DS28EA00才会响应后续控制功能命令,而其它所有从器件将等待复位脉冲。总线上有一个或多个从器件时都可使用该命令。

Search ROM [F0h]

当系统启动初始化时,总线主机可能不知道1-Wire总线上挂接从器件的数量,也不知道各个从器件的序列号。利用总线的"线与"特性,总线主机可用排除法来确定所有从器件的序列号。为得到序列号的每一位,从最低有效位开始,总线主机发送三个时隙。在第一个时隙中,每一个参与查询的从器件输出其序列号的原码。在第二个时隙中,每一个参与查询的从器件输出其序列号的反码。在第三个时隙中,主机写入所选位的原码。所有与主机写入位不匹配的从器件都将不再参与搜索。如果两次读取结果都为0,那么,总线主机将认为至少存在两个以上

的从器件。通过选择写人状态,总线主机的ROM码"树"产生分支。完成一个过程后,总线主机就能得到单个器件的序列号。其余从器件的序列号则由另外的操作检测出来。更多详细内容请参见应用笔记187: 1-Wire搜索算法,其中还包括了一个实例。通过Search ROM命令不会获知网络中的器件位置的任何信息。如果多个DS28EA00以线性网络("链路")方式连接,则需要采用Conditional Read ROM命令结合Chain功能检测器件的位置。

Conditional Search ROM [ECh]

除了只有满足某些特定条件的器件可以参与搜索外,其它方面,Conditional Search ROM命令与Search ROM命令类似。多点系统中,Conditional Search ROM命令提供了一种有效方法,使得总线主机能够方便地识别那些有重要事件报告的从器件。每次成功搜索到多点系统中的某个器件的64位ROM码后,就可以单独访问该器件,与发出Match ROM命令一样,因为其它从器件都在搜索过程中被滤除,等待下一个复位脉冲的到来。出现温度报警信号的DS28EA00将会响应Conditional Search ROM命令,详细信息请参考温度报警寄存器部分。

Conditional Read ROM [0Fh]

该命令与Chain功能配合使用,用于检测线性网络("链路")中器件的物理顺序。如果DS28EA00满足以下两个条件:a)器件处于链路ON状态,b) \overline{EN} 输入(PIOB)为逻辑0,那么,DS28EA00将会响应Conditional Read ROM命令。顺序检测过程中,某个器件会正好满足第二个条件。一旦接收到Conditional Read ROM命令,该特定器件将会发送其64位序列号。如果器件处于链路ON状态,而其 \overline{EN} 状态为逻辑1,则不会响应Conditional Read ROM命令。关于Conditional Read ROM和Chain命令使用的详细信息请参考顺序检测过程部分。

Skip ROM [CCh]

单点系统中,主机可使用该命令在不提供从器件64位ROM 代码的情况下直接访问控制功能,节省了时间。但是,如 果总线上挂接多个从器件,Skip ROM命令之后发出读命 令将会导致总线冲突,因为会有多个从器件同时发送数据 (漏极开路下拉将产生一个"线与"结果)。

Overdrive-Skip ROM [3Ch]

在单点系统中,总线主机可通过该命令在不知道从器件 64位ROM码的情况下访问控制功能,从而节省时间。与普通Skip ROM命令不同的是,Overdrive-Skip ROM命令将 DS28EA00设置为高速模式(OD = 1)。执行此命令后,所 有通信将运行在高速模式下,直到主机发送一个至少持续480 μ s的复位脉冲,把总线上的所有从器件重新设置为 标准速率(OD = 0)。

对于多点系统,该命令会把所有支持高速模式的从器件设置为高速模式。随后,为了寻址到支持高速模式的特

定器件,必须在高速模式下发出一个复位脉冲,然后发出Match ROM或Search ROM命令,这样可加快搜索过程。如果总线上有多个支持高速模式的从器件,并且在Overdrive-Skip ROM命令后跟随一个Read命令,那么,当多个从器件同时发送信号时,总线上就会发生数据冲突(漏极开路下拉产生一个"线与"结果)。

Overdrive-Match ROM [69h]

主机发出Overdrive-Match ROM命令后,以高速模式发送64位ROM码,这可使其在多点总线上寻址到一个特定的DS28EA00,并同时将其设置为高速模式。只有与主机发出的64位ROM码完全匹配的DS28EA00才会响应随后的控制功能命令。已经被前面的Overdrive-Skip ROM命令或Overdrive-Match ROM命令设为高速模式的从器件将一直保持高速模式。所有支持高速模式的从器件在持续时间至少480μs的下一个复位脉冲后返回至标准速率。Overdrive-Match ROM命令适用于单点或多点总线。

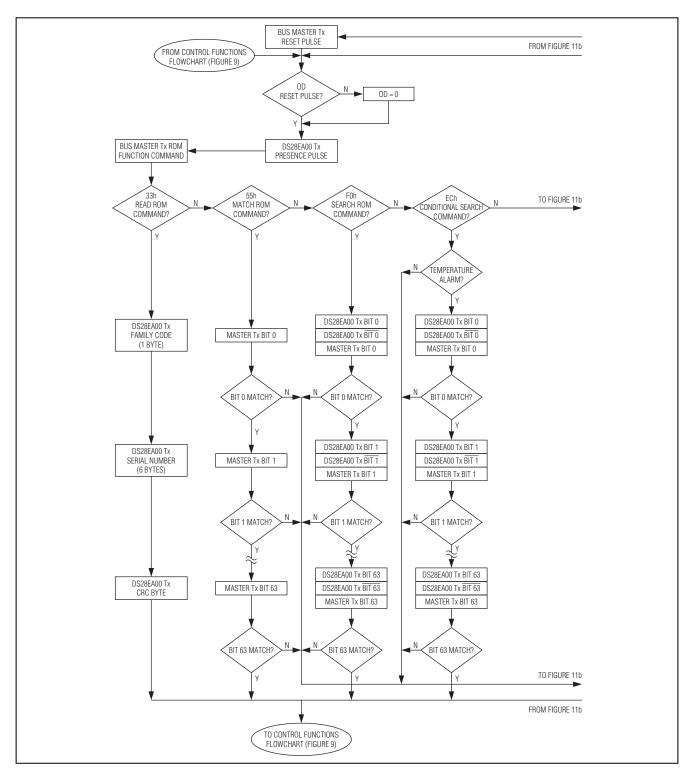


图11a. ROM功能流程图

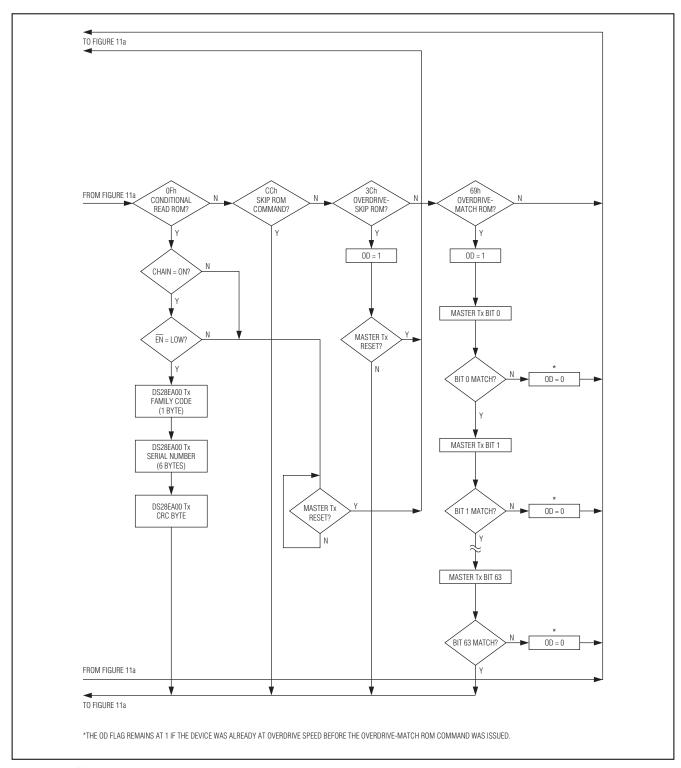


图11b. ROM功能流程图

1-Wire信令

DS28EA00需要严格的通信协议确保数据的完整性。该协议在一根线上定义了四种类型的信号:由复位脉冲和在线应答脉冲组成的复位序列、写0、写1、读数据。除在线应答脉冲之外,总线主机主导发出所有下降沿信号。DS28EA00能以标准速率或高速两种不同的速率进行通信。如果没有明确设置为高速模式,DS28EA00将以标准速率进行通信。在高速模式下,所有波形均采用快速定时。

若将器件从空闲状态转入有效状态,需要将1-Wire总线的电压从 V_{PUP} 降至门限电压 V_{TL} 以下。若将器件从有效状态转入空闲状态,需要使1-Wire总线的电压从 V_{ILMAX} 上升至门限电压 V_{TH} 以上。图12中所给出的电压上升时间用" ϵ "表示,数值大小由上拉电阻(R_{PUP})和1-Wire网络的附加电容确定。系统逻辑电平与DS28EA00的 V_{ILMAX} 电压有关,但该电压不触发任何事件。

DS28EA00通信时的初始化时序如图12所示。如果主机发送正确的ROM命令和控制功能命令,复位脉冲之后的应答脉冲表明DS28EA00已经做好接收数据的准备。如果总线主机在下降沿采用摆率控制,则为了补偿边沿时间,主机必须将总线拉低并保持 $t_{RSTL}+t_{F}$ 的时间。若 t_{RSTL} 持续480 μ s或更长,可使器件退出高速模式,返回到标准速率模式。若DS28EA00处于高速模式且 t_{RSTL} 小于80 μ s,该器件仍将保持高速模式。如果器件处于高速模式且 t_{RSTL} 时间介于80 μ s和480 μ s之间,该器件将复位,其通信速度不确定。

总线主机释放数据线后进入接收模式。这时,通过上拉电阻或借助有源电路(DS2482-x00或DS2480B驱动器)将1-Wire总线拉至 V_{PUP} 。超过门限电压 V_{TH} 后,DS28EA00将等待 t_{PDH} ,然后通过拉低总线并保持 t_{PDL} 的方式发送一个在线应答脉冲。为了检测在线应答脉冲,主机应该在 t_{MSP} 时刻检测1-Wire线路的逻辑状态。

 t_{RSTH} 的持续时间至少应为 t_{PDHMAX} 、 t_{PDLMAX} 、 t_{RECMIN} 之和。一旦 t_{RSTH} 结束,DS28EA00立即做好数据通信准备。在多个从器件组成的多点网络中,标准速度下, t_{RSTH} 的持续时间至少为480 μ s;而在高速模式下, t_{RSTH} 的持续时间至少为48 μ s,这样才能符合其它1-Wire器件的需要。

读/写时隙

DS28EA00的数据通信通过时隙产生,每个时隙只能传送一位数据。通过写时隙将数据从主机传送至从器件,而通过读时隙将数据由从器件传送至主机。读时隙和写时隙的定义如图13所示。

所有通信都由主机拉低数据线开始。当1-Wire总线电压跌落至门限电压 V_{TL} 以下时,DS28EA00启动其内部定时发生器,确定在写时隙期间何时对数据线进行采样,以及在读时隙期间数据的有效时间。

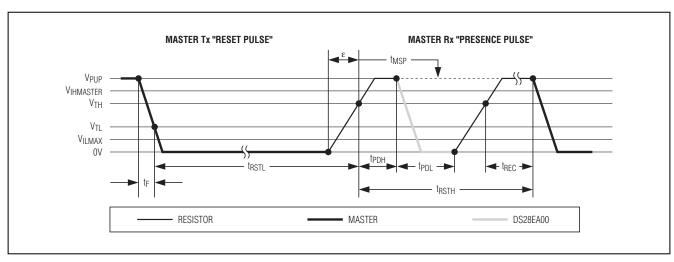


图12. 初始化过程"复位和在线应答脉冲"

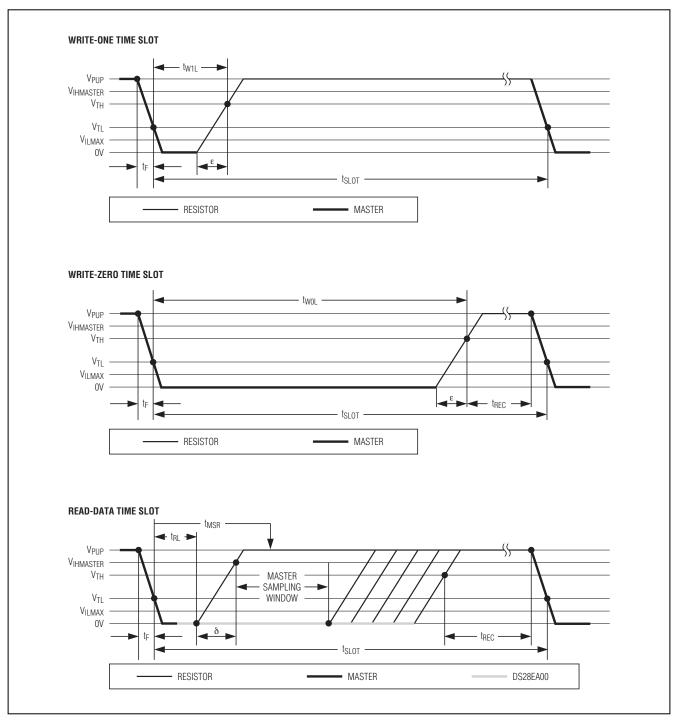


图13. 读/写时隙图

主机到从器件

对于**写1**时隙来说,在写1的低电平时间 t_{WILMAX} 结束之前,数据线上的电压必须高于门限 V_{TH} 。对于**写0**时隙来说,在写0的低时间 t_{WOLMIN} 结束以前,数据线上的电压必须低于门限 V_{TH} 。为了实现最可靠的通信,在整个 t_{WOL} 至 t_{WIL} 持续时间内,数据线上的电压不能超过 V_{ILMAX} 。数据线电压超过 V_{TH} ,DS28EA00需要一个恢复时间 t_{REC} 以便为下一个时隙做好准备。

从器件到主机

读数据时隙在开始时与写1时隙相似。数据线上的电压在读时隙低电平时间 t_{RL} 结束前必须保持在 V_{TL} 以内。在 t_{RL} 窗口中,应答0时,便由DS28EA00继续把数据线拉低,其内部定时器决定何时结束下拉和电压再次升高。应答1时,DS28EA00并不保持数据线的低电平, t_{RL} 结束后,电平即开始上升。

主机的采样窗口(t_{MSRMIN} 至 t_{MSRMAX})由 t_{RL} + δ (上升时间)和DS28EA00的内部定时发生器共同决定。在该窗口内,主机必须从数据线上读数据。为实现最可靠的通信, t_{RL} 应在允许范围内尽可能短,且主机应在接近但又不晚于 t_{MSRMAX} 的时间内进行取样。从数据线上读到数据后,主机必须等待直到 t_{SLOT} 结束,这样使DS28EA00有充足的恢复时间 t_{REC} ,以便为下面的时隙做好准备。注意,这里的 t_{REC} 仅适用于1-Wire总线上只挂接一个DS28EA00时的情况。对于多个从器件的配置,应延长 t_{REC} 的值,以适应增加的1-Wire器件输入电容。另外,还可使用类似于DS2482-x00或DS2480B的1-Wire线驱动器,在1-Wire恢复时间内进行有源上拉。

改善网络性能(切换点滞回)

在1-Wire系统中,仅主机(1-Wire驱动器)在信号瞬变期间进行控制才可能实现线路终端匹配,因此,1-Wire网络很容易受到其它噪声的影响。根据网络的物理规模和拓扑结构的不同,从端点到分支点的反射可能会在一定程度上相互叠加或抵消。这种反射表现为1-Wire通信线路上的毛刺或振荡。从外部源耦合到1-Wire线路上的噪声也产生信号毛刺。时隙上升沿时出现的毛刺可能会引起从器件与主

机不同步,结果会造成Search ROM命令无效,或导致特定器件的功能命令中止。为提高网络性能,DS28EA00采用了一种新型的1-Wire前端,它对噪声的免疫力更强,可以降低从器件引入的噪声的幅度。

DS28EA00的1-Wire前端较之传统从器件的前端有以下四点不同:

- 1) 在线应答脉冲的下降沿斜率受控,提供了比数字开关 晶体管更好的传输线阻抗匹配,将来自传统器件的高 频振荡转换为更平滑的低频瞬变。斜率控制由参数t_{FPD} 指定,针对标准速度和高速模式具有不同取值。
- 2) 该电路中增加了一个低通滤波器,用于检测时隙开始时的下降沿。这样可降低器件对高频噪声的敏感度。这个增加的滤波器在高速工作时不起作用。
- 3) 由低至高的切换门限 V_{TH} 具有一个滞回。如果一个负毛刺的电压低于 V_{TH} ,但不低于 V_{TH} V_{HY} 时,就不会判定为负脉冲(图14中的示例A)。滞回在任何1-Wire速率下均起作用。
- 4)该系统设计了一个上升沿拖尾时间 t_{REH} 定义的时间窗口,在这个窗口内,即使毛刺电压低于门限 V_{TH} V_{HY} (图 14中的示例B, t_{GL} < t_{REH}),毛刺电压仍会被忽略。如果超过 t_{REH} 时间窗口,且电压降或毛刺电压低于 V_{TH} 门限,则滤波器就不能滤除这些噪声,将被主机误认为新时隙的开始(图 14中的示例C, $t_{GL} \ge t_{REH}$)。

只有在电气特性中对参数V_{HY}及t_{REH}进行定义的从器件采用这种改进的1-Wire前端。

顺序检测过程

前提条件:链路中第一个器件的PIOB引脚(EN)为逻辑0。链路中第一个器件的PIOA引脚(DONE)与第二个器件的PIOB相连,依次连接,如图15所示。1-Wire主机检测链路器件的物理顺序,可通过下列步骤实现:

起始条件: 主机发送Skip ROM命令, 然后发送Chain ON命令, 将所有器件置于链路ON状态。除了链路中的第一个器件外, 对于其它所有器件, 都可通过PIOA引脚的R_{CO}上拉电阻将PIOA/PIOB连接处的逻辑电平变为1。如果不

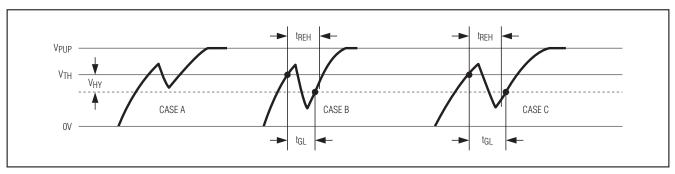


图14. 噪声抑制示意图

存在本地V_{DD}电源,主机需要在反向链路控制字节之后立即激活1-Wire上拉电阻间的低阻通路,直到PIOA/PIOB端电压变为等效的逻辑1。

第一个周期: 主机发送Conditional Read ROM命令,使链路中的第一个器件响应其64位序列号。主机存储序列号,并确认第一个器件的确已在链路中。接下来,主机发送Chain DONE命令。这样通过刚检测完的器件的PIOA引脚,可使链路中的第二个器件的PIOB引脚为逻辑0,同时防止刚才所检测到的器件再次响应。

第二个周期: 主机发送Conditional Read ROM命令。由于第二个DS28EA00是链路中PIOB为低电平的唯一器件,因此该器件发送其序列号作为响应。主机将序列码保存为序列号2。第一个器件处于链路DONE状态,所以不会做出响应。接下来主机发送Chain DONE命令。

额外增加的周期:若要识别剩余器件的序列号及其物理序列,主机重复Conditional Read ROM和Chain DONE命令。如果没有器件对Conditional Read ROM命令做出响应,说明链路中的所有器件均已识别。

终止条件:在检测过程的最后,链路中的所有器件都处于链路DONE状态。主机应发送Skip ROM命令,紧接着发送Chain OFF命令终止序列检测。这样可将所有器件都置于链路OFF状态,并通过PIO Access Read和PIO Access Write功能命令控制PIOB和PIOA引脚。

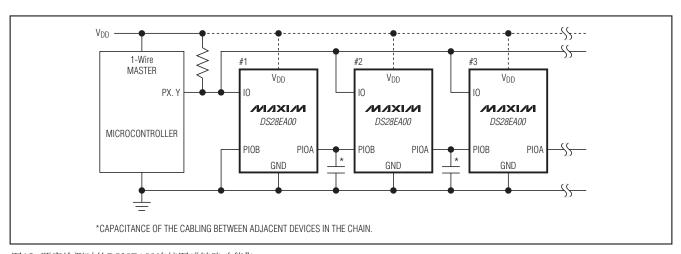


图15. 顺序检测时的DS28EA00连接图("链路功能")

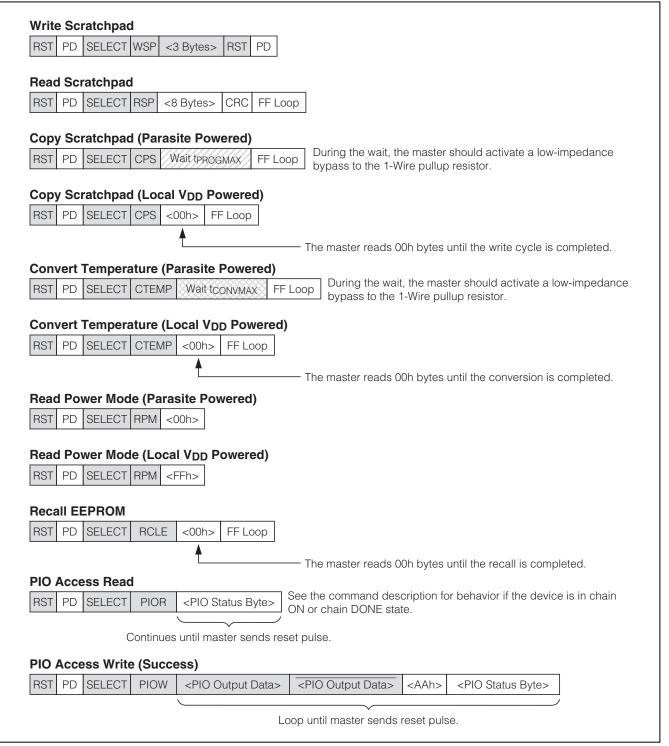
1-Wire通信协议命令定义—符号表

SYMBOL	DESCRIPTION
RST	1-Wire reset pulse generated by master
PD	1-Wire presence pulse generated by slave
SELECT	Command and data to satisfy the ROM function protocol
SKIPR	ROM function command: "Skip ROM"
CDRR	ROM function command: "Conditional Read ROM"
WSP	Command: "Write Scratchpad"
RSP	Command: "Read Scratchpad"
CPSP	Command: "Copy Scratchpad"
CTEMP	Command: "Convert Temperature"
RPM	Command: "Read Power Mode"
RCLE	Command: "Recall EEPROM"
PIOR	Command: "PIO Access Read"
PIOW	Command: "PIO Access Write"
CHAIN	Command: "Chain"
<n bytes=""></n>	Transfer of n bytes
CRC	Transfer of a CRC byte
<xxh></xxh>	Transfer of a specific byte value "xx" (hexadecimal notation)
00 Loop	Indefinite loop where the master reads 00 bytes
FF Loop	Indefinite loop where the master reads FF bytes
AA Loop	Indefinite loop where the master reads AA bytes
xx Loop	Indefinite loop where the slave transmits the inverted invalid control byte
CONVERSION	A temperature conversion takes place; activity on the 1-Wire bus is permitted only with local V _{DD} supply
PROGRAMMING	Data transfer to backup EEPROM; activity on the 1-Wire bus is permitted only with local V _{DD} supply

1-Wire通信协议命令定义——颜色编码

Master-to-Slave Slave-to-Master Programming Conversion	Master-to-Slave Slave-to-Mas	o-Master Programming Co	onversion
--	------------------------------	-------------------------	-----------

1-Wire通信举例



1-Wire通信举例(续)

PIO Access Write (Invalid Data Byte)

RST PD SELECT PIOW <PIO Output Data> <Invalid Data Byte> FF Loop

The PIO Access Write command is ignored by the device while in chain ON or chain DONE state.

Change Chain State (Success)

RST PD SELECT CHAIN < Chain Control Byte> Chain Control Byte> AA Loop

Change Chain State (Transmission Error)

RST PD SELECT CHAIN <Any Byte> | <Byte ≠ Inverted Previous Byte> | 00 Loop

Change Chain State (Invalid Control Byte)

RST PD SELECT CHAIN <Invalid Control Byte> <Inverted Previous Byte> xx Loop

Sequence Discovery Example

RST PD

CDRR

RST PD SKIPR CHAIN <5Ah> <A5h> Wait for chain to charge <AAh>

Put all devices into chain ON state.

RST PD CDRR <Registration Number> CHAIN <96h> <69h> <AAh>

Identify the first device and put it into chain DONE state.

RST PD CDRR <Registration Number> CHAIN <96h> <69h> <AAh>

Identify the next device and put it into chain DONE state. Repeat this sequence until no device responds.

RST PD SKIPR Chain <3Ch> <C3h> <AAh>

<8 Bytes FFh>

Put all devices into chain OFF state.

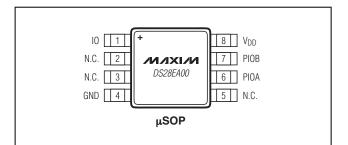
For the sequence discovery to function properly, the logic state at PIOB $(\overline{\text{EN}})$ must not change during the transmission of the Conditional Read ROM command code, and, if the device responds, must stay at logic 0 until the entire 64-bit registration number is transmitted.

No response: all devices have

been discovered

引脚配置

封装信息



如需最近的封装外形信息和焊盘布局,请查询 <u>china.maxim-ic.com/packages</u>。

封装类型	封装编码	文档编号
8 µSOP	U8+1	<u>21-0036</u>

修订历史

修订次数	修订日期	说明	修改页
0	1/07	最初版本。	_
1	6/07	将 Absolute Maximum Ratings部分中的存储温度范围由-40℃至+85℃更改为-55℃至+125℃。	2
2	4/09	创建新模板数据资料。	所有页

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310 电话: 010-6211 5199 传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责,也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。