

16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

## 概要

MAX195は、高速、高精度、低消費電力の特性と10 $\mu$ Aのシャットダウンモードを兼ね備えた16ビット逐次比較型アナログデジタルコンバータ(ADC)です。内部キャリブレーション回路が直線性とオフセットの誤差を補正するため、外部調節なしでも仕様通りの性能を全温度範囲で発揮します。また、容量性DAC構造による内部85kspsトラック/ホールド機能を備えています。

MAX195に外部リファレンス(最大+5V)を付けて用いる場合、入力範囲はユニポーラ(0V ~  $V_{REF}$ )あるいはバイポーラ(- $V_{REF}$  ~  $V_{REF}$ )のいずれかをピンで選択できます。アナログとデジタルの電源を別にするにより、デジタルノイズカップリングを最小限に抑えられます。

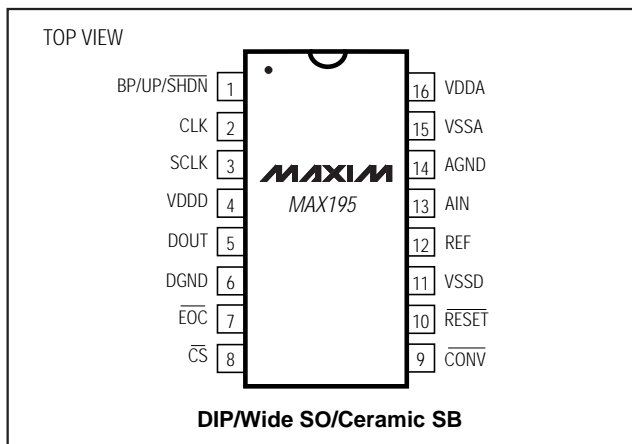
チップセレクト( $\overline{CS}$ )入力により、スリーステートシリアルデータ出力を制御します。出力は、変換中にビットが決定するたびに読むことも、変換後にシリアルクロック(SCLK)を用いて最大5Mbpsの速度で読むこともできます。変換終了( $\overline{EOC}$ )出力は、プロセッサに割込をかけるのに用いることもできます。また、連続フルスピード変換の場合は、直接変換入力(CONV)に接続することもできます。

MAX195は16ピンDIP、ワイドSOP及びセラミックサイドブレーズパッケージで提供されています。

## アプリケーション

ポータブル機器	複数トランスデューサ計測
オーディオ	医療用信号収集
工業用制御機器	振動解析
ロボット工学	デジタル信号処理

## ピン配置



## 特長

- ◆ 16ビット、ノームスコード(欠落コード無し)
- ◆ SINAD : 90dB
- ◆ 変換時間 : 9.4 $\mu$ s
- ◆ シャットダウンモード時の電流 : 10 $\mu$ A max
- ◆ トラック/ホールド内蔵
- ◆ AC及びDC仕様
- ◆ 入力範囲 : ユニポーラ(0V ~  $V_{REF}$ )  
バイポーラ(- $V_{REF}$  ~  $V_{REF}$ )
- ◆ スリーステートシリアルデータ出力
- ◆ パッケージ : 小型16ピンDIP、SOP及びサイドブレード

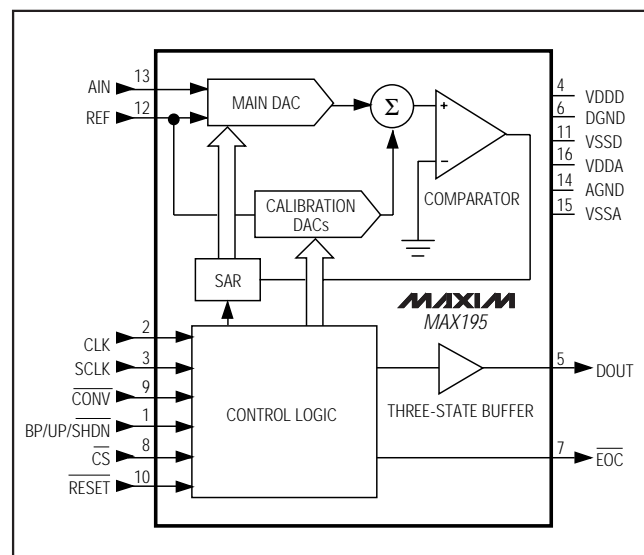
## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX195BCPE	0°C to +70°C	16 Plastic DIP
MAX195BCWE	0°C to +70°C	16 Wide SO
MAX195ACDE	0°C to +70°C	16 Ceramic SB
MAX195BC/D	0°C to +70°C	Dice*
MAX195BEPE	-40°C to +85°C	16 Plastic DIP
MAX195BEWE	-40°C to +85°C	16 Wide SO
MAX195AEDE	-40°C to +85°C	16 Ceramic SB
MAX195AMDE	-55°C to +125°C	16 Ceramic SB**
MAX195BMDE	-55°C to +125°C	16 Ceramic SB**

\* Dice are specified at  $T_A = +25^\circ\text{C}$ , DC parameters only.

\*\* Contact factory for availability and processing to MIL-STD-883.

## ファンクションダイアグラム



# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

## ABSOLUTE MAXIMUM RATINGS

VDDD to DGND	+7V
VDDA to AGND	+7V
VSSD to DGND	+0.3V to -6V
VSSA to AGND	+0.3V to -6V
VDDD to VDDA, VSSD to VSSA	$\pm 0.3V$
AIN, REF	(VSSA - 0.3V) to (VDDA + 0.3V)
AGND to DGND	$\pm 0.3V$
Digital Inputs to DGND	-0.3V, (VDDA + 0.3V)
Digital Outputs to DGND	-0.3V, (VDDA + 0.3V)

Continuous Power Dissipation ( $T_A = +70^\circ\text{C}$ )	
Plastic DIP (derate 10.53mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	842mW
Wide SO (derate 9.52mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	762mW
Ceramic SB (derate 10.53mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	842mW
Operating Temperature Ranges	
MAX195_C_E	$0^\circ\text{C}$ to $+70^\circ\text{C}$
MAX195_E_E	$-40^\circ\text{C}$ to $+85^\circ\text{C}$
MAX195_MDE	$-55^\circ\text{C}$ to $+125^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+160^\circ\text{C}$
Lead Temperature (soldering, 10sec)	$+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(VDDD = VDDA = +5V, VSSD = VSSA = -5V,  $f_{\text{CLK}} = 1.7\text{MHz}$ ,  $V_{\text{REF}} = +5V$ ,  $T_A = T_{\text{MIN}}$  to  $T_{\text{MAX}}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ACCURACY</b> (Note 1)						
Resolution	RES		16			Bits
Differential Nonlinearity	DNL	MAX195A			$\pm 1$	LSB
		MAX195B			$\pm 2$	
Integral Nonlinearity	INL	MAX195A			$\pm 0.003$	%FSR
		MAX195B			$\pm 0.004$	
Unipolar/Bipolar Offset Error		MAX195A, $V_{\text{REF}} = 4.75V$			$\pm 3$	LSB
		MAX195B, $V_{\text{REF}} = 4.75V$			$\pm 4$	
Unipolar/Bipolar Offset Tempco				0.4		ppm/ $^\circ\text{C}$
Unipolar Full-Scale Error		$V_{\text{REF}} = 4.75V$			$\pm 0.0075$	%FSR
Bipolar Full-Scale Error		$V_{\text{REF}} = 4.75V$			$\pm 0.018$	%FSR
Full-Scale Tempco				0.1		ppm/ $^\circ\text{C}$
Power-Supply Rejection Ratio (VDDA and VSSA only)		VDDA = 4.75V to 5.25V, $V_{\text{REF}} = 4.75V$	65			dB
		VSSA = -5.25V to -4.75V, $V_{\text{REF}} = 4.75V$	65			
<b>ANALOG INPUT</b>						
Input Range		Unipolar	0		$V_{\text{REF}}$	V
		Bipolar	$-V_{\text{REF}}$		$V_{\text{REF}}$	
Input Capacitance		Unipolar		250		pF
		Bipolar		125		
<b>DYNAMIC PERFORMANCE</b> ( $f_s = 85\text{kHz}$ , bipolar range AIN = -5V to +5V, 1kHz) (Note 1)						
Signal-to-Noise plus Distortion Ratio (Note 2)	SINAD	$T_A = +25^\circ\text{C}$	87	90		dB
Total Harmonic Distortion (up to the 5th harmonic) (Note 2)	THD	$T_A = +25^\circ\text{C}$		-97	-90	dB
Peak Spurious Noise (Note 2)		$T_A = +25^\circ\text{C}$			-90	dB
Conversion Time	$t_{\text{CONV}}$	16 ( $t_{\text{CLK}}$ )	9.4			$\mu\text{s}$
Clock Frequency (Notes 3, 4)	$f_{\text{CLK}}$			1.7		MHz
Serial Clock Frequency	$f_{\text{SCLK}}$				5	MHz

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

## ELECTRICAL CHARACTERISTICS (continued)

(VDDD = VDDA = +5V, VSSD = VSSA = -5V, fCLK = 1.7MHz, VREF = +5V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL INPUTS</b> (CLK, $\overline{\text{CS}}$ , $\overline{\text{CONV}}$ , $\overline{\text{RESET}}$ , SCLK, BP/UP/ $\overline{\text{SHDN}}$ )						
CLK, $\overline{\text{CS}}$ , $\overline{\text{CONV}}$ , $\overline{\text{RESET}}$ , SCLK Input High Voltage	V <sub>IH</sub>	VDDD = 5.25V	2.4			V
CLK, $\overline{\text{CS}}$ , $\overline{\text{CONV}}$ , $\overline{\text{RESET}}$ , SCLK Input Low Voltage	V <sub>IL</sub>	VDDD = 4.75V			0.8	V
CLK, $\overline{\text{CS}}$ , $\overline{\text{CONV}}$ , $\overline{\text{RESET}}$ , SCLK Input Capacitance (Note 3)					10	pF
CLK, $\overline{\text{CS}}$ , $\overline{\text{CONV}}$ , $\overline{\text{RESET}}$ , SCLK Input Current		Digital inputs = 0 or 5V			$\pm 10$	$\mu$ A
BP/UP/ $\overline{\text{SHDN}}$ Input High Voltage	V <sub>IH</sub>		VDDD - 0.5			V
BP/UP/ $\overline{\text{SHDN}}$ Input Low Voltage	V <sub>IL</sub>				0.5	V
BP/UP/ $\overline{\text{SHDN}}$ Input Current, High	I <sub>IH</sub>	BP/UP/ $\overline{\text{SHDN}}$ = VDDD			4.0	$\mu$ A
BP/UP/ $\overline{\text{SHDN}}$ Input Current, Low	I <sub>IL</sub>	BP/UP/ $\overline{\text{SHDN}}$ = 0V	-4.0			$\mu$ A
BP/UP/ $\overline{\text{SHDN}}$ Mid Input Voltage	V <sub>IM</sub>		1.5	VDDD - 1.5		V
BP/UP/ $\overline{\text{SHDN}}$ Voltage, Floating	V <sub>FLT</sub>	BP/UP/ $\overline{\text{SHDN}}$ = open		2.75		V
BP/UP/ $\overline{\text{SHDN}}$ Max Allowed Leakage, Mid Input		BP/UP/ $\overline{\text{SHDN}}$ = open	-100		+100	nA
<b>DIGITAL OUTPUTS</b> (DOUT, EOC)						
Output Low Voltage	V <sub>OL</sub>	VDDD = 4.75V, I <sub>SINK</sub> = 1.6mA			0.4	V
Output High Voltage	V <sub>OH</sub>	VDDD = 4.75V, I <sub>SOURCE</sub> = 1mA	VDDD - 0.5			V
DOUT Leakage Current	I <sub>LKG</sub>	DOUT = 0 or 5V			$\pm 10$	$\mu$ A
Output Capacitance (Note 2)					10	pF
<b>POWER REQUIREMENTS</b>						
VDDD			4.75		5.25	V
VSSD			-5.25		-4.75	V
VDDA		By supply-rejection test	4.75		5.25	V
VSSA		By supply-rejection test	-5.25		-4.75	V
VDDD Supply Current	I <sub>DDD</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V		2.5	4	mA
VSSD Supply Current	I <sub>SSD</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V		0.9	2	mA
VDDA Supply Current	I <sub>DDA</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V		3.8	5	mA
VSSA Supply Current	I <sub>SSA</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V		3.8	5	mA

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

## ELECTRICAL CHARACTERISTICS (continued)

(VDDD = VDDA = +5V, VSSD = VSSA = -5V, f<sub>CLK</sub> = 1.7MHz, V<sub>REF</sub> = 5V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS (cont.)</b>						
Power Dissipation		VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V			80	mW
VDDD Shutdown Supply Current (Note 5)	I <sub>DDD</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V, BP/UP/ $\overline{\text{SHDN}}$ = 0V		1.6	5	$\mu$ A
VSSD Shutdown Supply Current	I <sub>SSD</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V, BP/UP/ $\overline{\text{SHDN}}$ = 0V		0.1	5	$\mu$ A
VDDA Shutdown Supply Current	I <sub>DDA</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V, BP/UP/ $\overline{\text{SHDN}}$ = 0V		0.1	5	$\mu$ A
VSSA Shutdown Supply Current	I <sub>SSA</sub>	VDDD = VDDA = 5.25V, VSSD = VSSA = -5.25V, BP/UP/ $\overline{\text{SHDN}}$ = 0V		0.1	5	$\mu$ A

**Note 1:** Accuracy and dynamic performance tests performed after calibration.

**Note 2:** Guaranteed by design, not tested.

**Note 3:** Tested with 50% duty cycle. Duty cycles from 25% to 75% at 1.7MHz are acceptable.

**Note 4:** See *External Clock* section.

**Note 5:** Measured in shutdown mode with CLK and SCLK low.

## TIMING CHARACTERISTICS

(VDDD = VDDA = +5V, VSSD = VSSA = -5V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	T <sub>A</sub> = +25°C		T <sub>A</sub> = 0°C to +70°C		T <sub>A</sub> = -40°C to +85°C		T <sub>A</sub> = -55°C to +125°C		UNITS
			TYP		MIN	MAX	MIN	MAX	MIN	MAX	
$\overline{\text{CONV}}$ Pulse Width	t <sub>CW</sub>				20		30		35		ns
$\overline{\text{CONV}}$ to CLK Falling Synchronization (Note 2)	t <sub>CC1</sub>					10		10		10	ns
$\overline{\text{CONV}}$ to CLK Rising Synchronization (Note 2)	t <sub>CC2</sub>					40		40		40	ns
Data Access Time	t <sub>DV</sub>	C <sub>L</sub> = 50pF				80		80		90	ns
Bus Relinquish Time	t <sub>DH</sub>	C <sub>L</sub> = 10pF				40		40		40	ns
CLK to $\overline{\text{EOC}}$ High	t <sub>CEH</sub>	C <sub>L</sub> = 50pF				300		300		350	ns
CLK to $\overline{\text{EOC}}$ Low	t <sub>CEL</sub>	C <sub>L</sub> = 50pF				300		300		350	ns
CLK to DOUT Valid	t <sub>CD</sub>	C <sub>L</sub> = 50pF			100	350	100	375	100	400	ns
SCLK to DOUT Valid	t <sub>SD</sub>	C <sub>L</sub> = 50pF			20	140	20	160	20	160	ns
$\overline{\text{CS}}$ to SCLK Setup Time	t <sub>CSS</sub>				75		75		75		ns
$\overline{\text{CS}}$ to SCLK Hold Time	t <sub>CSH</sub>				-10		-10		-10		ns
Acquisition Time	t <sub>AQ</sub>				2.4		2.4		2.4		$\mu$ s
Calibration Time	t <sub>CAL</sub>	14,000 x t <sub>CLK</sub>			8.2		8.2		8.2		ms
$\overline{\text{RESET}}$ to CLK Setup Time	t <sub>RCS</sub>				-40		-40		-40		ns
$\overline{\text{RESET}}$ to CLK Hold Time	t <sub>RCH</sub>				120		120		120		ns
Start-Up Time (Note 6)	t <sub>SU</sub>	Exiting shutdown	50								$\mu$ s

**Note 6:** Settling time required after deasserting shutdown to achieve less than 0.1LSB additional error.

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

## 端子説明

端子	名称	機能
1	BP/UP/ $\overline{\text{SHDN}}$	バイポーラ/ユニポーラ/シャットダウン入力。スリーステート入力でバイポーラ、ユニポーラあるいはシャットダウンのいずれかの入力範囲を選択します。0V=シャットダウン、+5V=ユニポーラ、フローティング=バイポーラ。
2	CLK	変換クロック入力
3	SCLK	シリアルクロック入力は変換と変換の間にデータをシフトアウトするために使用します。CLKに対して非同期でも可能です。
4	VDDD	+5Vデジタル電源
5	DOUT	シリアルデータ出力(MSBが先)
6	DGND	デジタルグランド
7	$\overline{\text{EOC}}$	変換終了/キャリブレーション出力(通常ロー)。変換あるいはキャリブレーションの開始から1クロックサイクル後に立上がり、終了から1クロックサイクル後に立下がります。出力フレーミング信号としても使用可能です。
8	CS	チップセレクト入力(アクティブロー)。シリアルインタフェースとスリーステートデータ出力(DOUT)をイネーブルします。
9	$\overline{\text{CONV}}$	変換開始入力(アクティブロー)。入力信号がすでに取込まれている場合は、 $\overline{\text{CONV}}$ がローになった後の立下がりエッジで変換開始、それ以外の場合は取込み後のクロックの立下がりエッジで変換を開始します。
10	$\overline{\text{RESET}}$	リセット入力。 $\overline{\text{RESET}}$ をローにすることによりADCが非アクティブ状態になります。立上がりのエッジで制御ロジックがリセットされ、キャリブレーションが開始します。
11	VSSD	-5Vデジタル電源
12	REF	リファレンス入力(0V ~ 5V)
13	AIN	アナログ入力(ユニポーラの0V ~ $V_{\text{REF}}$ 又はバイポーラの $\pm V_{\text{REF}}$ )
14	AGND	アナロググランド
15	VSSA	-5Vアナログ電源
16	VDDA	+5Vアナログ電源

## 詳細

MAX195は、逐次比較型レジスタ(SAR)を用いてアナログ入力を16ビットのデジタルコードに変換し、シリアルデータストリームとして出力します。データビットは変換中にCLKクロックレートで読むこともでき、変換と変換の間にCLKと非同期にSCLKレート(最大5Mbps)で読むこともできます。

MAX195は内部トラック/ホールド入力付の容量性デジタルアナログコンバータ(DAC)を備えています。インタフェースと制御ロジックは、殆どのマイクロプロセッサ( $\mu$ P)との接続が容易に行えるように設計されているため、外付部品を省くことができます。MAX195はSARとDACの他にもシリアルインタフェース、SARで用いるサンプリングコンパレータ、10個のキャリブレーションDAC、及びキャリブレーションと変換用の制御ロジックを備えています。

DACは、容量に二進法の重みをかけた16個のコンデンサのアレイ及び「ダミーLSB」コンデンサ1個からなっています(図1)。ユニポーラモードの入力取込み中は、アレイの共通端子はAGNDに接続され、自由端子は全て入力信号(AIN)に接続されます。取込みが終了すると、共通端子はAGNDから切離され、自由端子はAINから切離され、

入力電圧に比例する電荷がコンデンサアレイにトラップされます。

最大のコンデンサであるMSBの自由端子はリファレンス(REF)に接続され、それがコンパレータに接続された共通端子をプラスに上げます。同時に、その他全てのコンデンサの自由端子はAGNDに接続され、それがコンパレータ入力をマイナスに下げます。アナログ入力が $V_{\text{REF}}$ に近い場合、MSBの自由端子をREFに接続してもコンパレータ入力は僅かにプラスになるだけです。しかし、残りのコンデンサの自由端子をグランドに接続することでコンパレータの入力はグランドより大幅に低くなり、コンパレータの入力はマイナスに、そしてコンパレータの出力はローになり、MSBはハイに設定されます。アナログ入力がグランドに近い場合、コンパレータ出力はハイ、MSBはローになります。

次に、2番目に大きなコンデンサがAGNDから切離され、REFに接続され、コンパレータが次のビットを決定します。全てのビットが定義されるまでこのプロセスが続きます。入力範囲がバイポーラの場合、MSBコンデンサは入力取込み中AINでなくREFに接続されるため、入力範囲が $V_{\text{REF}} \sim -V_{\text{REF}}$ になります。

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

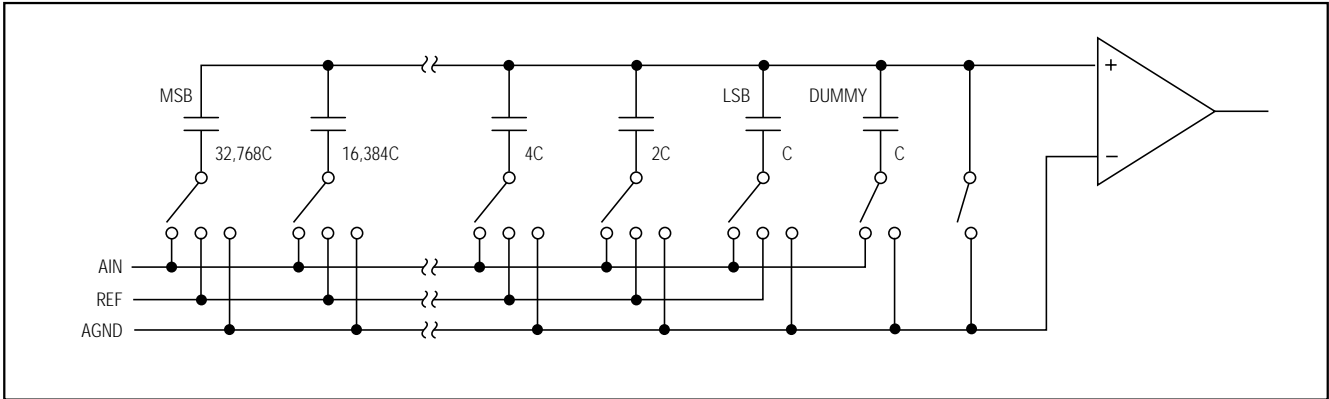


図1. 容量性DACのファンクションダイアグラム

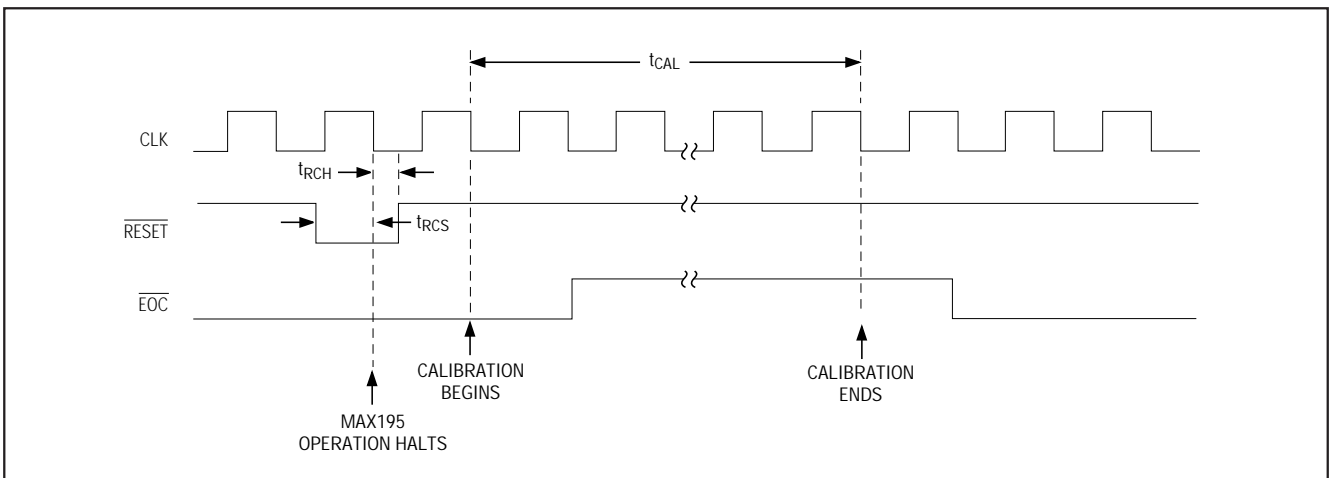


図2. キャリブレーション開始

## キャリブレーション

理想的なDACでは、内部コンデンサが各々1つ大きくなるに連れ、各データビットのコンデンサの容量は2倍ずつ正確に増えていきます。しかし、これでは容量の範囲が広くなりすぎるため、経済的に実現できるサイズの製品には収まりません。コンデンサアレイは実際には2つのアレイからなっています。その2つを容量的にカップリングすることでLSBアレイの実効値を減らしています。MSBアレイのコンデンサは製造時にトリミングで誤差を減らしています。LSBコンデンサに小さな変動があった場合でも、16ビットの結果に与える誤差の影響は無視できるほどです。

残念ながら、トリミングだけでは16ビット性能を達成することはできません。また、温度、電源電圧その他のパラメータの変化に起因する性能変化の補正も行うことはできません。このため、MAX195ではMSBアレイ中の各コンデンサにキャリブレーションDACが装備されています。これらのDACはメインDAC出力に容量的に

カップリングされており、デジタル入力の値に従ってメインDACの出力をオフセットします。キャリブレーションでは各MSBコンデンサの誤差を補正するための正しいデジタルコードが決定され、記憶されます。その後は、メインDACの中の対応するビットがハイになると、この記憶されたコードが適切なキャリブレーションDACに入力され、該当するコンデンサの誤差を補正します。

MAX195はパワーアップ時に自動キャリブレーションを行います。ノイズの影響を軽減するために、各キャリブレーション試験は何回も行なわれ、その結果が平均されます。キャリブレーションには約14,000クロックサイクルを要します。これは最高クロック(CLK)速度(1.7MHz)で8.2msです。パワーアップキャリブレーションの他にも、RESETをローにしてMAX195の動作を停止し、再びハイにしてキャリブレーションを開始することができます(図2)。

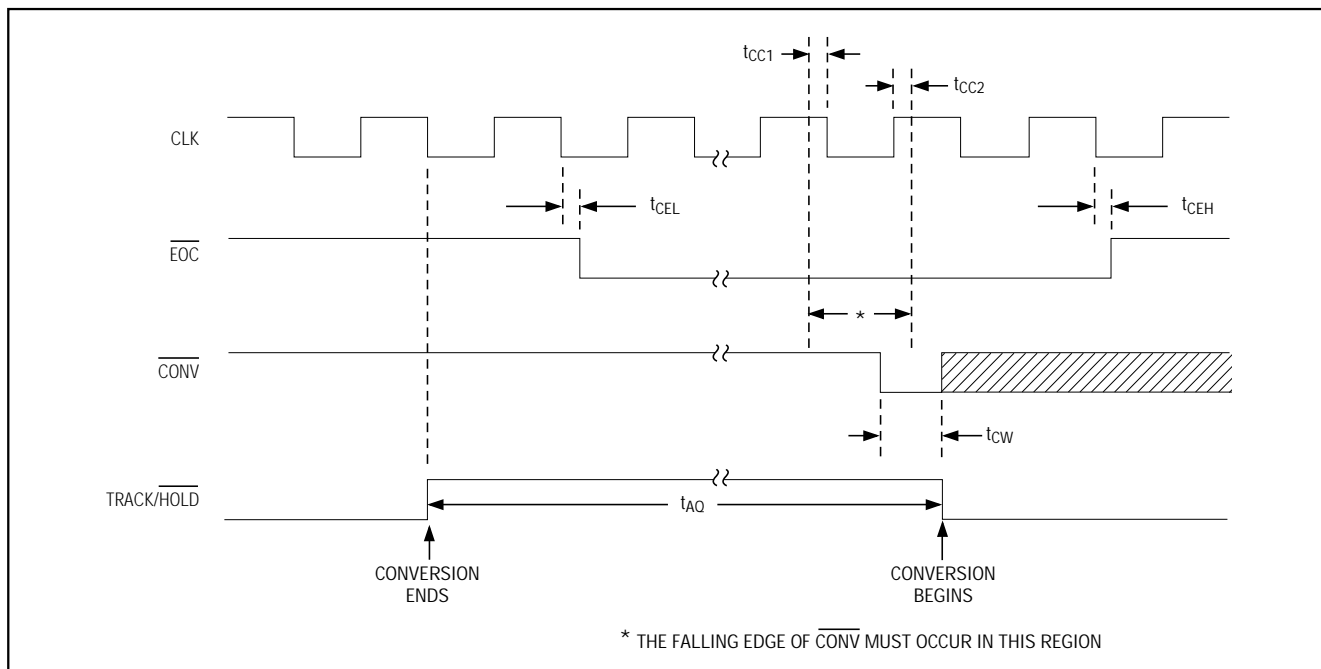


図3. 変換開始(前変換の終了から少なくとも3CLKサイクル後)

MAX195のパワーオン遅延時間(最低500ns)以内に電源がセトリグしない場合、最終値と異なった電源電圧でパワーアップキャリブレーションが開始され、コンバータが正しくキャリブレーションされないことがあります。その場合は、使用前にコンバータを再びキャリブレーションして下さい( $\overline{\text{RESET}}$ をパルス的にローにする)。DC精度を保つために、電源電圧、温度、リファレンス電圧あるいはクロック特性(「外部クロック」の項を参照)に大きな変化がある度にMAX195をキャリブレーションして下さい。これらのパラメータはDCオフセットに影響を与えるために、このようなことが必要となります。直線性のみが問題になる場合はこれらのパラメータが大幅に変化しても大丈夫です。

キャリブレーションデータはデジタルで記憶されるため、精度を保つために頻繁に変換を実行したり、MAX195が長時間シャットダウンされた後に再びキャリブレーションを行ったりする必要はありません。しかし、前回のキャリブレーション後に電源電圧や周囲温度が大きく変化したと考えられる場合は、再びキャリブレーションを行うことが推奨されます。

## デジタルインタフェース

デジタルインタフェースピンはBP/UP/ $\overline{\text{SHDN}}$ 、CLK、SCLK、 $\overline{\text{EOC}}$ 、 $\overline{\text{CS}}$ 、 $\overline{\text{CONV}}$ 及び $\overline{\text{RESET}}$ からなっています。BP/UP/ $\overline{\text{SHDN}}$ はスリーレベル入力です。MAX195のアナログ入力をバイポーラモード( $A_{IN} = -V_{REF} \sim V_{REF}$ )にする時は、この入力をフローティングにします。ユニポーラ

入力( $A_{IN} = 0V \sim V_{REF}$ )にする時はハイに接続します。BP/UP/ $\overline{\text{SHDN}}$ をローにするとMAX195は10 $\mu$ Aシャットダウンモードになります。

$\overline{\text{RESET}}$ をロジックローにするとMAX195の動作が停止します。そして $\overline{\text{RESET}}$ の立上がりエッジでキャリブレーションが開始されます(上述の「キャリブレーション」の項を参照)。

$\overline{\text{CONV}}$ をローにすると変換が始まります。変換が始まると、その後から来る変換開始パルスは無視されます。変換信号はCLKと同期していなければなりません。また、 $\overline{\text{CONV}}$ の立下がりエッジは図3と4に示す期間内になければなりません。CLKがプロセッサで直接制御されていない場合、同期を確実にする方法として2つの方法があります。1つめは $\overline{\text{CONV}}$ を $\overline{\text{EOC}}$ (連続変換)で駆動する方法です。2つめは、変換開始信号を変換クロックでゲートし、CLKがローの時のみ $\overline{\text{CONV}}$ がローになれるようにする方法です(図5)。ゲートの最大伝播遅延時間が40nsを超えないようにします。

MAX195は自動的にCLKの4周期分をトラック/ホールド取込み用に確保します。 $\overline{\text{CONV}}$ の発生が前の変換から少なくとも3クロック(CLK)サイクル経過していた場合、CLKの次の立下がりエッジで変換が始まり、その次のCLKの立下がりエッジで $\overline{\text{EOC}}$ がハイになります(図3)。変換信号の発生時が前の変換から3クロックサイクル経過していなかった場合、変換は前の変換の終了から数えて4つめの立下がりクロックエッジで始まり、その次のCLKの立下がりエッジで $\overline{\text{EOC}}$ がハイになります(図4)。

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

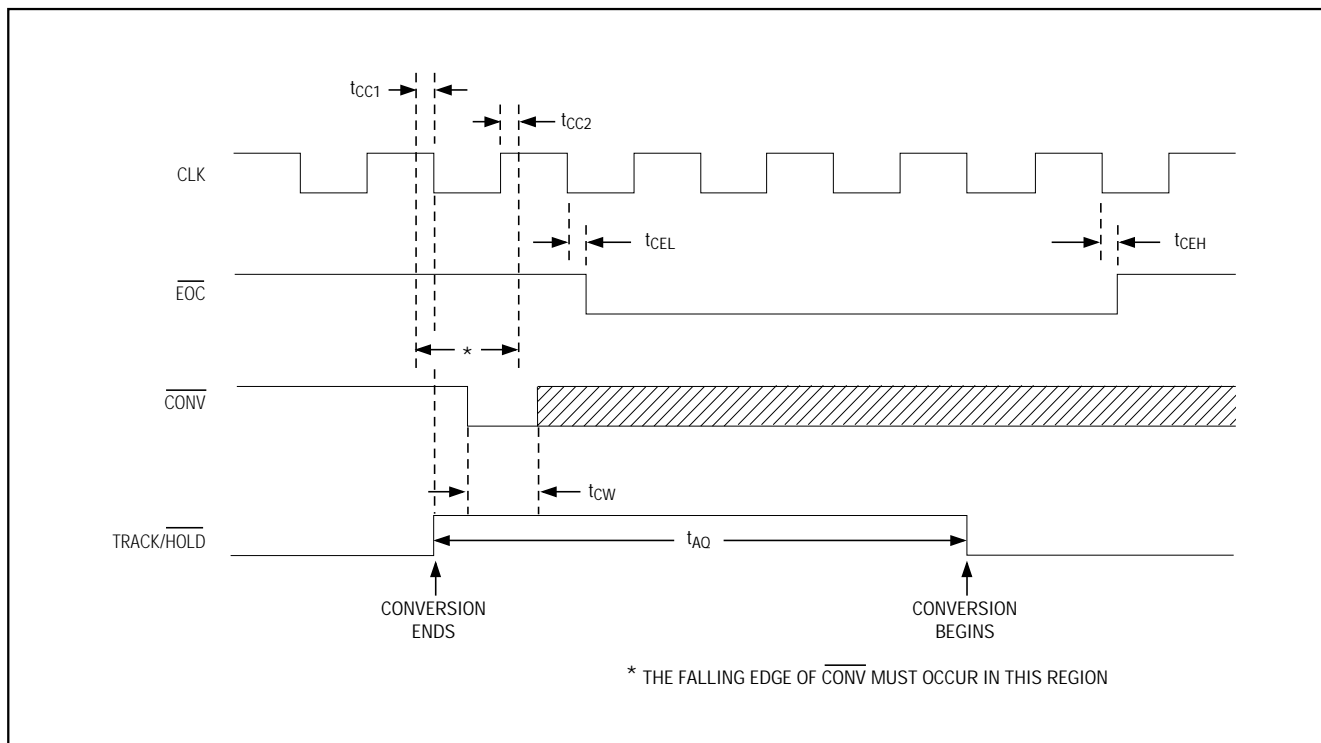


図4. 変換開始(前の変換の終了から3CLKサイクル未満)

## 外部クロック

1.7MHz(最大クロック周波数)の場合、変換クロック(CLK)のデューティサイクルは25%~75%であるべきです。これよりも周波数が低いクロックの場合は、ハイとローの時間が150nsを超えるようにします。正確な変換が可能な最小クロックレートは、+70 までの温度では125Hz、+125 では1kHzです。この制限はサンプリングコンデンサアレイのリーク電流に起因します。さらに、+70 までの温度ではCLKが50ms以上、+125 の温度では500 $\mu$ s以上ハイに留まらないようにして下さい。CLKがこれ以上ハイに留まった場合は、RESETをパルス的にローにして再キャリブレーションを行う必要があります。これは、内部ダイナミックメモリに保存されている状態情報が失われている可能性があるためです。MAX195のクロックは、ローに維持する限り無制限に停止することができます。

周波数、デューティサイクル、及びその他クロック信号の形になんらかの変化があった場合、CLKとアナログ入力(AINとREF)間のカップリングによって生じるオフセットも変化します。再キャリブレーションを行うことでこのオフセットは補正され、DC精度も回復します。

## 出力データ

変換結果はMSBから先にクロックアウトされますが、CSがローに維持されている時のみDOUTに出力されず。それ以外の時はDOUTはハイインピーダンス状態になります。DOUTのデータを読取る方法は2つあります。データビットが決定される度に(CLKクロックレートで)読取る場合は、変換中はCSをローに保ちます。変換と変換の間に結果を読取る場合は、CSをローに保ちながらSCLKを最大5MHzで動かします。

シリアルデータビットが決定される度に読取る場合、EOCがデータビットのフレームを決めます(図6)。CONVがローになり、入力信号が取込まれた後の最初のCLKの立下がりエッジで変換は始まります。それ以降のCLKの立下がりエッジでデータビットがDOUTからシフトアウトされます。CLKからDOUTへのタイミングの最大仕様に対応するためには、CLKの立上がりエッジあるいはクロック速度が1MHz以上の場合に、次のCLKの立下がりエッジでデータをクロックインします。詳細については「動作モード」及び「SPI™/QSPI™インタフェース」の項を参照して下さい。新しい変換を、前の変換に続く入力取込み周期の直後に開始できるため、変換中にシリアルデータを読んだ場合に変換スループットが最高になります。



# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

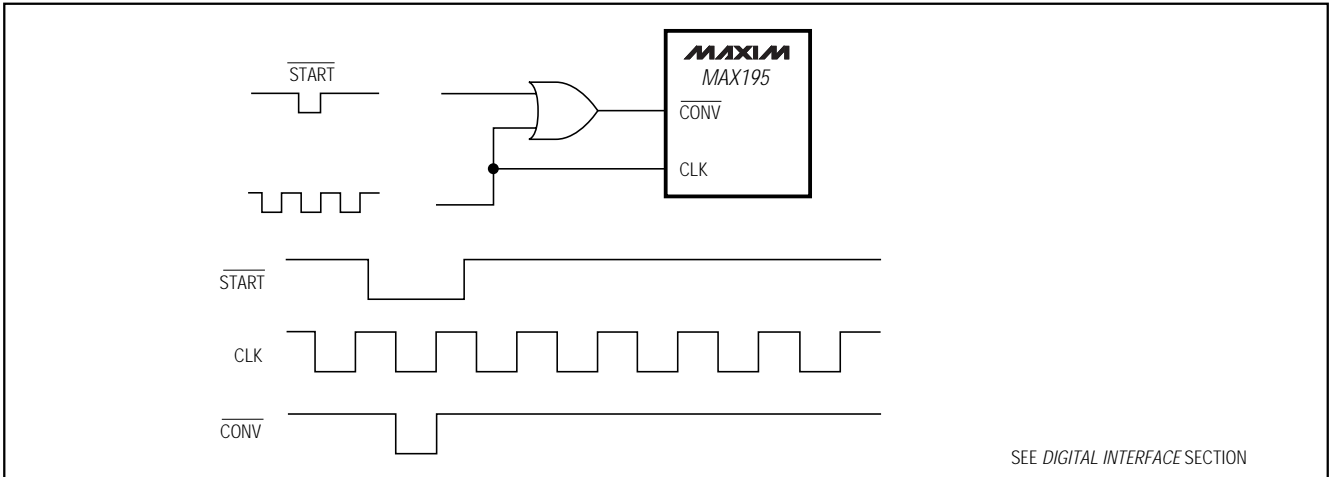


図5.  $\overline{\text{CONV}}$ をゲートしてCLKと同期

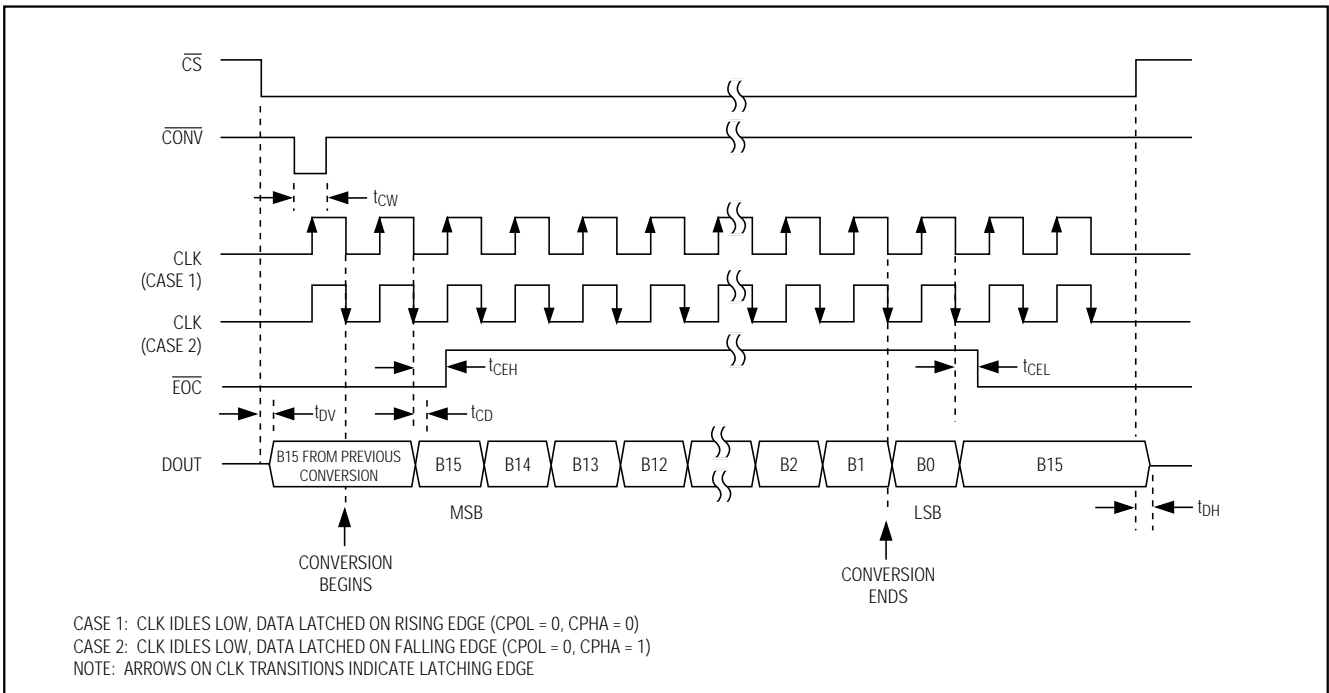


図6. 出力データフォーマット、変換中にデータを読む(モード1)

変換と変換の間にデータビットを読む場合は、次のいずれかを行うことができます。

- 1) 変換終了までCLKサイクルを数える。
- 2)  $\overline{\text{EOC}}$ をポーリングして変換終了を確認する。
- 3)  $\overline{\text{EOC}}$ の立下がりエッジで割込をかける。

MSBの変換結果は、 $\overline{\text{CS}}$ がローになった後でしかも最初のSCLKパルスの前というタイミングでDOUTに出力されることに注意して下さい。その後の各SCLKパルスによって変換ビットが次々にシフトアウトされます。15番目のSCLKパルスがLSBをシフトアウトします。それ以上のクロックパルスはゼロをシフトアウトします。

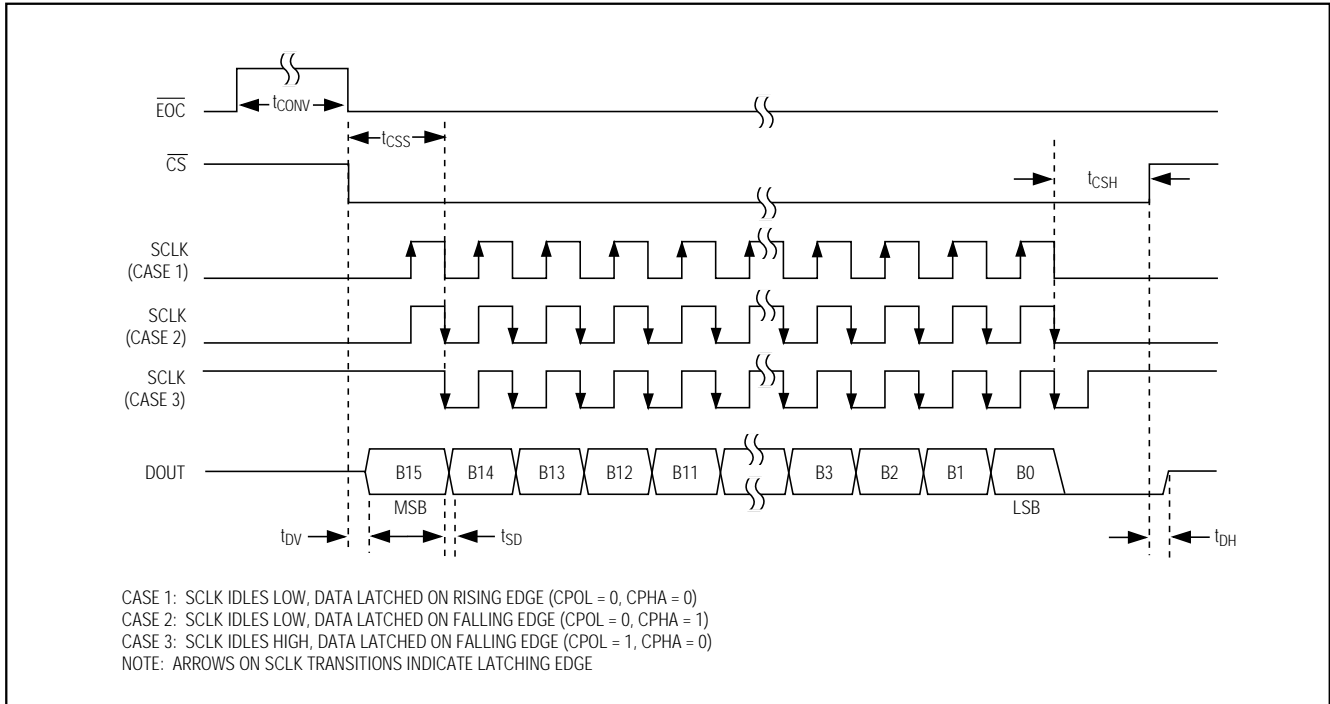
16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

図7. 出力データフォーマット、変換と変換の間にデータを読み取る(モード2)

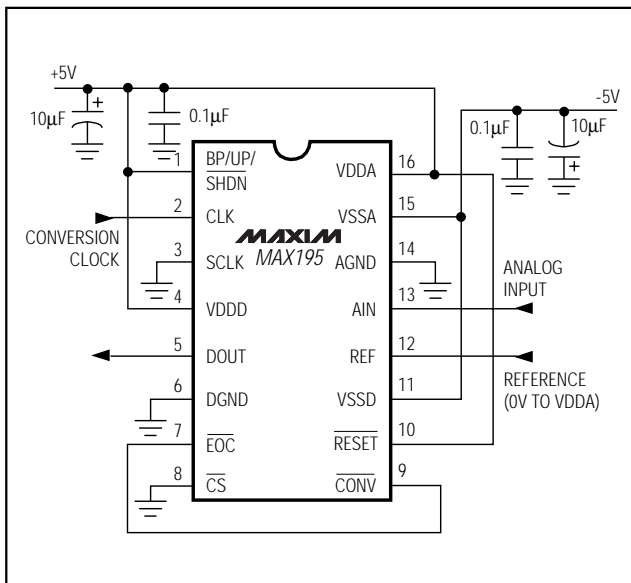


図8. 最も単純な動作モードにおけるMAX195の構成

データはSCLKの立下がりエッジでクロックアウトされず、SCLKからDOUTへのタイミングの最大仕様に対応するために、SCLKの立上がりエッジでデータをクロックインします。クロック速度が2.5MHz以上の時は次のSCLKの立下がりエッジでデータをクロックインします(図7)。最大のSCLKは5MHzです。詳細については「動作モード」及び「SPI/QSPIインタフェース」の項を参照して下さい。変換クロックが最高速度(1.7MHz)に近い場合、各変換の後(取込み時間内)でデータを読み取った場合の方が、変換と変換の間で読み取った場合よりもスループットが低くなります(約70ksps max)。これは、16データビットを5Mbpsでクロックに合わせて出力するためには、最低入力取込み時間(1.7MHzで4サイクル)よりも長い時間がかかるからです。データがクロックインしたら、次の変換を始める前に、AIN上のカップリングノイズが落ち着くのを少し(約1 $\mu$ s)待って下さい。

どちらの方法でデータを読み取る場合でも、 $\overline{\text{CONV}}$ をローにすることで個別に変換を開始することもでき、 $\overline{\text{EOC}}$ を $\overline{\text{CONV}}$ に接続することで連続的に変換することもできます。図8にMAX195の最も単純な動作構成を示します。

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

表1. 低ESRコンデンサのメーカ

COMPANY	CAPACITOR	FACTORY FAX [COUNTRY CODE]	USA TELEPHONE
Sprague	595D series, 592D series	1-603-224-1430	603-224-1961
AVX	TPS series	1-207-283-1941	800-282-4975
Sanyo	OS-CON series, MVGX series	81-7-2070-1174	619-661-6835
Nichicon	PL series	1-708-843-2798	708-843-7500

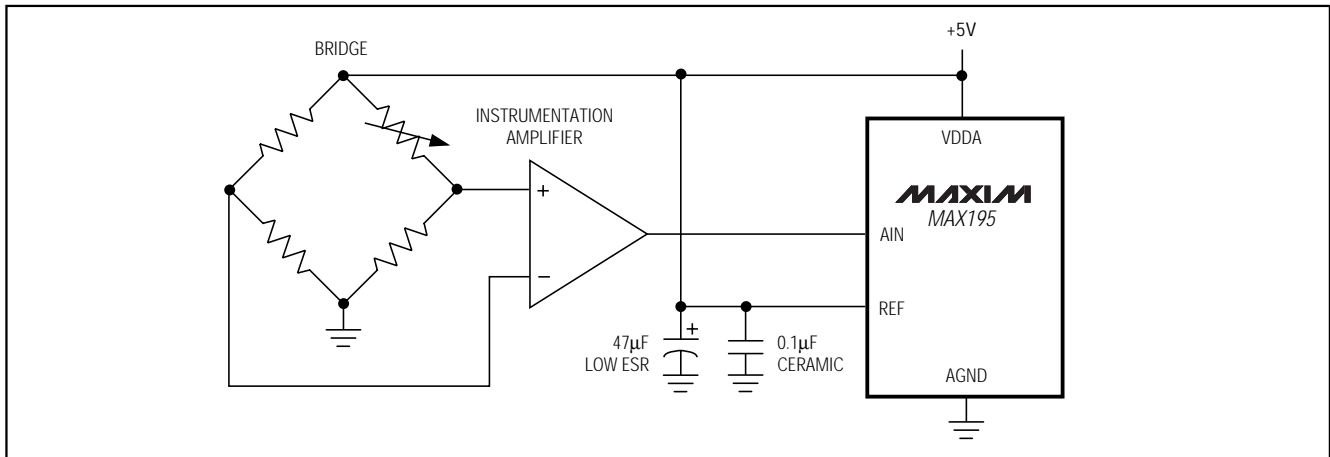


図9. 高精度リファレンスを用いない比率測定

## アプリケーション情報

### リファレンス

MAX195のリファレンス電圧範囲は0V ~ VDDAです。リファレンス電圧を選択する場合、MAX195の等価入力ノイズ(ユニポーラモードで40 $\mu$ V<sub>RMS</sub>、バイポーラモードで80 $\mu$ V<sub>RMS</sub>)を考慮する必要があります。また、V<sub>REF</sub>がVDDAを超えてしまった場合、内部保護ダイオードが電流を通し始め、誤差が生じます。そのために、VDDAに近いリファレンスを用いる場合は注意が必要です(V<sub>REF</sub>とVDDAが実質的に等しい場合を除く)。V<sub>REF</sub>は絶対最大定格(VDDA + 0.3V)を超えてはいけません。

MAX195が定格通りの性能を発揮するためには良質のリファレンスが必要です。最も重要な必要条件は、リファレンスがREF入力に対して低インピーダンスであるということです。これはリファレンスをオペアンプでバッファし、REF入力を大きな低ESRコンデンサ(1 $\mu$ F ~ 47 $\mu$ F)とそれに並列な0.1 $\mu$ Fのセラミックコンデンサでバイパスすることによって達成できます。低ESRコンデンサは表1に示すメーカから入手できます。

リファレンスは、メイン変換DACのコンデンサだけでなく、キャリブレーションDACのコンデンサも駆動しなければなりません。これらの全てのコンデンサが、GNDとREFの間を変換クロック周波数でスイッチングする可能性があります。全容量性負荷は1000pFを超えることがあり、REFはアナログ入力(AIN)と違って変換中連続的にサンプリングされます。

リファレンス回路を選択する際の最初のステップは、必要な性能を決定することです。多くの場合、これはコストとサイズの間での妥協点を見つけることとなります。システムが正確なリファレンスを全く必要としない場合もあります。図9のブリッジ回路のような比率測定をする場合には、REF入力に対して低インピーダンスであり、比較的ノイズの少ない電圧源であれば何でも使用できます。大きな低インピーダンスバイパスコンデンサを用いて、コンデンサアレイのスイッチング中にREFを安定した状態で保つことさえできれば、+5Vのアナログ電源でもかまいません。300 $\mu$ A ~ 400 $\mu$ A(typ)のダイナミックREF入力電流が直線性の誤差を生じさせるため、+5V電源とバイパスコンデンサの間に抵抗を入れないで下さい。



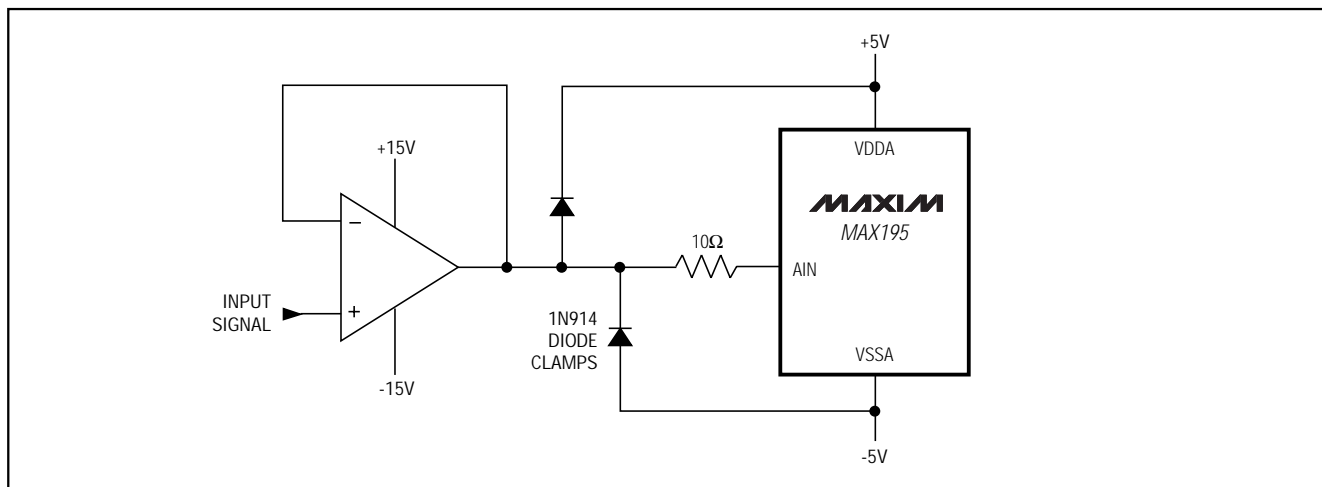


図12. 過電圧及び誤電源シーケンスに対するアナログ入力保護

## REF及びAIN入力保護

REF及びAIN信号はMAX195の電源電圧を超えないようにして下さい。超える可能性がある時は、ダイオードを用いて信号を電源電圧範囲にクランプします。この際、シリコンダイオードと10 $\Omega$ の電流制限抵抗を用いるか(図10及び12)、あるいはショットキダイオードを抵抗なしで使用して下さい。

電流制限抵抗を用いる場合は、抵抗を適切な入力(AIN又はREF)とバイパスコンデンサの間に配置して下さい。これは、入力に対して、ダイナミック入力電流に起因するAC変動を発生させますが、変動は急速に落ち着くため、変換結果には影響を与えません。誤ってバイパスコンデンサを入力のところへ直接取付けてしまった場合、このコンデンサは電流制限抵抗と共にRCローパスフィルタを形成し、ダイナミック入力電流が平均され、直線性誤差が生じます。

## アナログ入力

MAX195は、内部トラック/ホールド機能を提供する容量性DACを備えています。入力インピーダンスはユニポーラモードで30 $\Omega$  (typ)(250pFと直列)、バイポーラモードで50 $\Omega$  (typ)(125pFと直列)です。

### 入力範囲

アナログ入力範囲はユニポーラ(0V $\sim$ V<sub>REF</sub>)又はバイポーラ(-V<sub>REF</sub> $\sim$ V<sub>REF</sub>)が可能です。範囲の選択はBP/UP/SHDNピンで行います(「デジタルインタフェース」の項を参照)。リファレンス範囲は0V $\sim$ V<sub>DDA</sub>です。MAX195の等価入力ノイズ(ユニポーラモードで40 $\mu$ V<sub>RMS</sub>、バイポーラモードで80 $\mu$ V<sub>RMS</sub>)を考慮した上でリファレンス電圧を選択する必要があります。

## 入力信号収集及びセトリング

変換クロックの4周期分が入力信号収集用に割り当てられています。最高の変換レートでは4クロック周期は2.4 $\mu$ sになります。前の変換の終了から3クロックサイクル以上経過している場合、変換は $\overline{\text{CONV}}$ がローになった次のクロックの立下がりエッジで始まります。そうでない場合は、 $\overline{\text{CONV}}$ をローにすると前の変換から4番目のクロックの立下がりエッジで変換が始まります。この方式は、最小入力取込み時間が必ず4クロック周期になることを保証します。

殆どのアプリケーションでは入力バッファアンプが必要です。入力信号が多重化されている場合、入力チャネルは変換終了付近や変換終了後でなく、変換開始付近で切替えるようにします(図13)。こうすることにより、入力バッファアンプが入力信号の大きな階段状変化に応答するための時間が稼げます。入力アンプは、必要な出力電圧変化を取込み時間が始まる前に完了させるだけの十分なスルーレートを備えていなければなりません。

取込み開始時には容量性DACがアンプ出力に接続され、出力に多少の乱れが生じます。サンプリングされた電圧が、取込み時間終了前に必要範囲内に落ち着くようにして下さい。計測したい周波数が低い場合は、AINを大きなコンデンサでバイパスすることで、電圧変化を殆ど起こさずに容量性DACを充電できます(図14)。しかし、AC用の場合はAINは広帯域バッファ(最低10MHz)で駆動しなければなりません。このバッファはDACの容量性負荷(使用されているAINのバイパスコンデンサに並列)に対して安定していなければならず、しかもセトリングが速くなければなりません(図15又は16)。

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

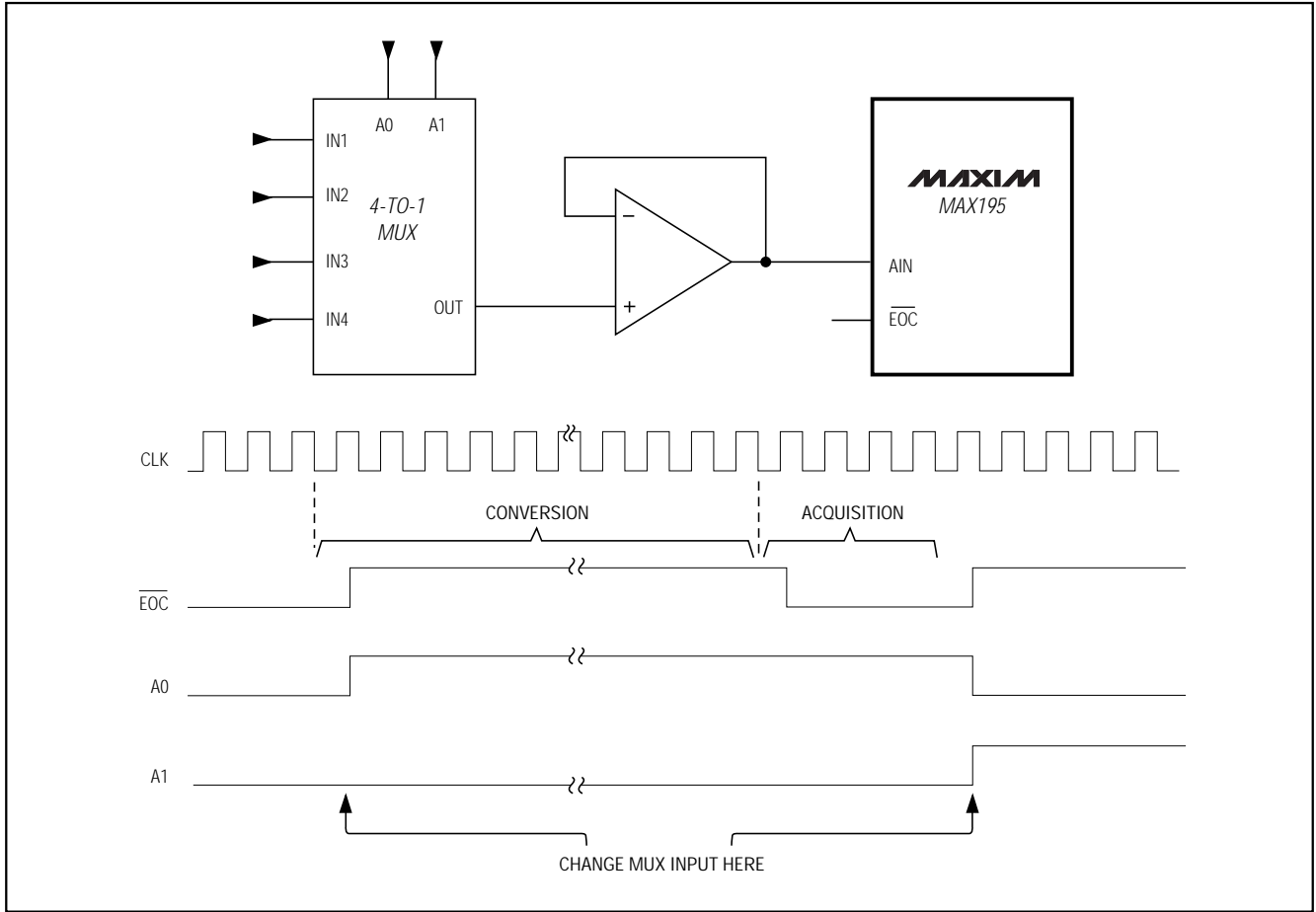


図13. 変換の始めにマルチプレクサ入力を変更し、スルーイングとセトリングの時間を確保

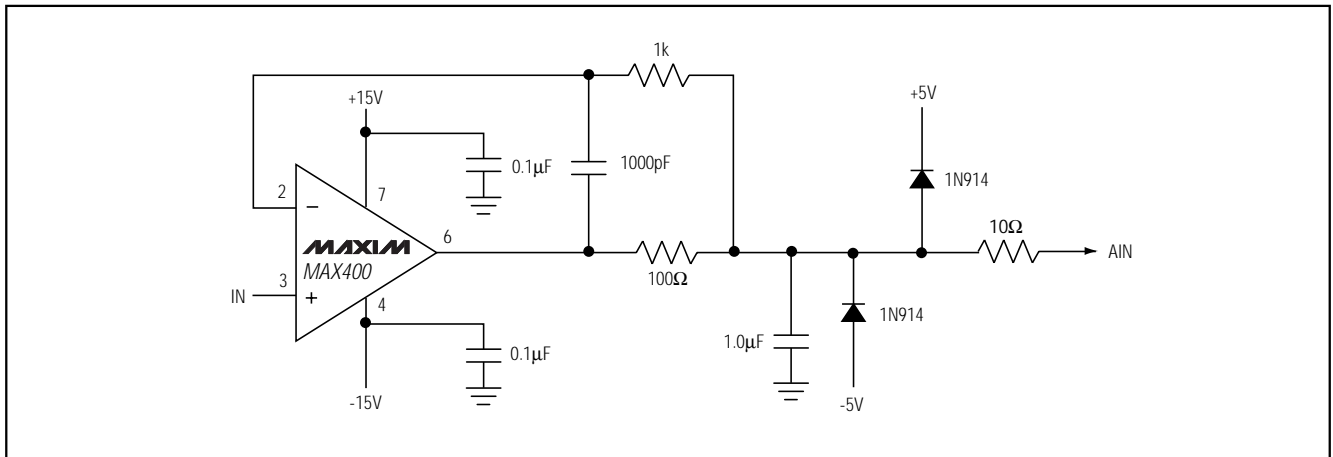


図14. MAX400でAINを駆動(低周波数用)

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

## デジタルノイズ

デジタルノイズはAIN及びREFにカップリングされやすいものです。変換クロック(CLK)及び入力取込み中にアクティブなその他デジタル信号は、変換結果のノイズの原因になります。ノイズ信号がサンプリングインタバルに同期している場合は、実効入力オフセットが生じます。非同期信号は入力にランダムノイズを発生させ、発生したノイズの高周波成分がエイリアシングによって計測したい周波数帯域に入ってくることがあります。入力を(ノイズ信号に含まれる周波数に対して)低インピーダンスにすることで、ノイズを最小限に抑えます。これを実現するにはAINをAGNDにバイパスするか、あるいは数メガヘルツの小信号帯域を持ったアンプで入力をバッファする必要がありますが、できれば両方を実施して下さい。AINの帯域は約16MHzです。

同期ノイズ(変換クロック等)に起因するオフセットはMAX195のキャリブレーションによってキャンセルされます。しかし、同期信号によって生じるオフセットの大きさは信号の形によって異なるため、2種類以上のクロック信号や周波数が使用される場合等、クロックその他のデジタル信号の形や相対的なタイミングが変化した場合、再キャリブレーションを実施するのが適切かもしれません。

## 歪み

該当周波数で、MAX195のTHD(-97dB、すなわち0.0014%)よりも歪みが大幅に小さなアンプを選択することで、ダイナミック性能の劣化を防ぐことができます。選択されたアンプの同相除去比が十分でない場合、THD性能が劣化します。この場合は反転構成(プラス入力を接地)を使用して誤差の原因を排除します。自己加熱による抵抗変化に起因する直線性誤差は、温度係数の低い利得設定抵抗を使用することで低減できます。また、

アンプ利得が有限であるために生じる直線性誤差は、十分なループ利得を持つアンプ回路を、計測したい周波数で使用することによって低減できます(図14、15、16)。

## DC精度

DC精度が重要な場合は、MAX195の最大オフセット( $\pm 3\text{LSB} = \text{入力範囲} \pm 4\text{V}$ で $\pm 366\mu\text{V}$ )よりもオフセットが大幅に小さなバッファを使用するか、あるいはオフセットをトリミングすることができ、しかも必要な温度範囲で安定性を保つことのできるバッファを使用して下さい。

## 推奨回路

図14はDC及び低周波数に適した回路を示します。MAX400はオフセット( $10\mu\text{V}$ )とドリフト( $0.2\mu\text{V}/^\circ\text{C}$ )が非常に低く、電圧ノイズ( $10\text{nV}/\sqrt{\text{Hz}}$ )も低くなっています。しかし、利得帯域幅積(GBW)が低いため、AINを直接駆動することはできません。従って、アナログ入力をバイパスすることで高周波インピーダンスを低くしています。この大型バイパスコンデンサは、100 の抵抗によってアンプ出力から隔てられています。この抵抗はノイズのフィルタリングを強化します。 $\pm 15\text{V}$ 電源はAIN範囲を超えているため、AINに保護ダイオードを取付けて下さい(「REF及びAINの入力保護」の項を参照)。

図15では広帯域アンプ(MAX427)で広帯域ビデオバッファを駆動しています。このビデオバッファはAINと小型バイパスコンデンサ(ノイズ対策)を直接駆動する能力を持っています。ビデオバッファはMAX427のフィードバックループの中に入っているため、良好なDC精度を提供しています。また、このバッファは出力インピーダンスが低く、電流能力が高いため、AC性能も良好です。過電圧防止のために、AINはダイオードで $\pm 5\text{V}$ の電源電圧にクランプされています。MAX427は最大オフセット電圧が $15\mu\text{V}$ 、最大ドリフトが $0.8\mu\text{V}/^\circ\text{C}$ 、ノイズ仕様が $5\text{nV}/\sqrt{\text{Hz}}$ 以下と高性能であるため、AC/DC用に最適です。

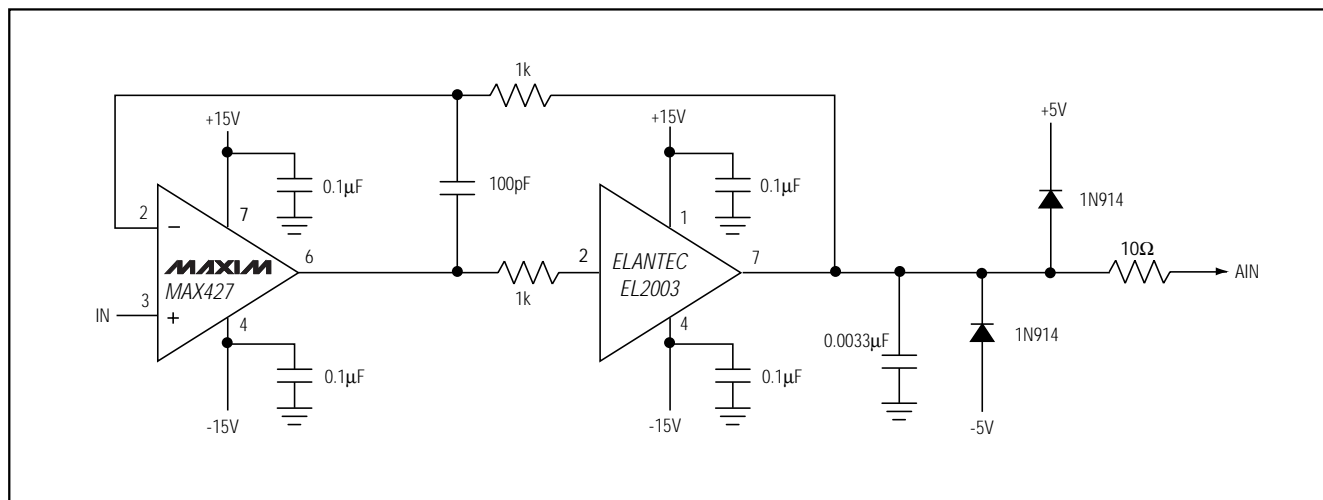


図15. AC/DC用のAINバッファ



# 16ビット、85ksps、10μAシャットダウン付ADC

±15V電源がない場合は、MAX195の±5Vアナログ電源には図16の回路が適しています。MAX410は同相入力範囲が最低±3.5Vです。出力電圧スイングも同様なため、最大3.5Vのリファレンス電圧を使用できます。オフセット電圧(250μV)、ドリフト(1μV/°C)、ユニティゲイン帯域(28MHz)、低電圧ノイズ(2.4nV/√Hz)等、16ビット性能を実現させる性能を兼ね備えています。

## 動作モード及びSPI/QSPIインタフェース

基本的な2つのインタフェースモードは、シリアルデータが変換中に受信される(CLKがクロックになり、SCLKは使用せず)か、あるいは変換と変換の間にパースト的に

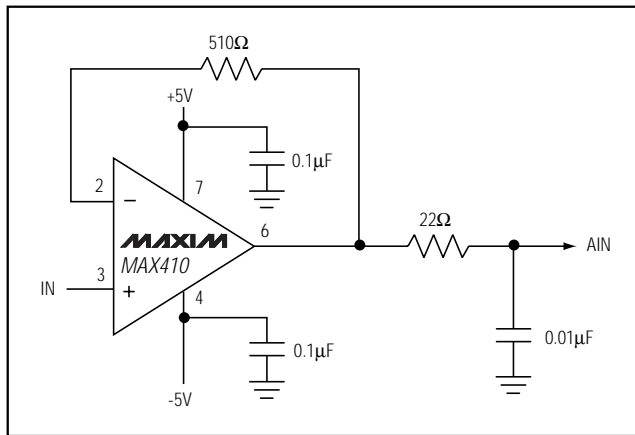


図16. AC/DC用の±5Vバッファ(±3.5Vスイング)

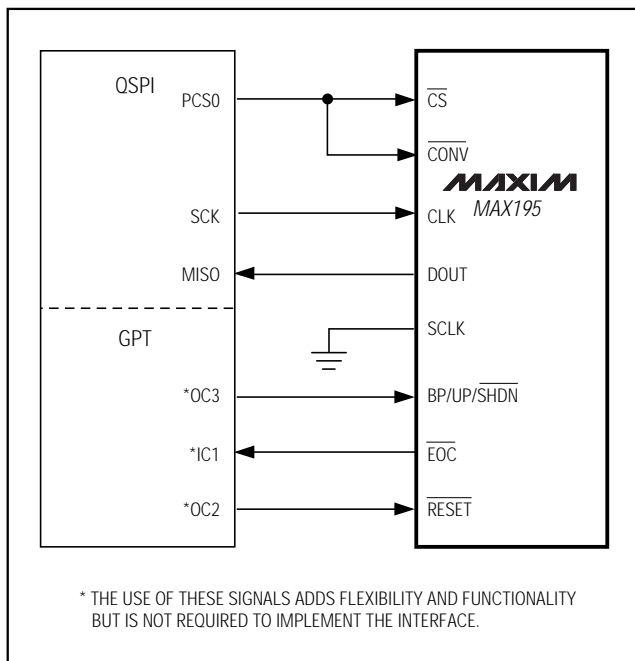


図17. MAX195をQSPIプロセッサに接続(変換中にデータをクロックアウト)

受信される(SCLKがクロック)かによって定義されます。ここではどちらのモードもQSPIプロセッサにインタフェースする形で説明しますが、SPIともコンパチブルです。

## モード1(変換とデータ転送が同時)

このモードでは、各データビットは、変換中に決定される度にMAX195から読まれていきます。SCLKは接地され、CLKは変換クロック及びシリアルデータクロックとして使用されます。このモードで使用するためにQSPIプロセッサをMAX195に接続したところを図17に示します。関連タイミングを図18に示します。

標準的なQSPIインタフェース信号のほかにも、一般 I/O ラインを用いてEOCを監視し、BP/UP/SHDN及びRESETを駆動しています。2個の一般出力ピンはアプリケーションによっては必要ありません。また、I/Oラインがない場合はEOCの接続を省略することもできます。

EOC信号は、キャリブレーション中はキャリブレーションの終了を知るために監視され、変換の前にはMAX195が変換中でないことを確認するために監視されますが、システムにEOCを完全に無視させることも可能です。パワーアップ時あるいはRESETをパルス的にローにした後に、キャリブレーションシーケンスを完了するためにμPは14,000 CLKサイクルを提供しなければなりません(図2)。これを実施するための一つの方法は、CLKをトグルしてEOCがローになるのを監視することです。しかし、単に14,000 CLKサイクルを数えてキャリブレーションの終了とすることもできます。同様に、一番最近の変換が完了していることが確実にあれば、変換の前にEOCの状態をチェックする必要もありません。これは、各変換が少なくとも20CLKサイクルであることを確認することで実現できます。

データはCLKの立下がりエッジでMAX195からクロックアウトされ、立上がりエッジあるいはその次の立下がりエッジでμPにクロックインすることができます。立上がりエッジでデータをクロックインする場合(SPI/QSPIでCPOL = 0、CPHA = 0の時；標準MICROWIRE™：Hitachi H8)、最大CLKレートは次式から得られます。

$$f_{CLK(max)} = 1/2 \left( \frac{1}{t_{CD} + t_{SD}} \right)$$

ここで $t_{CD}$ はMAX195のCLKからDOUTへの有効遅延時間、 $t_{SD}$ はμPのデータセットアップ時間です。

MICROWIREはNational Semiconductor Corp.の商標です。



# 16ビット、85ksps、10μAシャットダウン付ADC

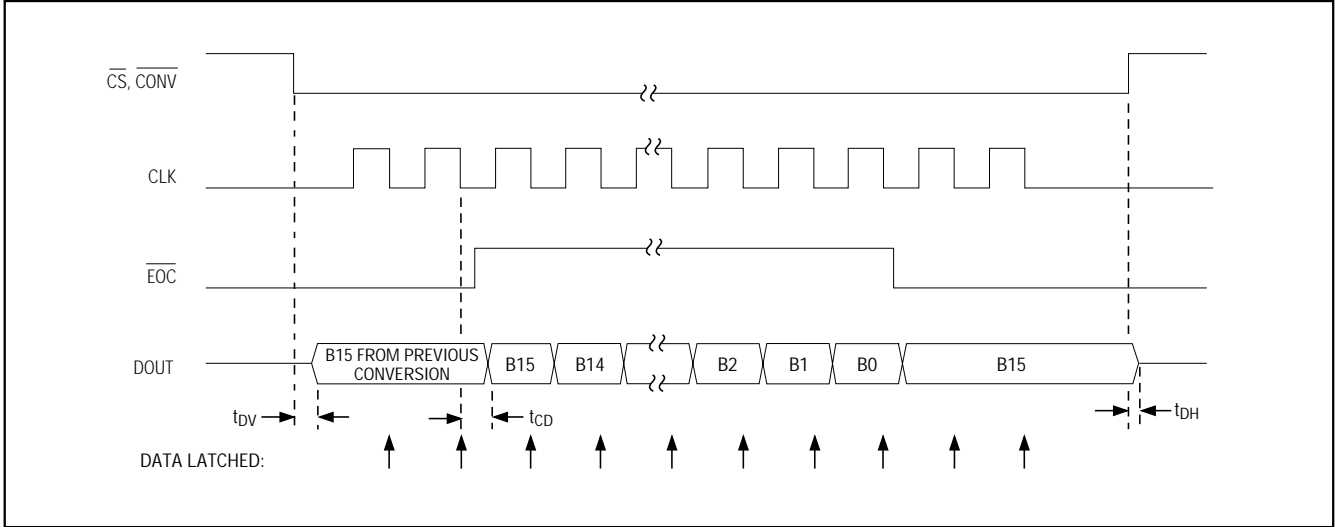


図18. 図17に示されている回路のタイミング図(モード1)

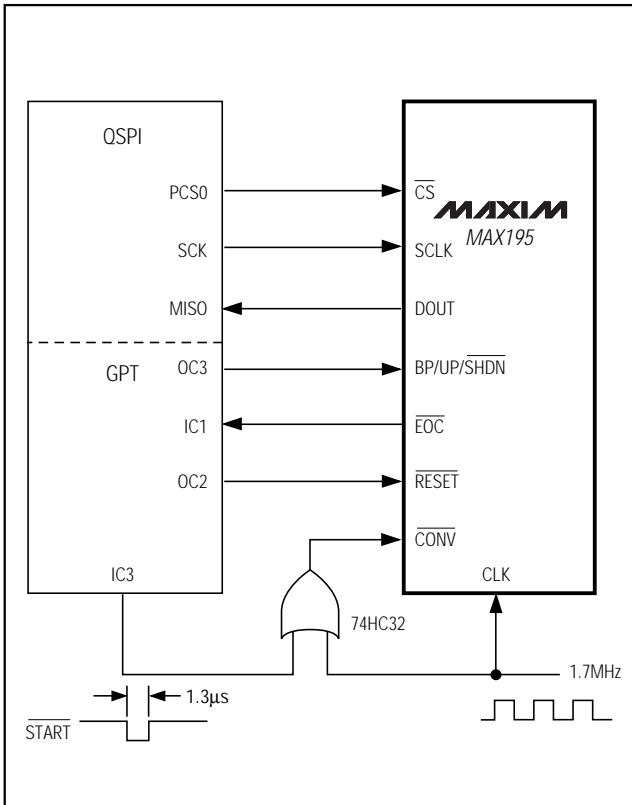


図19. MAX195をQSPIプロセッサに接続(変換と変換の間にSCLKでデータをクロックアウト)

立下がりエッジでデータをクロックインする場合 (CPOL = 0、CPHA = 1)、CLKレート(max)は次式で算出されます。

$$f_{CLK(max)} = \frac{1}{t_{CD} + t_{SD}}$$

電気特性の表に記載されている最大CLK周波数を超えないようにして下さい。立下がりエッジでデータをクロックインする場合、プロセッサのホールドタイムが最小 $t_{CD}$ (100ns)を超えてはいけません。

QSPIは必要な20CLKサイクルを2つの連続した10ビット転送として提供することができますが、SPIは8ビット転送に限られています。つまり、SPIの場合、変換は必ず3つの8ビット転送からなっていなければなりません。選択されたクロックレートでの8ビット動作間のポーズは、変換時間が20ms以下に収まるような長さにして下さい。これを怠った場合は、容量性DACからの漏れ電流で誤差が生じることがあります。このモードを使用したMAX195の評価キット(EVキット)及びMotorolaの68HC16用の完全ソースコードがMAX195EVキットに含まれています。

## モード2(非同期データ転送)

このモードでは変換クロック(CLK)とシリアルクロック(SCLK)を使用します。シリアルデータは変換と変換の間にクロックアウトされます。このため、高CLKレートでの最大スループットは低減されますが、アプリケーションによっては便利な場合もあります。QSPIプロセッサ(Motorola 68HC16)をMAX195に接続した場合のファンクションダイアグラムを図19に示します。図20にはタイミング図を、図21にはこの構成用のアセンブラ言語を示します。

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

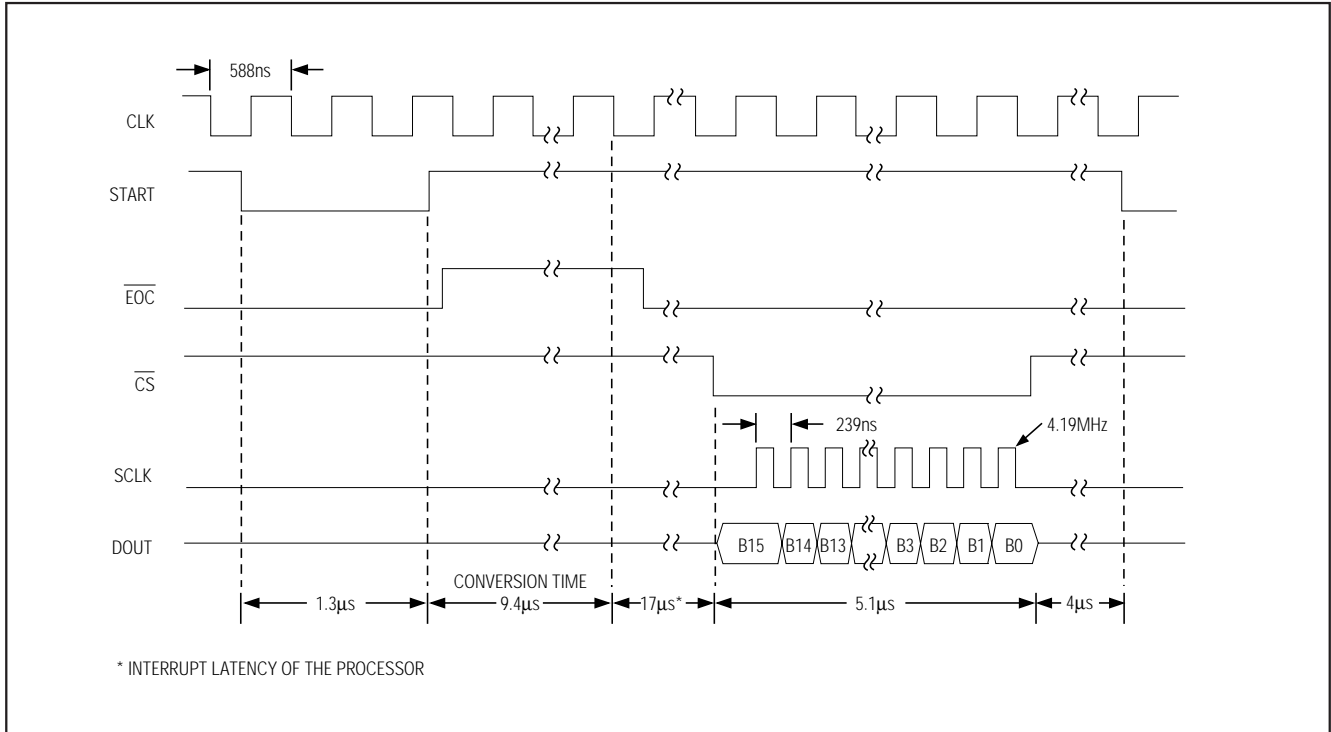


図20. 図19に示された回路のタイミング図(モード2)

「外部クロック」の項で説明したように、ORゲートを用いて「スタート」信号を非同期CLKに同期させます。モード1の場合と同様に、QSPIプロセッサはキャリブレーション中にCLKを発生し、CLKサイクルをカウントするか、あるいはここに示すように $\overline{EOC}$ を監視してキャリブレーションの完了を確認しなければなりません。また、 $\overline{EOC}$ は、変換結果がいつ読めるかをチェックするために $\mu$ Pにポーリングされます。 $\overline{EOC}$ がローになると、データはQSPIの最高データレート(4.19Mbps)でクロックアウトされます。データが転送されてしまえば、いつでも新しい変換を開始することができます。

SCLKからDOUTへの有効( $t_{SD}$ )のタイミング仕様は、シリアルインタフェースに制限を加えます。2.5MbpsまでのSCLKレートでは、データはSCLKの立下がりエッジでMAX195からクロックアウトされ、次の立上がりエッジで $\mu$ Pにクロックインすることができます(CPOL = 0、CPHA = 0)。データレートが2.5Mbps以上の場合は、SCLKの立下がりエッジでMAX195からデータをクロックアウトし、SCLKの次の立下がりエッジで $\mu$ Pにクロックインする必要があります(CPOL = 0、CPHA = 1)(遅いレートでこれを実施することはできません)。また、プロセッサのホールドタイムが最小 $t_{SD}$ (20ns)を超えないようにします。モード1のCLKの場合と同様に、SPIのサブセットとなっている一部のインタフェース規格では、最大SCLKレートが実現できないことがあります。

## 電源、レイアウト、接地及びバイパス

最適な性能を実現するためには、アナログとデジタルの接地面が別々になった基板を使用します。ワイヤラップボードは推奨されていません。図22に示すように、2枚のグランド面は低インピーダンス電源及びMAX195で互いに接続して下さい。アナログとデジタルの電源が同じソースから来ている場合は、小さな抵抗(10 $\Omega$ )でデジタル電源とアナログ電源を分離します。

4つの電源のシーケンスの制限条件は以下のとおりです。

- VDDDの前にVDDAを印加します。
- VSSDの前にVSSAを印加します。
- VDDAとVSSAがすでに存在する条件でAINとREFを印加します。
- 電源のセトリングはMAX195のパワーオン遅延(最低500ns)中に完了させます。完了しない場合は、使用前にRESETをパルス的にローにして、コンバータのキャリブレーションをやり直す必要があります。

デジタルのリターン電流がアナロググランドを通らないように注意し、リターン電流経路は低インピーダンスを通るよう注意して下さい。5mAの電流が僅か0.05のインピーダンスのPCボードグランドトレースを流れるだけで、約250 $\mu$ Vの誤差電圧が生じます。これは $\pm 4$ Vのフルスケールシステムで約2LSBの誤差になります。

# 16ビット、85ksps、10μAシャットダウン付ADC

```
*****
* MAX195 code listing for 68HC16 module and circuit of Figure ____ *
* (C) 1994 Maxim Integrated Products *
* *
* Written for use with the Motorola 68HC Macro Assembler - Vers. 4.1 *
* Uses the QSPI in Master mode to read the MAX195. *
*****

*****
*
* Pin assignment for MAX195
*
ShdnPin EQU $20 ; BP/UP = OC3
ResetPin EQU $10 ; RESET = OC2
EOCPin EQU $01 ; /EOC/ = IC1
DoutFrom195 EQU $01 ; DOUT = MISO
SCKto195 EQU $04 ; SCLK = SCK
CSto195 EQU $08 ; /CS/ = PCS0/\SS\
Start EQU $04 ; Start = IC3

*****
*
* QSPI initialization parameters
*
SPBR EQU $2 ; QSPI baud rate = (16.78MHz/(2*SPBR)) = 4.19 MHz
CPOL EQU $0 ; serial clock is low when idle
CPHA EQU $0 ; CPOL=CPHA, so data is valid on rising edge of clock
BITS EQU $10 ; bits per transfer field = 16
DSCKL EQU $2 ; delay before SCK = (DSCKL/16.78MHz) = 119 nsec
DTL EQU $1 ; delay after transfer = (DTL*32/16.78MHz) = 1.19 usec
NEWQP EQU $0 ; pointer to first valid queue entry
ENDQP EQU $1 ; pointer to last valid queue entry

***
* Start of main program *
***

MAIN:

* Initialize the GPT module as a general purpose I/O port
*
; GPT pins that are initially high
;
LDAA #(ResetPin)!(ShdnPin)!(Start)
STAA GPTPDR ; general purpose timer register

; GPT pins that are outputs
;
LDAA #(ResetPin)!(ShdnPin)!(Start)
STAA PDDR ; pin data direction register

* Initialize the QSM / QSPI
*
; list of QSM pins that are high by default
;
```

図21. 68HC16モジュール及び図19に示された回路用のMAX195のコードリスティング

# 16ビット、85ksps、10μAシャットダウン付ADC

MAX195

```

LDAA #(CSto195)!(SCKto195)
STAA QPDR                                ; QSPI port data register

; list of pins that are assigned to the QSPI
;
LDAA #(CSto195)!(SCKto195)!(DoutFrom195)
STAA QPAR                                ; QSPI pin assignment register

; list of QSM pins that are outputs
;
LDAA #(CSto195)!(SCKto195)
STAA QDDR                                ; QSPI data direction register

; QSPI Setup - Master Mode
CLR SPCR3                                ; disable halt mode interrupt

LDD #(((BITS)&$0F)*$0400)!((SPBR)&$FF)!($8000)!((CPOL)*$200)!((CPHA)*$100)
STD SPCR0                                ; QSPI in master mode,16 bits per transfer,4Mhz baud rate
; SCK inactive low, data captured on leading edge of SCK

LDD #((DSCKL&$7F)*$100)!(DTL&$FF)
STD SPCR1                                ; delay before SCK = 119ns, delay after transfer = 1.19us

; QSPI Setup - No Wrap
LDD #((ENDQP&$0F)*$100)!(NEWQP&$0F)
STD SPCR2                                ; new queue pointer = 0, end queue pointer =1

*****
*
* Reset the MAX195.
*

BCLR GPTPDR,#ResetPin                    ; take MAX195 RESET pin low

WaitHigh1:
BRCLR GPTPDR,#EOCPin,WaitHigh1          ; wait until EOC goes high

BSET GPTPDR,#ResetPin                    ; take MAX195 RESET pin high

WaitLow1:
BRSET GPTPDR,#EOCPin,WaitLow1           ; wait until EOC goes low

; prime the ReadMAX195 routine by starting a conversion
; pulse Start pin(IC3), conversion start command; must be externally sync'd with CLK

BCLR GPTPDR,#Start                        ; clear Start, Start is low
LDAA #2                                    ; loop count (delay >= 2/Fclk)
PulseWidth1:
DECA                                      ; decrement loop count
BNE PulseWidth1
BSET GPTPDR,#Start                        ; set Start, start is high

*****
*
* ReadMAX195:
*

```

図21. 68HC16モジュール及び図19に示された回路用のMAX195のコードリスティング(続き)

```

Loop1:
    BRSET GPTPDR,#EOCPin,Loop1 ; wait until EOC is low

; QSPI Setup - No Wrap
LDD #((ENDQP&$0F)*$100)!(NEWQP&$0F)
STD SPCR2

; QSPI enable
BSETW SPCR1,#$8000
BCLR SPSR,#$80 ; clear QSPI finished flag (SPIF)

WaitForQSPI: ; wait until the QSPI finishes
    BRCLR SPSR,#SPSRSPIF,WaitForQSPI

; start the next conversion
; pulse Start pin (IC3)

    BCLR GPTPDR,#Start ; clear Start, Start is low
    LDAA #2 ; loop count (delay >= 2/Fclk)
PulseWidth2:
    DECA ; decrement loop count
    BNE PulseWidth2
    BSET GPTPDR,#Start ; set Start, Start is high

    LBRA ReadMAX195 ; long branch to ReadMAX195
    
```

図21. 68HC16モジュール及び図19に示された回路用のMAX195のコードリスティング(続き)

ボードレイアウトは、デジタルとアナログ信号ができるだけ分離されるように設計します。アナログラインとデジタルライン(特にクロックライン)が平行に走らないようにします。アナログラインとデジタルラインを交差させる必要がある場合は直角に交差させます。

ADCの高速コンパレータはVDDA及びVSSA電源の高周波ノイズに敏感です。これらの電源は、0.1 $\mu$ Fコンデンサと1 $\mu$ F又は10 $\mu$ Fの低ESRコンデンサを並列にしてアナロググランド面にバイパスします。電源ノイズを効果的に除去するために、コンデンサのリード先は短くします。

## シャットダウン

MAX195はBP/UP/ $\overline{\text{SHDN}}$ をローにすることによってシャットダウンできます。デバイスを使用していない時の消費電力を10 $\mu$ W(100 $\mu$ W max)まで低減できるだけでなく、変換と変換の間に短時間コンバータをシャットダウンするだけで、かなりの電力が節約できます。シャットダウン時間が長く、その間に電源電圧や周囲の温度が変化している場合を除き、シャットダウン後にコンバータをリセット(キャリブレーション)する必要はありません。コンバータがウェイクアップしてセトリングが完了するまでに必要な時間の長さは、許容追加誤差の大きさに著しく影響されます。追加誤差を0.5LSBとすると、

3.2 $\mu$ sあればセトリング及びアナログ入力信号の再取込みが十分可能です。誤差を0.1LSB以下とした場合に必要なセトリング時間は50 $\mu$ sです。MAX195の理論的な消費電力と変換数/秒の関係を図23に示します。ここでは変換クロックは1.7MHzで、変換と変換の間はできるだけシャットダウンすることを仮定しています。

MAX195をシャットダウンする前にCLKを止めます。この時、短いクロックパルスを発生させないようにします。短いCLKパルス(150ns以下)が存在したり、CLKを止めずにMAX195をシャットダウンした場合、MAX195の内部キャリブレーションデータに悪影響を与えることがあります。CLKがフリーランニング(非安定)で非同期の場合は、図24の回路を用いてCLKを確実に止めて下さい。

セトリング及び変換の実行に要する時間を最小に留めるために、コンバータのシャットダウンは、変換が終了して希望のモード(ユニポーラ又はバイポーラ)が設定された後に行ってください。これでサンプリングコンデンサアレイが入力信号に正しく接続されます。変換の途中でシャットダウンされた場合、ウェイクアップ時にMAX195はまず古い変換を終わらせ、入力取込みのために4クロック(CLK)サイクル待ち、それから新しい変換を開始します。

# 16ビット、85ksps、10μAシャットダウン付ADC

MAX195

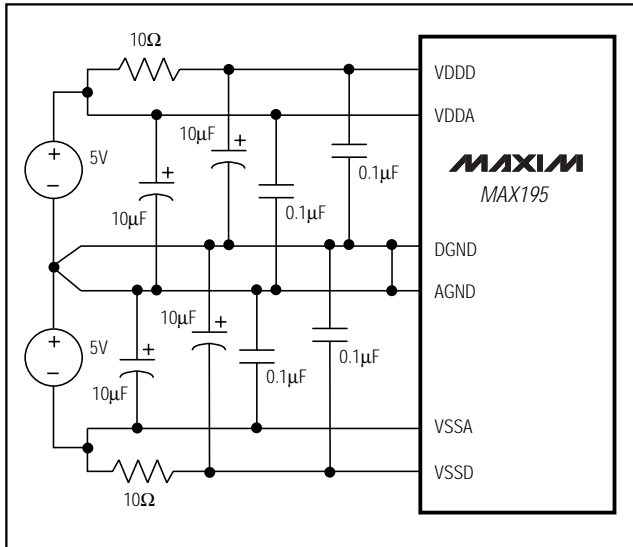


図22. 電源のバイパスと接地

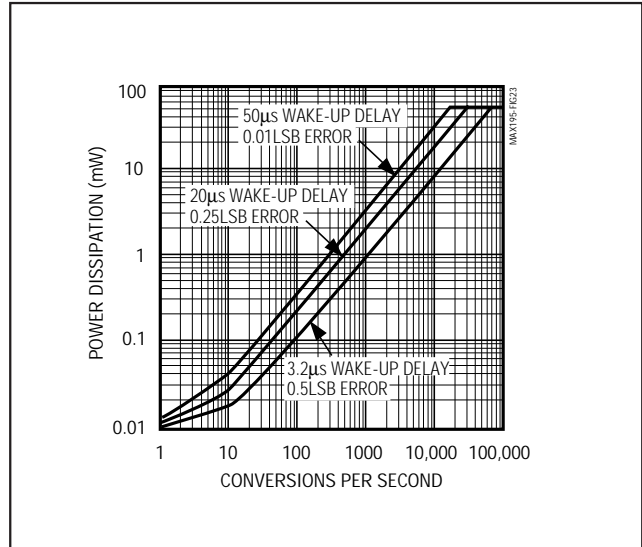


図23. 変換と変換の間にMAX195をシャットダウンした場合の消費電力対変換数/秒

## ダイナミック性能

高速サンプリング能力、85kspsのスループット、広ダイナミックレンジの特性を兼ね備えたMAX195は、ACアプリケーション及び信号処理に最適です。こうしたアプリケーションをサポートするために、高速フーリエ変換(FFT)試験技術を用いて定格のスループットでのADCのダイナミック周波数応答、歪み及びノイズをチェックすることができます。具体的には、低歪みのサイン波をADC入力に印加して、指定された時間だけデジタル変換結果を記録します。このデータは、スペクトルの内容が決定するFFTアルゴリズムで解析されます。変換誤差は基本入力周波数以外のスペクトル要素として表示されます。

## 信号対雑音比と実効ビット数

信号対雑音比(SNR)は、基本入力周波数のRMS振幅と、その他全てのADC出力信号のRMS振幅の比です。出力帯域は、DCからADCサンプルレートの1/2までに制限されています。これには通常(常にではありませんが)歪みとノイズの成分が含まれています。従って、この比は信号対雑音+歪み(SINAD)と呼ばれることもあります。

理論上の最小ADCノイズは量子化誤差から生じ、次のようにADCの分解能から直接求めることができます。SNR = (6.02N + 1.76)dB。ここで、Nは分解能を表すビット数

です。これによると完全な16ビットADCでも98dB以上は不可能です。出力のFFTプロットはさまざまなスペクトル帯域での出力レベルを表示します。図25は、MAX195を用いて純粋な1kHzのサイン波を85kspsでサンプリングした結果を示します。

ADCの有効分解能又は有効ビット数は、SNRの式を次のように変形することによって得られます。N = (SNR - 1.76)/6.02。この式でSNRのかわりにSINADを代入すると、ADCの有用性のよりよい目安になります。図26に、SINADから計算したMAX195の有効ビット数を、入力周波数の関数として示します。

MAX195の最大サンプリングレート85kspsより大幅に近いサンプリングレートで使用する場合は、余分にサンプリングを行い(オーバサンプリング)、ソフトウェアで平均することでノイズ性能を改善できます。MAX195で測定した16,384個のサンプルを平均化しなかった場合、最適な「無ノイズ変換」を行った場合、及び5サンプルの移動平均を取った場合を示す棒グラフを図27に示します。標準偏差は平均化しない場合が0.621LSB、移動平均した場合で0.382LSBです。データポイントの数がもっと少なくてもいい場合は、移動平均のかわりに通常平均(例えば5個のデータポイントを平均して1個のデータポイントとする)を行うことでも類似した結果が得られます。

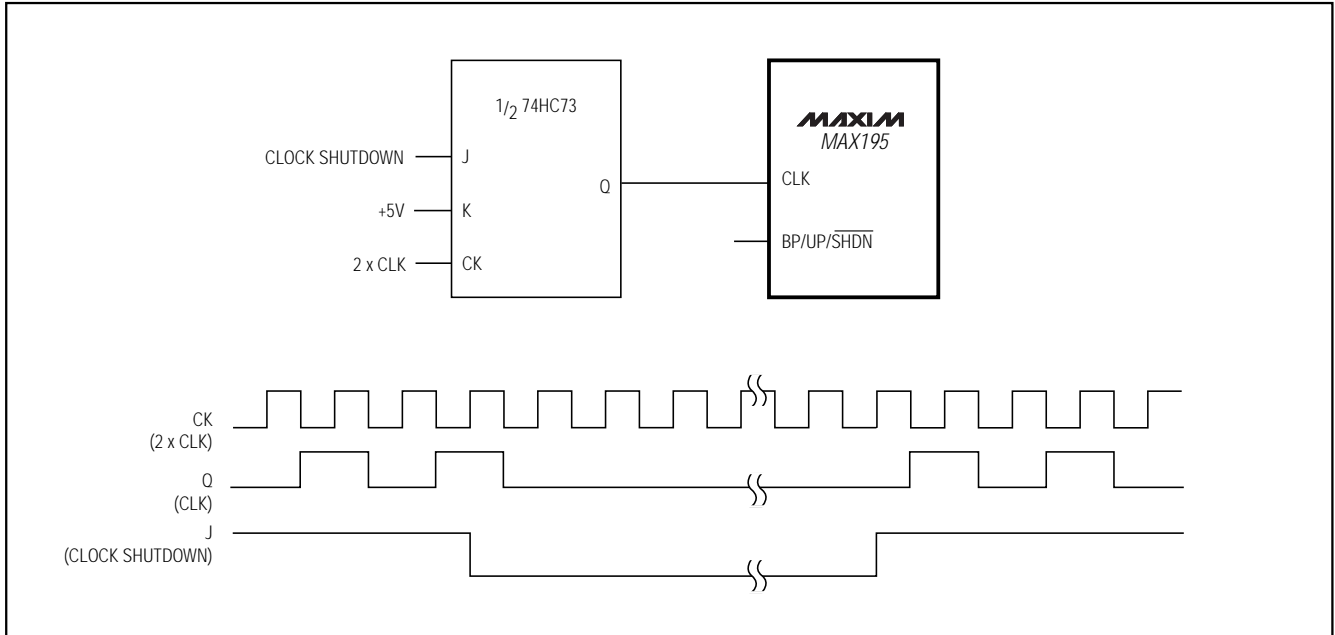


図24. 非安定(フリーランニング)非同期CLKを止める回路

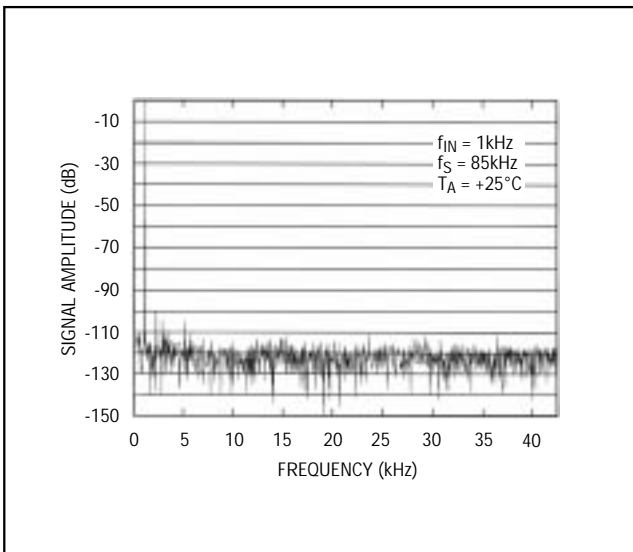


図25. MAX195のFFTプロット

オーバサンプリングと平均化の組合せよりもさらに優れた方法は、オーバサンプリングとデジタルフィルタリングの組合せです。平均化は大雑把なデジタルフィルタといえます(ただし、計算は単純)。有限インパルス応答等のデジタルフィルタアルゴリズムは容易に入手でき、データレートが低い場合あるいはリアルタイムでデータを処理する必要がない場合は、遅いプロセッサでも有用です。平均化の方法をとる場合は、丸め方の非対称性に起因する小さなオフセット誤差を防ぐために、必ず奇数個のサンプルを平均するようにして下さい。

単純な平均化であれ複雑なデジタルフィルタリングであれ、オーバサンプリングの効果はノイズを広帯域に拡散させることにあります。そして、拡散されたノイズの内、フィルタの通過帯域よりも上の部分が、デジタルフィルタリングあるいは平均化によって除去されます。これによって、通過帯域に残るノイズは、オーバサンプリングを行わない場合と比較して少なくなります。オーバサンプリングのもう一つの利点は、入力のエイリアシングを防止するプレフィルタの設計あるいは選択が容易になるという点です。これは、サンプルレートが該当周波数よりもかなり高いために、ロールオフがなだらかなフィルタを使用できるからです。

# 16ビット、85ksps、10μAシャットダウン付ADC

MAX195

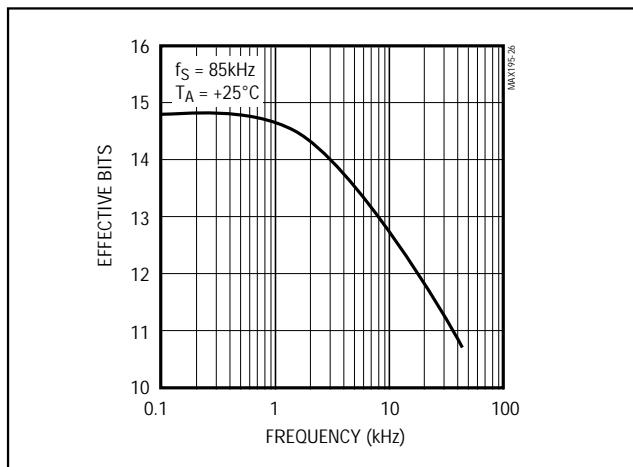


図26. 有効ビット数対入力周波数

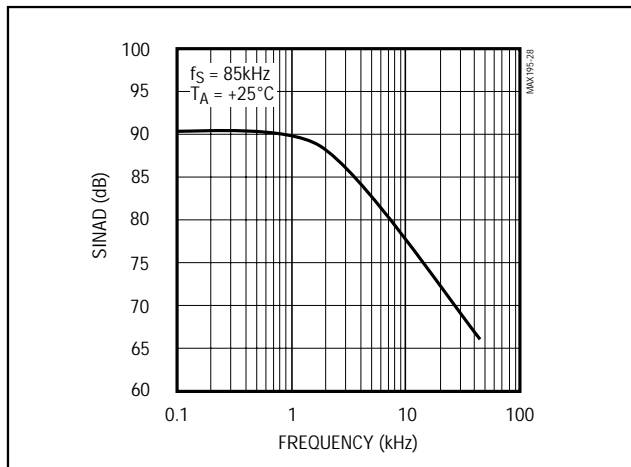


図28. (S/N+歪み)対周波数

これは以下のように表すことができます。

$$THD = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2)}}{V_1}$$

ここで、 $V_1$ は基本周波数のRMS振幅、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。「電気的特性」の項のTHD仕様は、第2次～第5次の高調波を含んでいます。MAX195では、この歪みは主に入力電圧の変化に起因するAIN サンプリングスイッチのオン抵抗の変化から生じています。こうした抵抗変化とDACの容量(やはり入力電圧によって変化)がAC信号の遅延に変動をもたらし、その結果、ある程度高い周波数でかなりの歪みが起こります(図28)。

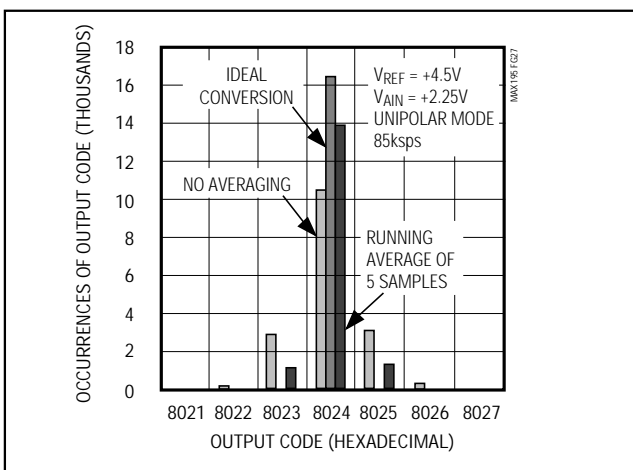


図27. 16,384個の変換の棒グラフ(平均化によるノイズ低減の効果を示す)

## 全高調波歪み

純粋なサイン波がADCに入力されると、ADCの伝達関数のAC積分非直線性(INL)が原因でサンプリングされた出力データに、入力周波数の高調波が出現します。

全高調波歪み(THD)は、入力信号の全ての高調波のRMS和(DCからサンプルレートの1/2までの周波数帯域内、ただしDC成分は除く)の、基本周波のRMS振幅に対する比です。

## スプリアスフリーのダイナミックレンジ

スプリアスフリーのダイナミックレンジは、基本周波数のRMS振幅と、次に大きな(DCからサンプルレートの1/2までの周波数帯域内にある)スペクトル成分の振幅の比です。通常、このピークは入力周波数の高調波として現れます。しかし、ADCが例外的に線形の場合には、ADCのノイズフロア内のランダムピークとしてのみ現れます。

## 伝達関数

MAX195の伝達関数を図29及び図30に示します。ユニポーラモードでは出力データはバイナリフォーマット、バイポーラモードではオフセットバイナリです。



# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

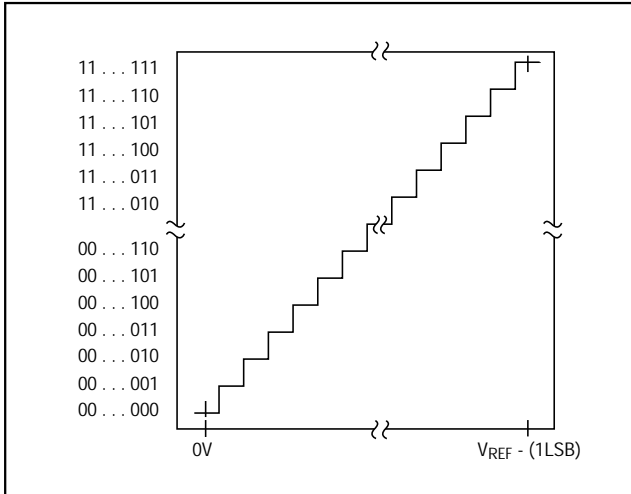


図29. MAX195のユニポーラ伝達関数

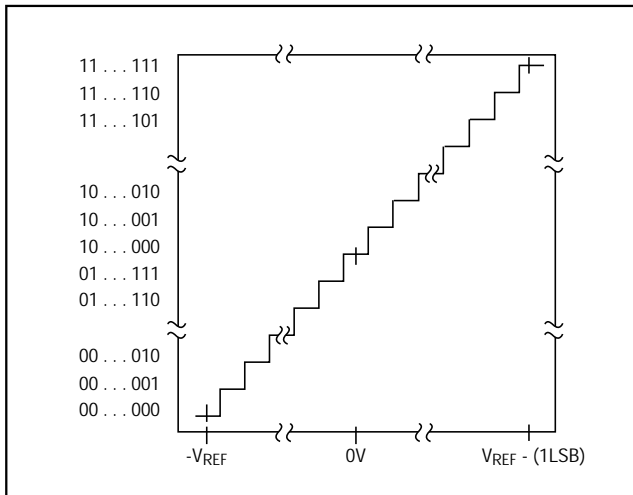
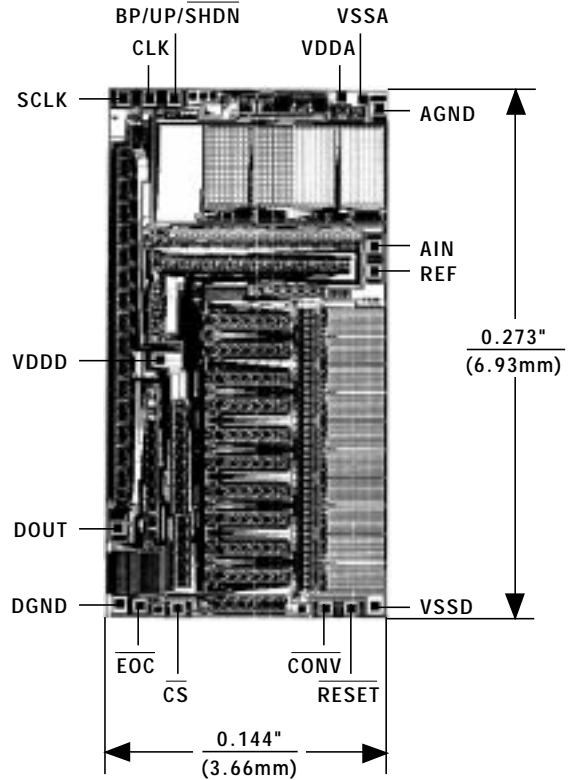


図30. MAX195のバイポーラ伝達関数

## チップ構造図

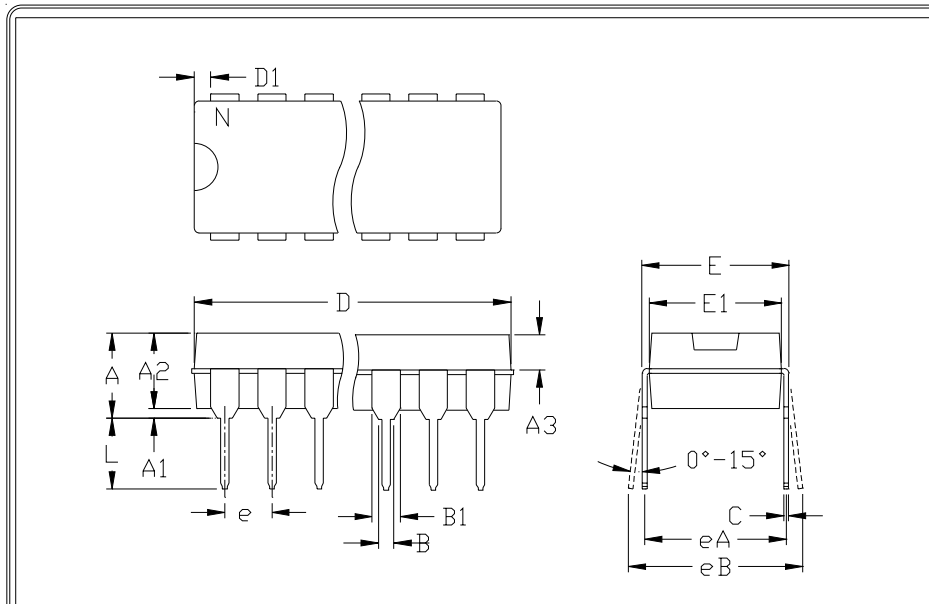


TRANSISTOR COUNT: 7966  
SUBSTRATE CONNECTED TO VDDA

# 16ビット、85ksps、10μAシャットダウン付ADC

MAX195

パッケージ



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS		N	MS001
	MIN	MAX	MIN	MAX		
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

- NOTES:
1. D&E DO NOT INCLUDE MOLD FLASH
  2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
  3. CONTROLLING DIMENSION: MILLIMETER
  4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
  5. SIMILAR TO JEDEC MO-058AB
  6. N = NUMBER OF PINS



PACKAGE FAMILY OUTLINE: PDIP .300"

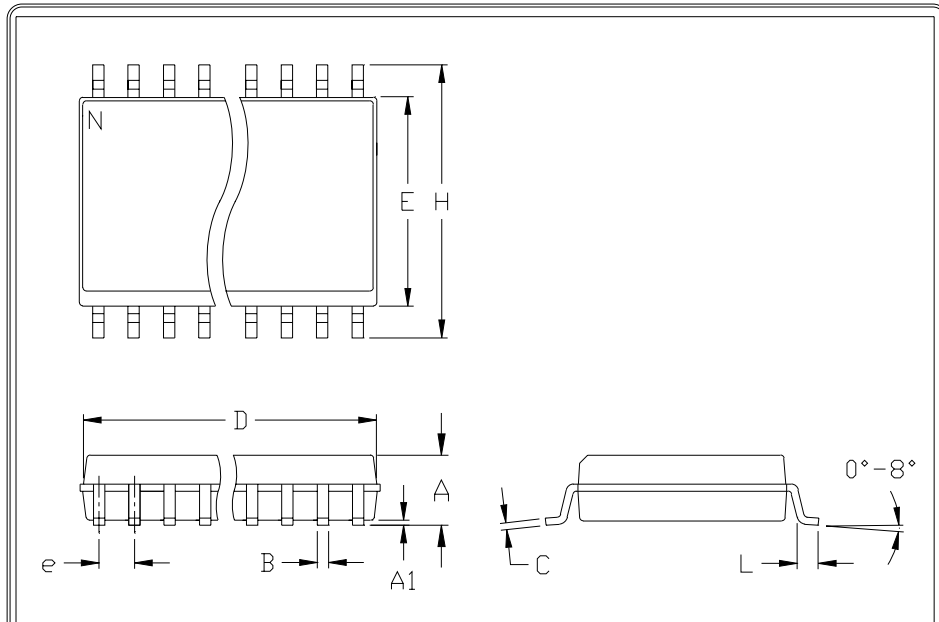
1/1

21-0043 A  
DOCUMENT CONTROL NUMBER REV

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

パッケージ(続き)

MAX195



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A1	0.004	0.012	0.10	0.30
B	0.014	0.019	0.35	0.49
C	0.009	0.013	0.23	0.32
e	0.050		1.27	
E	0.291	0.299	7.40	7.60
H	0.394	0.419	10.00	10.65
h	0.010	0.030	0.25	0.75
L	0.016	0.050	0.40	1.27

	INCHES		MILLIMETERS		N	MS013
	MIN	MAX	MIN	MAX		
D	0.398	0.413	10.10	10.50	16	AA
D	0.447	0.463	11.35	11.75	18	AB
D	0.496	0.512	12.60	13.00	20	AC
D	0.598	0.614	15.20	15.60	24	AD
D	0.697	0.713	17.70	18.10	28	AE

- NOTES:
1. D&E DO NOT INCLUDE MOLD FLASH
  2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
  3. LEADS TO BE COPLANAR WITHIN .102mm (.004")
  4. CONTROLLING DIMENSION: MILLIMETER
  5. MEETS JEDEC MS013-XX AS SHOWN IN ABOVE TABLE
  6. N = NUMBER OF PINS

**MAXIM**  
 420 SAN GABRIEL DR. SUNNYVALE CA 94086 FAX (415) 737 7594  
 PROPRIETARY INFORMATION

PACKAGE FAMILY OUTLINE: SOIC .300"

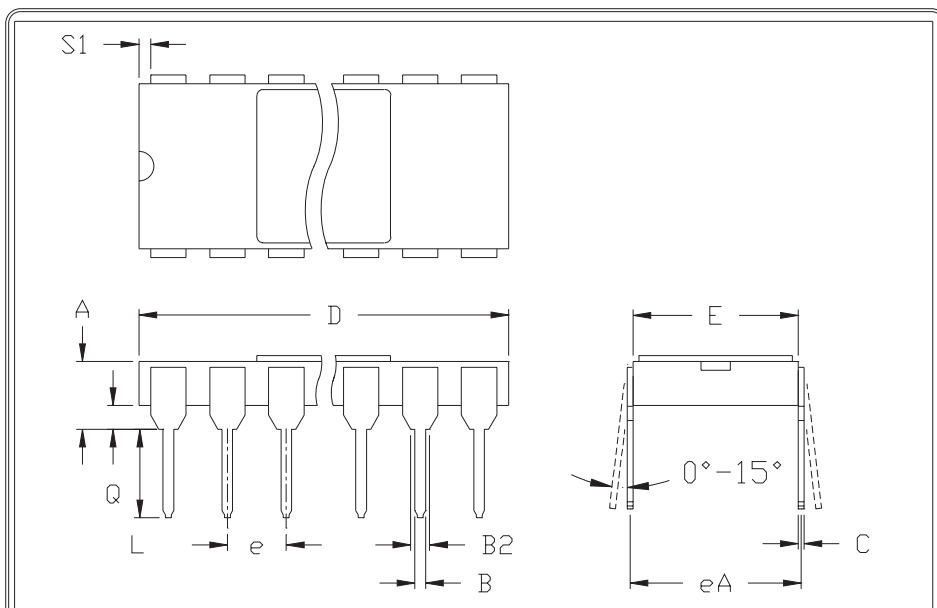
1/1

21-0042 A  
 DOCUMENT CONTROL NUMBER REV

# 16ビット、85ksps、10 $\mu$ Aシャットダウン付ADC

MAX195

パッケージ(続き)



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.225	---	5.72
B	0.014	0.023	0.36	0.58
B2	0.038	0.065	0.97	1.65
C	0.008	0.015	0.20	0.38
E	0.220	0.310	5.59	7.87
E1	0.290	0.320	7.37	8.13
e	0.100		2.54	
L	0.125	0.200	3.18	5.08
Q	0.015	0.070	0.38	1.78
S1	0.005	---	0.13	---
S2	0.005	---	0.13	---

	INCHES		MILLIMETERS		N	CASE
	MIN	MAX	MIN	MAX		
D	---	0.550	---	13.97	8	*3
D	---	0.785	---	19.94	14	C:D1
D	---	0.840	---	21.34	16	E:D2
D	---	0.960	---	24.38	18	V:D6
D	---	1.060	---	26.92	20	R:D8
D	---	1.280	---	32.51	24	L:D9

- NOTES:
1. CONTROLLING DIMENSION: INCH
  2. MEETS 1835 CASE OUTLINE CONFIGURATION #3 AS SHOWN IN ABOVE TABLE
  3. MEETS 1835 CASE \*P\*; D-4 CONFIGURATION #3 EXCEPT D AND S1 MAXIMUM DIMENSIONS
  4. N = NUMBER OF PINS

 <small>120 SAN GABRIEL DR. SUNNYVALE CA 94086 FAX (408) 737 7754          PROPRIETARY INFORMATION</small>	PACKAGE FAMILY OUTLINE: SIDE BRAZE .300" <small>TITLE</small>		21-0047 $\Delta$ <small>DOCUMENT CONTROL NUMBER REV</small>
---	--	--	--

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

28 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600