



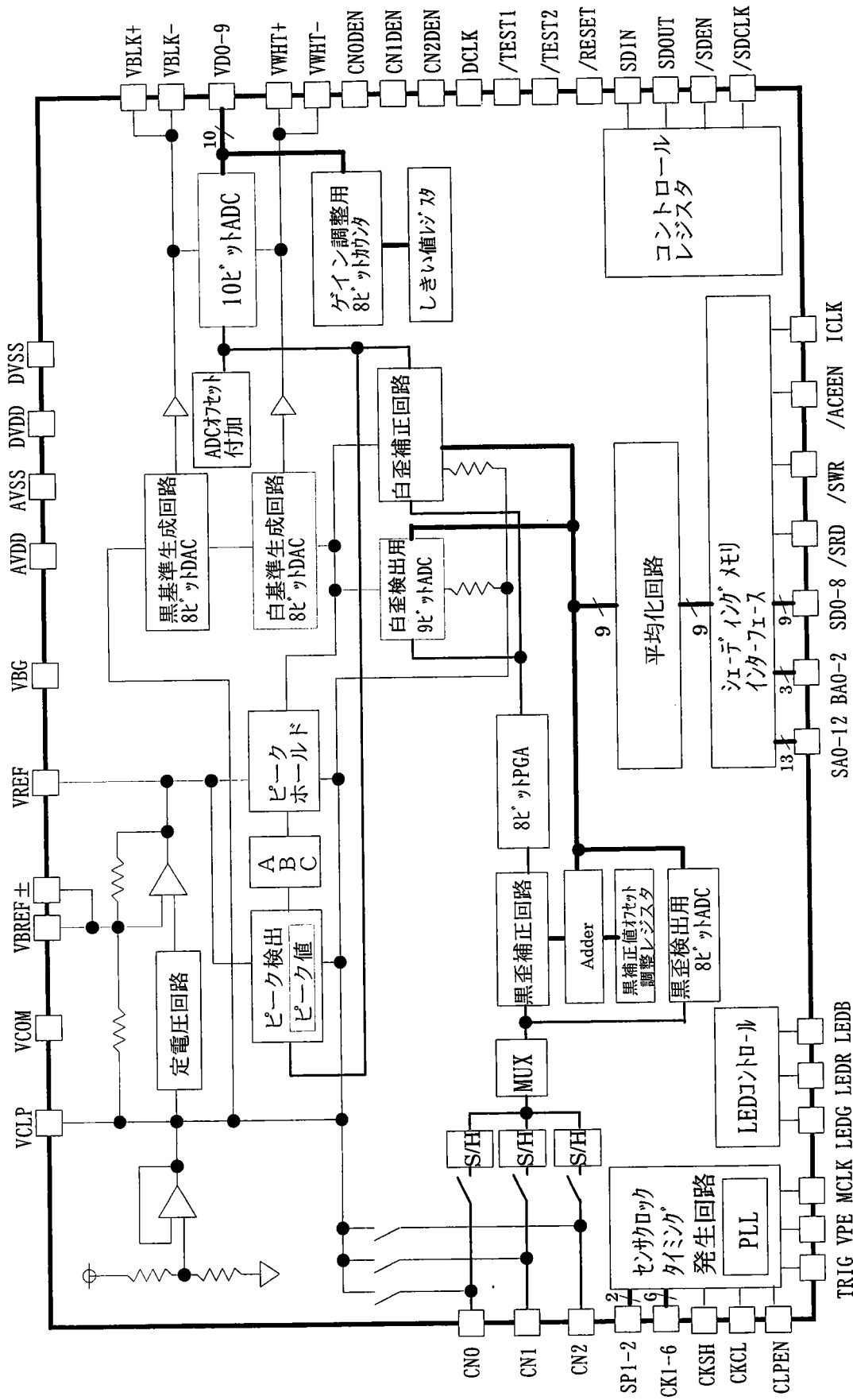
＝暫定仕様＝

AK8408

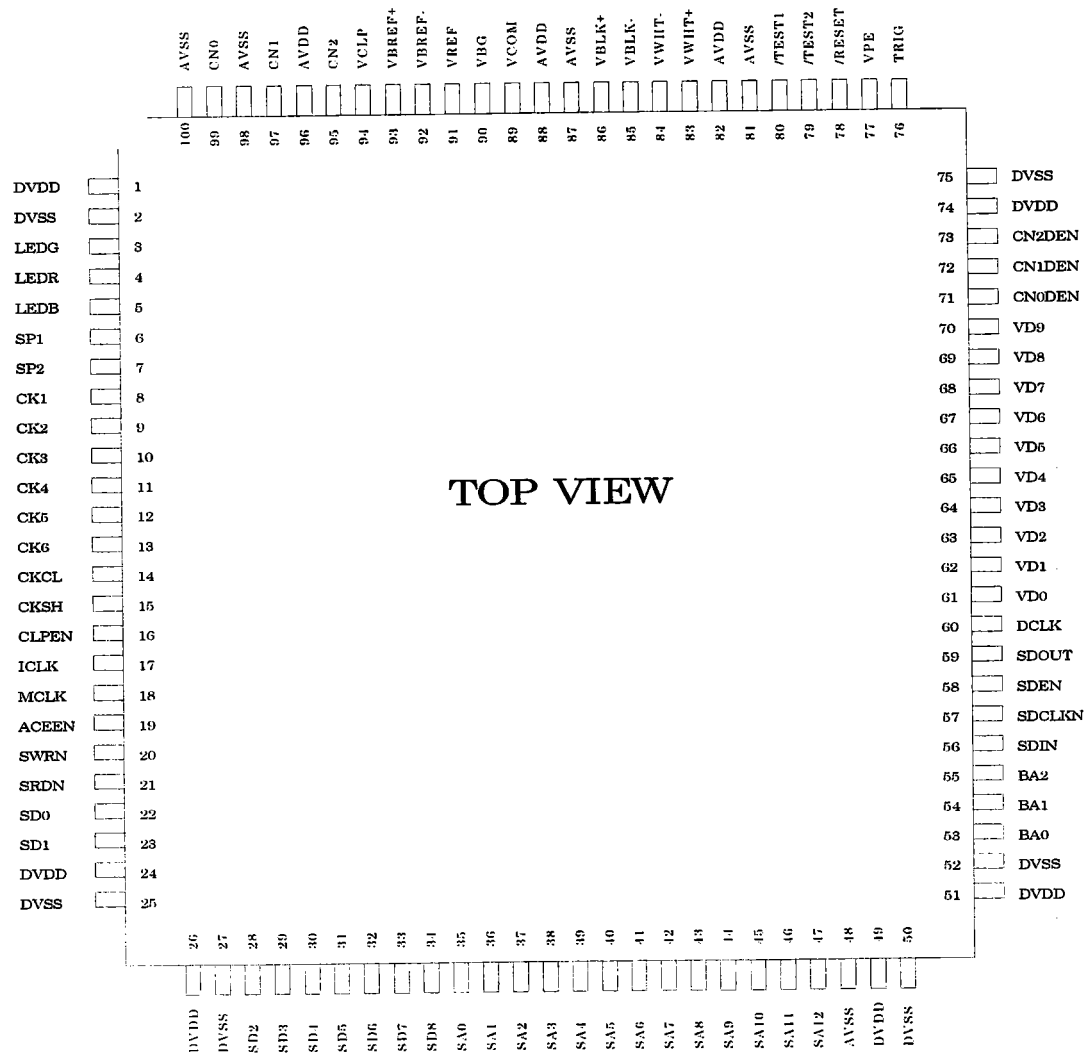
カラーセンサー対応シェーディング補正用プリプロセッサ

特長

- カラーセンサー用シェーディング補正LSI
- 各種センサーに対応
  - 1ch、G/R/B3ch出力センサーに対応
  - センサー用クロック発生
  - 最大入力レベル 1.25V<sub>p-p</sub>
  - 入力ビデオ信号データレート
    - 1ch時：10M画素/秒
    - 3ch時：3.3M×3画素/秒
  - 8192×3画素のセンサーまで対応可（8画素単位で設定可）
  - 最大ダミー画素数260画素（1画素単位で設定可）
- 画信号用10ビットADC内蔵
  - 内蔵の8ビットDAC×2で黒/白基準電圧設定
- 全画素白補正值検出用ADC/補正用アナログ除算器内蔵
  - ピーク値の60%までを実質10ビット補正
  - 外部SRAM要（9ビット×センサー画素数）
- 3chオフセット検出/補正用8ビットADC/DAC内蔵
  - 補正範囲±50mV～±200mV（±50mV単位で設定可）
  - 全画素検出補正時 外部SRAM要（8ビット×センサー画素数）
  - オフセットキャンセル時 内部（偶・奇）×3セットのオフセットデータレジスタ
  - 黒補正回路以降の回路ブロックオフセットの調整用レジスタ
- 3chゲイン調整用PGA（8ビット、1倍～4倍）、ゲイン調整機能内蔵
- LED点灯時間調整機能
- ピーク検出/ホールド回路（8ビット）内蔵
- シリアルインターフェイス
- シェーディングメモリインターフェイス
  - シェーディングデータ平均化回路内蔵
  - 他のICからメモリにアクセス可能（シェーディングデータ以外のデータ格納用）
- クロック周波数：1.5～10MHz：データレート
  - PLL内蔵 ×4クロック、または×12クロック発生
- CMOSモノリシック、5V単一電源（5V±5%）、定電圧回路内蔵
- 100ピンLQFP



端子配置図



## 端子機能説明

| 端子名            | I/O      | 機能  |
|----------------|----------|---|
| シェーディングメモリ I/F |          |   |
| SA0-12         | 0(Tri)   | シェーディングメモリアドレスバス  |
| BA0-2          | 0(Tri)   | シェーディングメモリバンクセレクト信号   |
| SD0-8          | I/O(Tri) | シェーディングメモリデータバス   |
| /SRD           | 0(Tri)   | シェーディングメモリリード信号   |
| /SWR           | 0(Tri)   | シェーディングメモリライト信号   |
| /ACEEN         | 0        | シェーディングメモリアクセスイネーブル (外部アクセス用)   |
| コントロールレジスタ I/F |          |   |
| /SDEN          | I        | シリアルインターフェイスイネーブル信号   |
| /SDCLK         | I        | シリアルクロック入力端子  |
| SDIN           | I        | シリアルデータ入力端子   |
| SDOUT          | 0(Tri)   | シリアルデータ出力端子   |
| ビデオ出力データ I/F   |          |   |
| VDO-9          | 0        | ビデオデータ出力バス  |
| CNODEN         | 0        | 1 c h時：現在出力中のデータがLEDGに対応したものであることを示します。<br>3 c h時：現在出力中のデータがCN0でサンプリングされたデータであることを示します。 |
| CN1DEN         | 0        | 1 c h時：現在出力中のデータがLEDRに対応したものであることを示します。<br>3 c h時：現在出力中のデータがCN1でサンプリングされたデータであることを示します。 |
| CN2DEN         | 0        | 1 c h時：現在出力中のデータがLEDBに対応したものであることを示します。<br>3 c h時：現在出力中のデータがCN2でサンプリングされたデータであることを示します。 |
| DCLK           | 0        | データ取り込み用クロック。<br>クロックの立ち下がりでデータを取り込んで下さい。   |

| 端子名         | I/O | 機能   |
|-------------|-----|--|
| メインクロック等    |     |  |
| MCLK        | I   | メインクロック入力端子  |
| VPE         | I   | 画処理イネーブル信号入力端子   |
| TRIG        | I   | TRIG信号入力端子。本LSIとセンサの同期をとり、クランプ用コンデンサをプリチャージしておくために、常時所定のクロックを供給することを推奨します。 |
| ICLK        | O   | LSI内部メインクロック出力端子   |
| センサクロック発生回路 |     |  |
| CKCL        | O   | LSI内部でクランプ中であることを示します。(モニター用)  |
| CKSH        | O   | LSI内部でサンプル中であることを示します。(モニター用)  |
| CLPEN       | O   | ラインクランプモード時、クランプ期間中であることを示します。   |
| CK1-6       | O   | センサー駆動用クロック出力端子  |
| SP1-2       | O   | センサー駆動用シフトパルス出力端子  |
| LED (GRB)   | O   | LED制御信号出力端子  |
| その他デジタル端子   |     |  |
| /RESET      | I   | リセット端子。Lowレベルにすることでリセットをかけます。  |
| /TEST1      | I   | テスト用端子。Highレベルにプルアップして下さい。   |
| /TEST2      | I   | テスト用端子。Highレベルにプルアップして下さい。   |
| アナログ端子      |     |  |
| CN0         | I   | センサー出力信号入力端子<br>1ch使用時は本端子を使用して下さい。  |
| CN1         | I   | センサー出力信号入力端子   |
| CN2         | I   | センサー出力信号入力端子   |
| VCLP        | O   | クランプ電圧出力端子。外部でコンデンサ接続します。  |
| VCOM        | O   | LSI内部基準電圧出力。安定化用コンデンサを接続して下さい。   |
| VREF        | O   | 定電圧回路出力安定化用のコンデンサ接続端子  |
| VBREF+/-    | O   | 黒補正值検出回路/補正回路の基準電圧バッファ出力端子(差動出力)<br>各端子に安定化用コンデンサを接続して下さい。                 |
| VWHT+/-     | O   | 画信号用10ビットADCの白側基準電圧出力端子(差動出力)<br>各端子に安定化用コンデンサを接続して下さい。                    |
| VBLK+/-     | O   | 画信号用10ビットADCの黒側基準電圧出力端子(差動出力)<br>各端子に安定化用コンデンサを接続して下さい。                    |
| VBG         | O   | 内部基準電圧バッファ出力端子<br>本端子とAGND間に安定化用コンデンサを接続して下さい。                             |

| 端子名  | I/O | 機能                  |
|------|-----|---------------------|
| 電源   |     |                     |
| DVDD | I   | デジタル正電源 (5 V ± 5 %) |
| DVSS | I   | デジタル接地              |
| AVDD | I   | アナログ正電源 (5 V ± 5 %) |
| AVSS | I   | アナログ接地              |

|      |
|------|
| 機能説明 |
|------|

**■アナログ回路**

## (1) 基準電圧生成回路

- ・電源電圧を抵抗分割することで、クランプ基準電圧 ( $V_{CLP} = 2.1\text{V}$ ) を生成します。
- ・定電圧回路を用いて、白側基準電圧 ( $V_{REF} = 0.85\text{V}$ ) を生成します。

## (2) センサ信号入力回路

- ・入力信号の極性は下向きに白とします。
- ・3チャンネル分のクランプ回路、サンプルホールド回路を内蔵します。レジスタ設定により、1チャンネル ( $10\text{M}$ ) / 3チャンネル ( $3.3\text{M} \times 3$ ) の選択が可能です。
- ・内蔵のアナログスイッチと外部コンデンサで直流再生回路を構成します。

## (3) 黒補正值検出ADC / 補正回路

- ・設定された特定画素、もしくは全画素について、クランプレベルとアナログ入力信号との差分を8ビットでAD変換し、補正值とします。クランプレベルに対して正・負両側のオフセットもしくは黒歪を検出・補正可能です。
- ・補正はアナログ入力信号から、補正值相当分の電圧をアナログ減算することで行います。フルスケールはレジスタ設定により、 $\pm 50\text{mV} \sim \pm 200\text{mV}$ まで、 $\pm 50\text{mV}$ 単位で変更できます。25mV (MAX) はLSI初段のアンプ等のオフセットキャンセルに使用するため、検出可能なダイナミックレンジはレジスタで設定された範囲から25mV狭い範囲となります。
- ・黒補正回路では、それ以降の回路ブロックで発生するオフセットのキャンセルができず、結果として残留オフセットが残ります。これをキャンセルするために、検出されたオフセットデータに調整分を加減算することができます。調整用データは黒補正值オフセット調整レジスタにセットして下さい。

## (4) PGA回路

- ・各チャンネルの信号振幅レベルを同程度にするためのゲイン調整回路を持ちます。
- ・黒補正された信号を、 $V_{CLP}$ 基準で増幅することでゲインを調整します。PGAゲイン設定レジスタにて設定し、1倍～4倍までゲインを調整できます。

## (5) ピーク検出／ホールド回路

- ・ 追従比較式 8 ビット ADC (ピーク検出回路) と、8 ビット DAC (ピークホールド回路)、及びその間のデジタル回路で構成します。
- ・ ピーク検出回路の入力信号は、ピーク検出モードでは黒補正済み信号、読みとりモードでは黒／白補正済みの正規化信号となります。

## (6) 白補正值検出／補正回路

- ・ ピーク検出モードで決定されるピーク電圧 ( $V_{PEAK}$ ) を白側基準、 $V_{CLP}$  の 40% (typ.) を黒側基準として、全画素、クランプレベルとアナログ入力信号との差分を 9 ビットで AD 変換し、補正值とします。
- ・ 補正は、検出した補正值をゲインデータとしてアナログ除算することで行います。

## (7) 画信号用 10 ビット ADC 用、基準電圧生成 DAC (黒／白)

- ・ 画信号用 10 ビット ADC の黒、白基準電圧として、 $V_{CLP} - V_{PEAK}$  に対する相対電圧を生成するための 2 個の 8 ビット DAC を内蔵します。

## (8) 画信号用 10 ビット ADC

- ・ 黒／白補正後のアナログ入力信号を、最終的に AD 変換するための 10 ビット ADC を内蔵します。
- ・ (7) 基準電圧生成用 DAC にて生成された基準電圧 ( $V_{WHT}$ 、 $V_{BLK}$ ) をフルスケールとして 10 ビット AD 変換します。

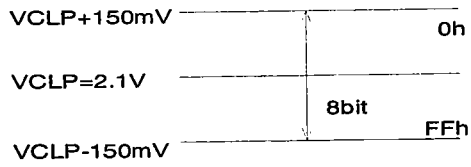
## (9) 黒オフセット調整回路

- ・ 白検出／補正回路の前段までの内部オフセットを調整するために、オフセットを黒補正值に加減算します。

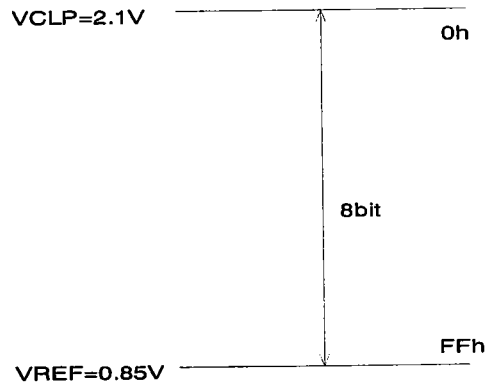
## (10) ADC オフセット調整回路

- ・ 白検出／補正回路の後段での内部オフセットを調整するために、ADC 入力にオフセット電圧を加減算します。

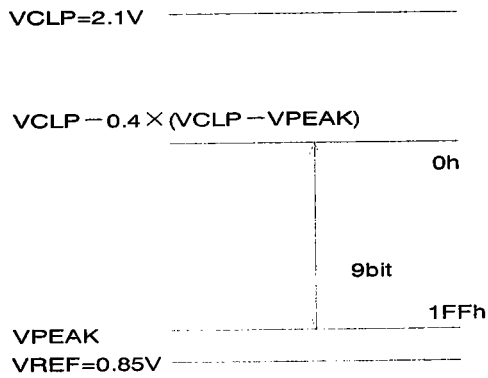




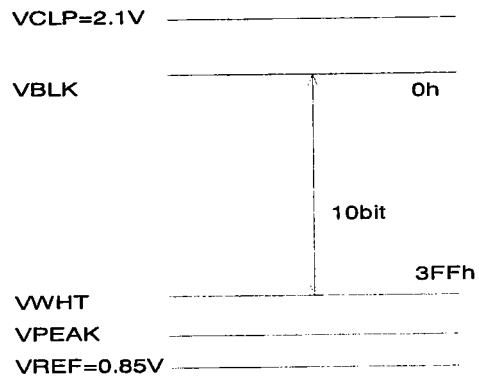
黒補正值検出／補正  
(補正範囲±150mVの場合)



ピーク検出／ホールド



白補正值検出／補正



読みとり

|                 |
|-----------------|
| 各種センサ 及び 入力回路制御 |
|-----------------|

■MUX回路制御

本LSIが対応しているセンサは下記の表の通りです。

| センサ        | カラー/モノクロ | R12/D7 | R12/D6 | データレート |
|------------|----------|--------|--------|--------|
| 3chカラーセンサ  | カラー      | *      | 1      | 3.3M×3 |
|            | モノクロ     | *      | 1      | 3.3M×1 |
| 1chカラーセンサ  | カラー      | 0      | 0      | 10M    |
|            | モノクロ     | 1      | 0      | 10M    |
| 1chモノクロセンサ | モノクロ     | 1      | 0      | 10M    |

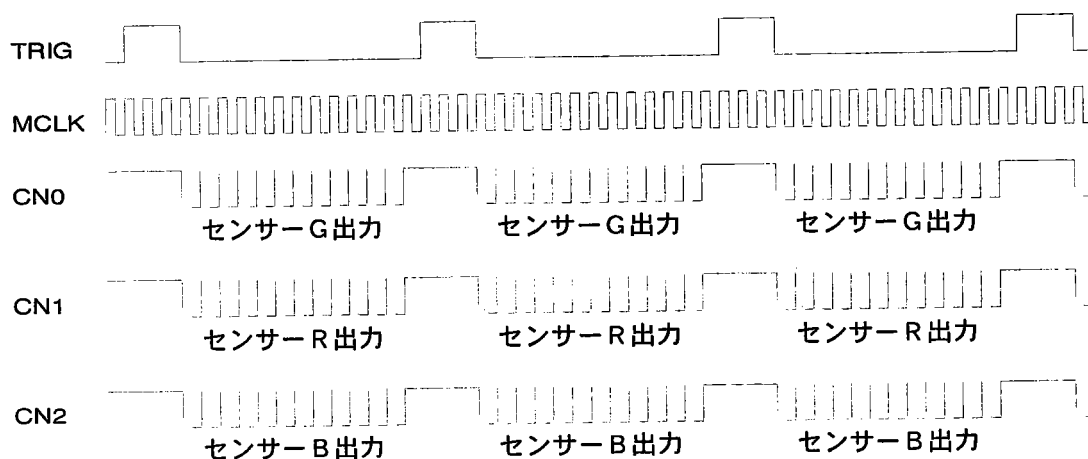
3chカラーセンサにおける、カラー/モノクロ処理の区別、もしくは、前処理時の入力チャンネル設定等は、チャンネルイネーブルレジスタの説明も参照下さい。

□ 3chカラーセンサ (カラー処理)

- (1) サンプリングレートは、最大3.3M/secとなります。  
画処理速度は、最大10M/secとなります。
- (2) 3ch同時にサンプリングします。その後、サンプリング順序設定のとおり、MUXを切り換えます。
- (3) サンプリングされたN×3個のデータを次ページの様に並び替えたものを、擬似的に1ライン分のデータとみなします。

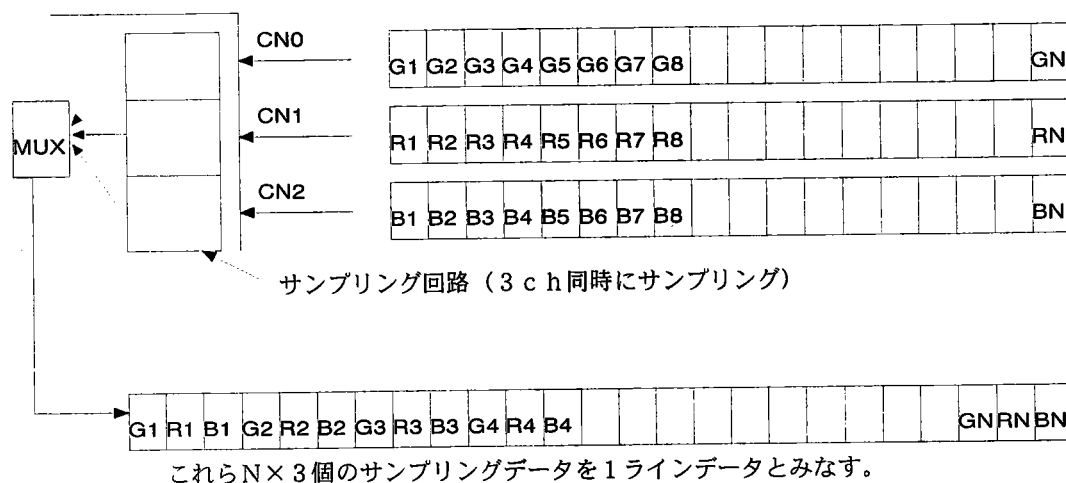
[3chセンサ出力]

(例 CN0にGreen、CN1にRed、CN2にBlueを入力した場合)



[3chセンサカラー処理]

(例 サンプルング順序設定が CN0→CN1→CN2 のとき)



□3chカラーセンサ (モノクロ処理)

上記センサのチャンネルを1チャンネルに固定することで、モノクロモードを使用できます。この場合、処理速度は最大3.3Mとなります。補正データは、カラー処理時に検出したものを、そのまま使います。

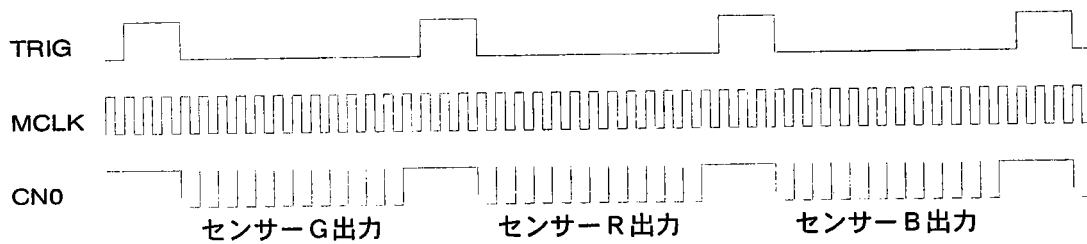
もしくは、クロックを最大10Mまで高速にして、モノクロセンサとして使用することも可能です。この場合、補正值データは検出したものをそのまま使うのではなく、新たな環境に合わせ、取り直す事を推奨します。1chカラーセンサ (モノクロ処理) と同様の扱いとなります。詳細は使用されるセンサの仕様書を参照下さい。

□ 1 c h カラーセンサ (カラー処理)

- (1) サンプリングレート、画処理速度ともに、最大 10 M / s e c となります。
- (2) センサー出力信号は CN0 に入力して下さい。CN1、CN2 はオープンにして下さい。
- (3) ライン毎に入力信号の色が変化します。それに合わせて、LSI 内部でも処理する色を変化させます。
- (4) カラー処理順序はサンプリング順序設定レジスタで定義します。GRB 各色のデータを 3 ラインにわたってサンプリングしたものを、1 ラインデータとみなします。

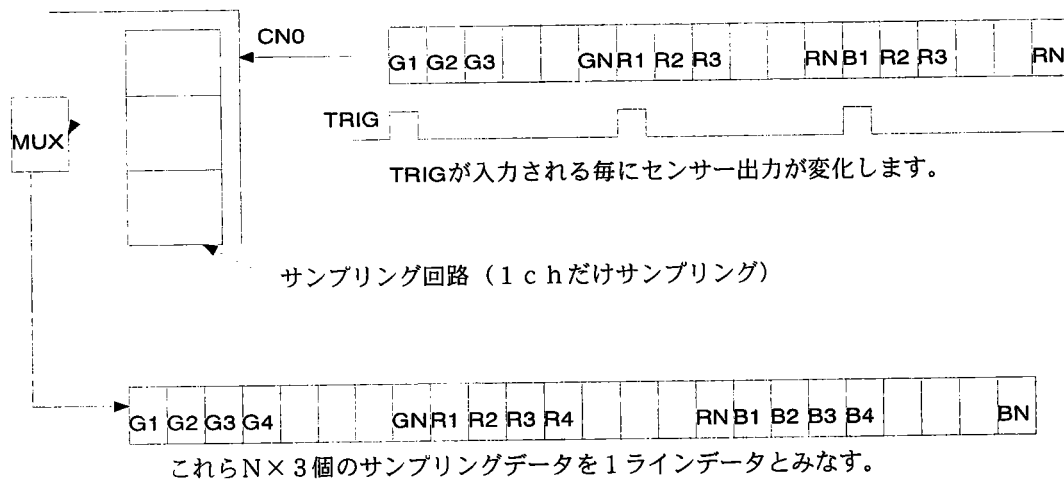
[1 c h センサカラー出力]

(例 サンプリング順序設定 G→R→B のとき)



[1 c h センサカラー処理]

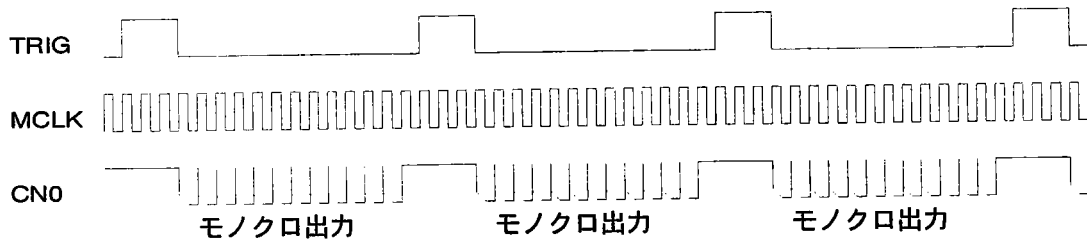
(例 サンプリング順序設定 G→R→B のとき)



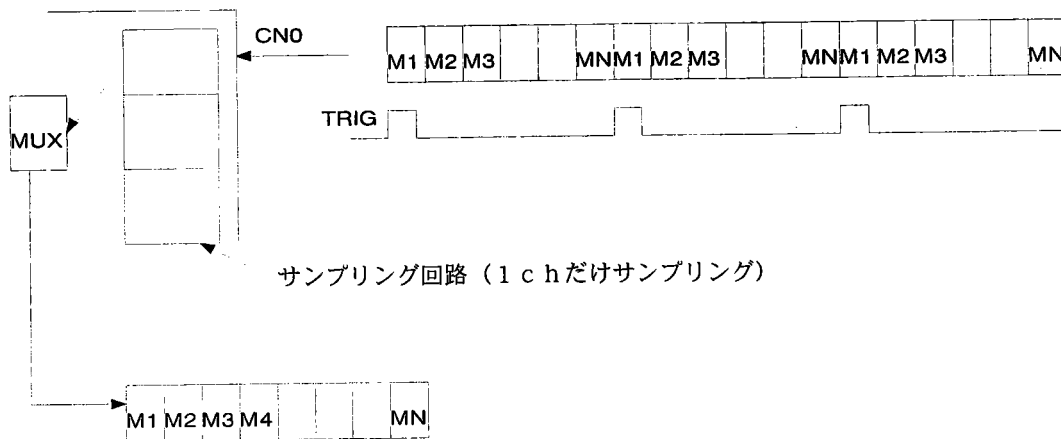
□ 1 c h カラーセンサ (モノクロ処理)

- (1) サンプリングレート、画処理速度ともに、最大10M/secとなります。
- (2) センサー出力信号はCN0に入力して下さい。CN1、CN2はオープンにして下さい。

[1 c h センサモノクロ出力]



[1 c h センサモノクロ処理]



□モノクロセンサ

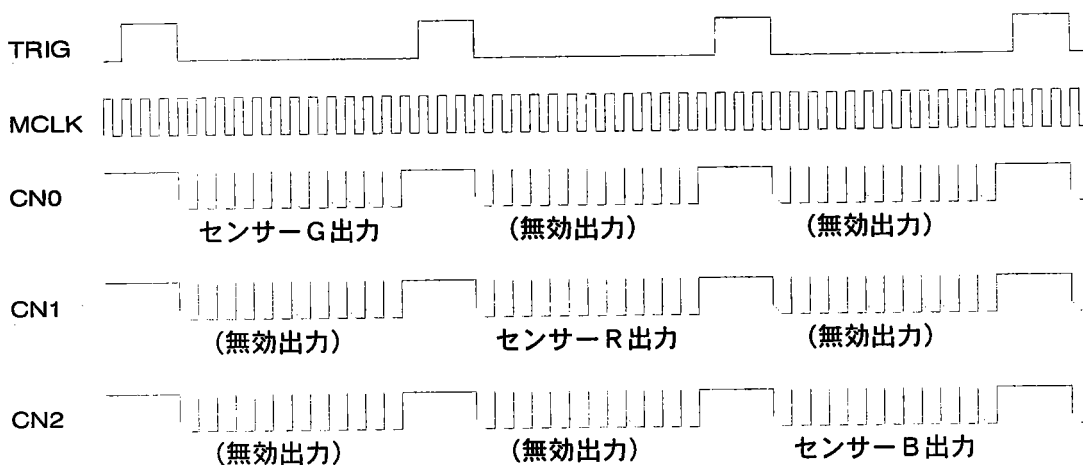
上記、1 c h カラーセンサ (モノクロ処理) と同様の扱いとなります。

□ C I Sチャンネル切り換えモード (カラー処理)

- (1) サンプリングレート、画処理速度ともに、最大10M/secとなります。
- (2) ライン毎にサンプリングチャンネルを切り換えます。切り換えはサンプリング順序設定の通りに、MUXを切り換えて行います。それに合わせて、L S I内部でも処理する色を変化させます。
- (3) カラー処理順序はサンプリング順序設定レジスタで定義します。G R B各色のデータを3ラインにわたってサンプリングしたものを、1ラインデータとみなします。

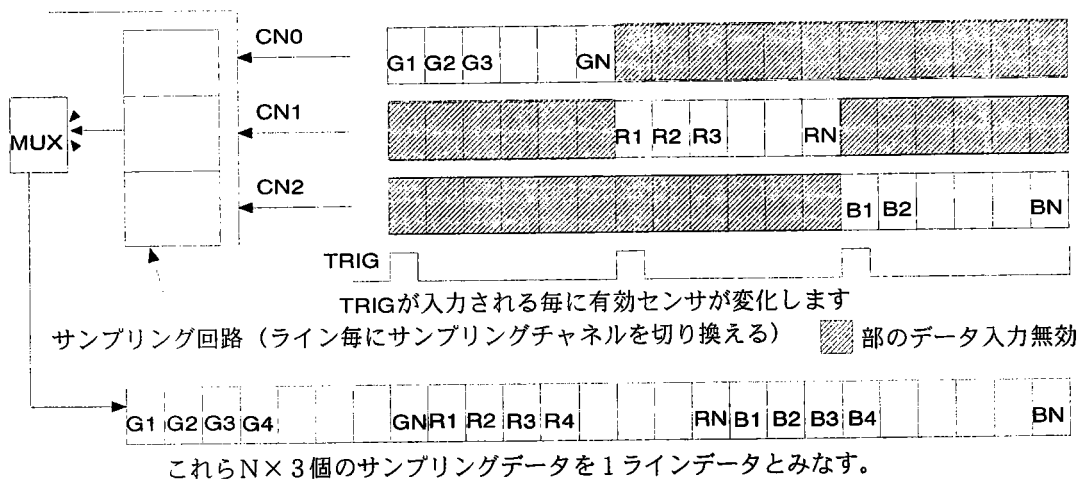
[C I Sチャンネル切り換えモード時カラーセンサ出力]

(例 サンプリング順序設定 G→R→B のとき)

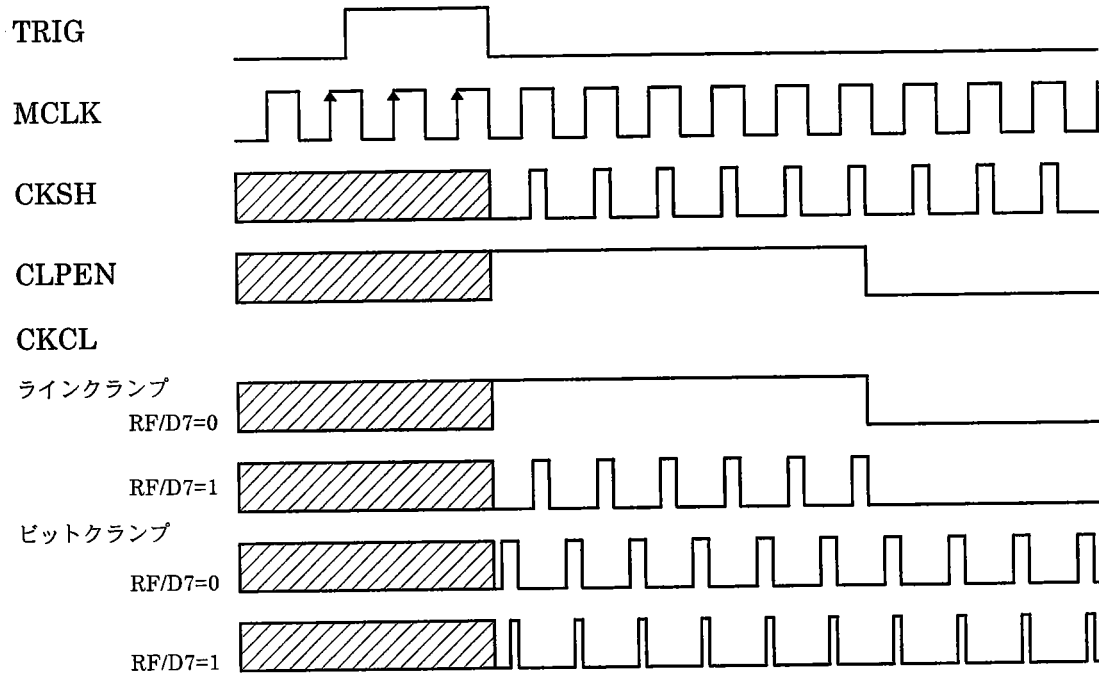


[3chセンサカラー処理]

(例 サンプリング順序設定が CN0→CN1→CN2 のとき)



□ サンプル/ホールド、クランプタイミング



- (1) MCLKはデータレートと同じ周波数です。  
1chモード時は最大10MHz、3chモード時は最大3.3MHzとなります。
- (2) 3chモード時は3ch同じタイミングでサンプル/ホールド、クランプがなされます。
- (3) ビットクランプ時 (RF/D6=0)、RF/D7ビットで、クランプパルス幅を設定できます。

|          |         |         |
|----------|---------|---------|
|          | RF/D7=0 | RF/D7=1 |
| ビットクランプ時 | 1/4MCLK | 1/8MCLK |

- (4) ラインクランプ時 (RF/D6=1)、RF/D7ビットで、クランプパルスの形状を設定できます。

|          |         |              |
|----------|---------|--------------|
|          | RF/D7=0 | RF/D7=1      |
| ラインクランプ時 | CLPEN   | CLPEN ∩ CKSH |



## オフセットキャリブレーション

### ■オフセットキャリブレーションモード設定

本LSIは、黒検出／補正回路、白補正回路、ADC回路のそれぞれに若干のオフセットが存在します。各部のオフセットをキャンセルするためのモードが2つあります。

この2つのモードを黒検出、白検出等を実行する前に連続して行って下さい。

#### □オフセットキャリブレーションモード1

センサ入力回路から白補正回路までの、内部オフセットをキャンセルためのモードです。このモードは、2ラインで実行されます。

このモードの時、各チャンネル（CN0，CN1，CN2）の入力は無関係です。

##### (1) 1ライン目の動作

各チャンネルに実際に使用する値にできるだけ近い値のゲイン（R15，R16，R17）を設定し、このモードを実行します。

キャリブレーション用の初期データを検出し、内部レジスタに格納します。

##### (2) 2ライン目の動作

1倍ゲインと最大ゲインとのコード差が最小になるように、初期キャリブレーション値を更新します。この動作後、ビジーフラグは、'L'になります。

このシーケンスを、それぞれのチャンネル(色)について行って下さい。チャンネル(色)の指定は、チャンネルイネーブルレジスタ（R12/D2～D0）で行って下さい(計3回)。ただし、モノクロモード（R12/D7=1）の時はチャンネルの指定は必要ありません。実行も1回でかまいません。

キャリブレーションできるオフセットは、黒補正レンジに依存します。すなわち、レンジが小さければ、キャリブレーション後も残るオフセットは小さくなります。

(注) このモードの時、センサ長設定レジスタ（R0C/R0D）は、128以上に設定して下さい。

#### □オフセットキャリブレーションモード2

このモードにおいて、10ビットADCの内部オフセットをキャンセルします。このモードは、2ラインで実行されます。

このモードの時、各チャンネル（CN0，CN1，CN2）の入力は無関係です。

本モードはカラー、モノクロに関わらず1回のみ実行してくれればかまいません。

##### (1) 1ライン目の動作

それぞれのチャンネルにおいて、オフセットキャリブレーションモード1で使用したものと同一のゲインを設定し、このモードを実行して下さい。キャリブレーションの初期データを検出し、内部レジスタに格納します。

##### (2) 2ライン目の動作

10ビットADCのコードに0が現れるまで、初期キャリブレーションデータの値が更新されます。

キャリブレーションできるオフセットは、黒補正レンジに依存します。

(注) このモードの時、センサ長設定レジスタ (R0C/R0D) は、128以上に設定して下さい。

(注) オフセットキャリブレーションモード1を実行する直前に、以下のようにダミー画素数設定レジスタ (RE) を設定して下さい。

(1) 1chモード (R12/D6=0) 時

- ・センサクロックモード：モード1, 2 (RF/D3=0) 設定時  
ダミー画素数設定レジスタ (RE) の設定値を奇数として下さい。(例 1, 3・・・)
- ・センサクロックモード：モード3, 4 (RF/D3=1) 設定時  
ダミー画素数設定レジスタ (RE) の設定値を偶数として下さい。(例 0, 2・・・)

(2) 3chモード時 (R12/D6=0)

- ・センサクロックモード：モード1, 2 (RF/D3=0) 設定時  
ダミー画素数設定レジスタ (RE) の設定値を偶数として下さい。(例 0, 2・・・)
- ・センサクロックモード：モード3, 4 (RF/D3=1) 設定時  
ダミー画素数設定レジスタ (RE) の設定値を奇数として下さい。(例 1, 3・・・)

モード終了後、元のダミー数に設定し直して下さい。

## 黒補正值検出

### ■黒補正值検出モード設定

#### □3セットデータ／1セットデータ

##### (1) 3セットデータモード

- ・ 3チャンネルセンサの各チャンネル、もしくは1チャンネルカラーセンサの各色に対して、各々独立の黒補正值を検出したい場合に使用します。後述の黒オフセットキャンセルモード時は、3セットの内部オフセットレジスタペアが使用できます。全画素補正モード時は、3セットの外部メモリバンクが使用できます。

##### (2) 1セットデータモード

- ・ 3チャンネルセンサの各チャンネル、もしくは1チャンネルカラーセンサの各色に対して、共通の黒補正值を検出したい場合に使用します。後述の黒オフセットキャンセルモード時は、オフセットレジスタ0（レジスタR04、R05）の1セットの内部レジスタペアが使用できます。全画素補正モード時は、BA[2..0]=0 1 1 Bのバンクが割り当てられます。
- ・ 1チャンネルカラーセンサ（モノクロ処理）、1チャンネルモノクロセンサ使用時は、1セットデータモードを使用して下さい。

#### □黒オフセットキャンセル／全画素

##### (1) 黒オフセットキャンセルモード

- ・ 黒補正值検出用8ビットADCを動作させ、基準黒信号をスキャンし、黒基準参照画素設定レジスタによって設定された連続する2つの画素に対する出力結果のみを検出し、各々、偶数画素用黒補正值、奇数画素用黒補正值として内部レジスタに格納します。
- ・ 3セットデータモードか1セットデータモードかをレジスタで指定可能です。  
1セットデータモード時は同一ラインを2回、3セットデータモード時は各チャンネル／色毎に同一ラインを2回ずつスキャンすることで行います。  
1セットデータ使用時、1回目のスキャンで偶数画素用データとして（黒参照画素設定レジスタ）×8画素目、2回目のスキャンで奇数画素用データとして（黒参照画素設定レジスタ）×8+1画素目、のデータを検出し、レジスタに格納します。

- ・ 3セットデータモード時、1回目から3回目のスキャンで各チャンネル/色の偶数画素用データとして（黒参照画素設定レジスタ）×8画素目、4回目から6回目のスキャンで、各チャンネル/色の奇数用画素データとして（黒参照画素設定レジスタ）×8+1画素目のデータを検出し、レジスタに各々格納します。
- ・ 動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を防ぐため、所定の時間ウエイトすることを推奨します。

## (2) 全画素モード

- ・ 黒補正值検出用8ビットADCを動作させ、基準黒信号をスキャンし、そのADC出力結果を全画素分外部SRAMに格納します。
- ・ 3セットデータモードか1セットデータモードかをレジスタで指定可能です。
  - 1回目のスキャンでは、1、17、…、 $16n+1$ 画素目のデータを検出します。
  - m回目のスキャンでは、 $16n+m$ 画素目のデータを検出し、定められた外部メモリのバンクに格納します。
  - 3セットデータモード時は、上記動作を3回繰り返し、各々定められた外部メモリの3バンクに格納します。
- ・ 動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を防ぐため、所定の時間ウエイトすることを推奨します。

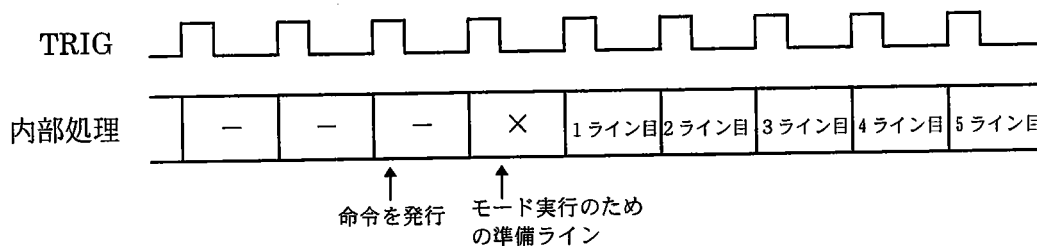
## ■各センサ、各モードでの手続き

以下に各センサ、各モードでの処理手続きを示します。

### □3chカラーセンサ（カラー処理）

チャンネル毎に補正值を検出します。

- (1) 処理するチャンネルをチャンネルイネーブルレジスタで決定します。3chのうち、どれか1chだけをイネーブルとして下さい。
- (2) 全画素モード時は16ライン、オフセットキャンセルモード時は2ライン、スキャンした後、自動的に動作を終了します。対応する内部レジスタ、もしくは、外部メモリに補正值が格納されます。



- (3) 1セットモードで使用する場合は、ここで処理は完了です。
- (4) 3セットモードの場合は、(1)、(2)の処理を各チャンネルで繰り返します。
- (5) 動作の実行完了には17ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計18ライン分のウエイトを入れることを推奨します。  
(オフセットキャンセルモード時は、動作の実行完了に3ライン分の時間を必要とするので、合計4ライン分のウエイトを入れて下さい。)
- (6) PGAのゲインを変更した場合は、再度黒補正值の検出を行って下さい。

#### □3chカラーセンサ (モノクロ処理)

あらかじめカラーセンサとして補正值の検出が済んでおり、処理レートもカラー処理と同じでよい場合は、特にやり直す必要はありません。

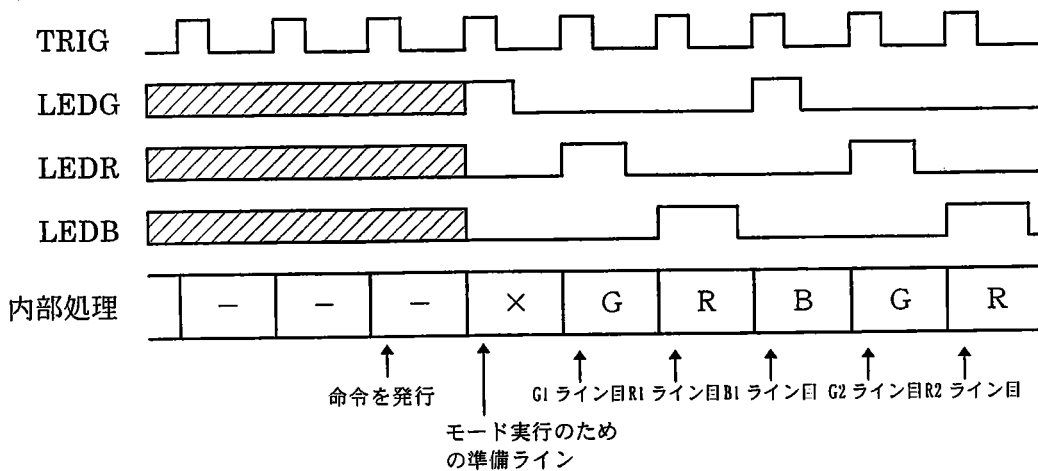
処理レートを高速にする場合は、モノクロセンサとして扱って下さい。詳細は1chカラーセンサ (モノクロ処理) を参照して下さい。

□ 1 c h カラーセンサ (カラー処理)

カラー毎に補正值をとる場合 (例: 黒原稿がある場合) は、3 セットデータモードにして、本モードを実行して下さい。

- (1) 黒補正值検出は、サンプリング順序設定レジスタに設定された順序で G R B 各色を順次処理します。

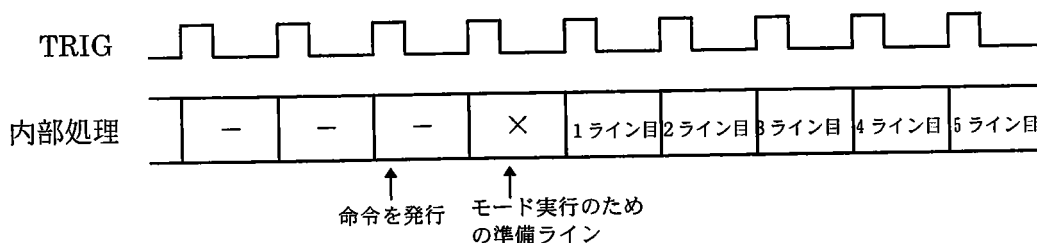
(例) サンプリング順序 G→R→B の場合



- (2) 全画素モード時は 16 × 3 ライン、オフセットキャンセルモード時は 2 × 3 ラインをキャンセルした後、自動的に動作を終了します。
- (3) 動作の実行完了には 16 × 3 + 1 ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に 1 ライン分の時間を必要とします。動作の終了は R 0 / D 7 レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計 50 ライン分のウェイトを入れることを推奨します。  
 (オフセットキャンセルモード時は、動作の実行完了に 6 + 1 ライン分の時間を必要とするので、合計 8 ライン分のウェイトを入れて下さい。)
- (4) P G A のゲインを変更した場合は、再度黒補正值の検出を行って下さい。

□ 1 c h カラーセンサ (モノクロ処理)

- (1) 処理するチャンネルは、自動的にCN0に設定されます。
- (2) 全画素モード時は16ライン、オフセットキャンセルモードは2ラインスキャンした後、自動的に動作を終了します。



- (3) 黒オフセットキャンセルモード使用時は、レジスタR4、R5に補正データが格納されます。
- (4) 動作の実行完了には17ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計18ライン分のウエイトを入れることを推奨します。  
(オフセットキャンセルモード時は、動作の実行完了に3ライン分の時間を必要とするので、合計4ライン分のウエイトを入れて下さい。)
- (5) PGAのゲインを変更した場合は、再度黒補正值の検出を行って下さい。

□モノクロセンサ

上記、1 c h カラーセンサ (モノクロ処理) と同じ手順となります。

#### □黒補正回路以降のオフセット調整

黒検出／補正回路には、若干のオフセットが含まれています。このオフセットをキャンセルするために、黒補正值オフセット調整レジスタを3セット分持っています。オフセットキャリブレーションモード1を実行することで、自動的に黒補正值オフセット調整値が検出されます。

- (1) オフセットキャリブレーションモード1を実行すると、自動的に黒補正值オフセット調整値が検出され、レジスタに格納されます。
- (2) 黒補正值オフセット調整レジスタには-128～127までの値が格納されます。この値に応じて黒補正を行う電圧を一律に加減算します。
- (3) 本機能は、黒オフセットキャンセル／全画素、1セットデータ／3セットデータのモードに関わらず常に有効です。

#### □平均化回路

黒補正検出の際に、自動的に(N+1)回検出サイクルを繰り返し、その平均値を補正データとすることができます。平均化により、ノイズによる補正值の検出誤差を低減できます。

- (1) 平均化回数はR24レジスタにて設定できます。  
平均回数にNを設定したとき、自動的に(N+1)回検出サイクルを実行し、その平均値を検出結果として外部SRAMに格納します。  
平均回数に0を設定したときは、平均化処理は行われません。
- (2) 平均化により補正值のノイズ低減が可能です。平均化演算の精度は、データパターンによりますが、概ね2LSB(max)となります。



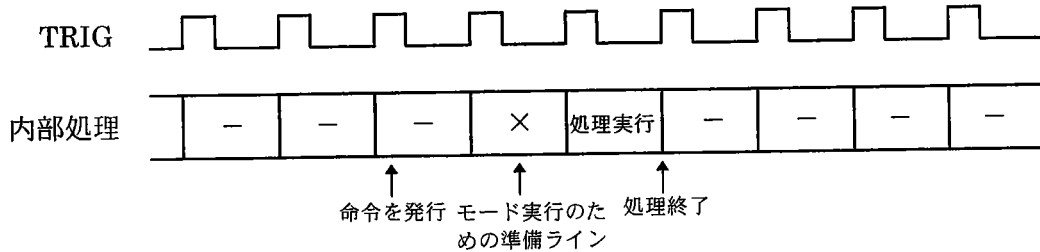
## ゲインコントロール

### ■ 3chセンサゲインコントロール

3chカラーセンサを使用する場合、センサーから得られる各チャンネル毎の信号レベルを同程度とするために、PGAを調整する必要があります。シャッター機能付きCCDの場合、LED点灯時間制御端子を利用する事も可能です。信号レベルの測定用に10ビットADCの出力コードをモニタするためのしきい値レジスタ、等面コンパレータとカウンタを持ちます（それぞれ8ビット）。しきい値レジスタの内容とADC出力コードを比較し、しきい値を越えた画素数をカウンタにて積算します。カウンタの内容を読み出し、各チャンネル毎に同程度の値になるまでゲイン設定レジスタ、もしくは、LED点灯時間設定レジスタの内容を順次更新していくことで、ゲイン調整を行います。

本調整は1チャンネル毎に、順次行っていきます。

- (1) 本モードでは自動的にピークホールド値はFFh、黒／白基準電圧設定レジスタはそれぞれ00hとなり、10ビットADCはフルスケールとなります。
- (2) ゲイン調整を行うチャンネルをチャンネルイネーブルレジスタで設定します。3chの内、どれか1chだけをイネーブルとして下さい。
- (3) 入力信号は、レジスタで設定したチャンネルの黒補正済み信号となります。白補正は自動的にディスエーブルになります。
- (4) 画信号用10ビットADCを動作させ、しきい値を越えた画素数をカウンタで積算します。1ラインスキャン後、自動的に動作を停止します。動作の実行完了には1ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。



- (5) カウンタ値を外部に読み出し、その結果に応じてゲイン設定レジスタ、もしくは、LED点灯時間設定レジスタを変更します。これを、カウンタの内容が適当な値となるまでスキャンを繰り返します。

- (6) 同様の動作を各チャンネル毎に繰り返します。
- (7) PGAのゲインを変更した場合は、再度オフセットキャリブレーションモード、黒補正值検出モードを実行して下さい。

(注) 3chカラーセンサをモノクロモードで使用する場合、1chカラーセンサ、モノクロセンサを使用する場合は、使用するチャンネルに対応したゲイン設定レジスタは本LSIがカバーする入力レンジ内に収まるよう、適当な値に設定して下さい。

### ■ 1chセンサゲインコントロール

1chカラーセンサーを使用する場合は、

- ・各色毎の信号レベルを同程度とする必要がある
- ・信号振幅レベルを、ある一定レベルとする必要がある

といった点から、LEDの点灯時間、もしくは、PGAのゲインを調整する必要があります。信号レベルの測定用に10ビットADCの出力コードをモニタするためのしきい値レジスタ、等面コンパレータとカウンタを持ちます（それぞれ8ビット）。しきい値レジスタの内容とADC出力コードを比較し、しきい値を越えた画素数をカウンタにて積算します。カウンタの内容を読み出し、各色毎に同程度の値になるまでLED点灯時間設定レジスタ、もしくは、ゲイン設定レジスタの内容を順次更新していくことで、ゲイン調整を行います。

(1) 本モードは、

- ・LED点灯サイクル
- ・検出サイクル

の2つのサイクルからなり、2ライン分の処理時間が必要です。

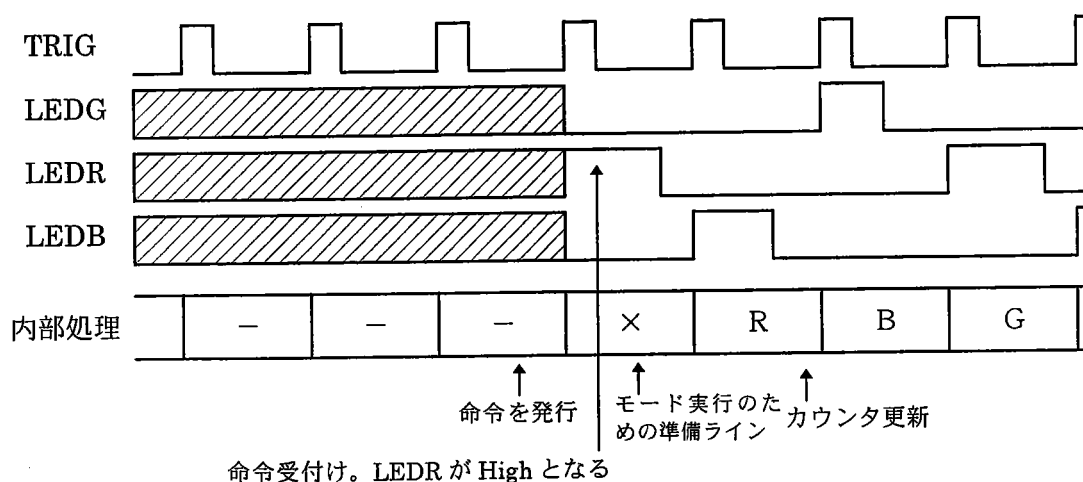
(命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。)

- (2) 本モードでは自動的にピークホールド値はFFh、黒/白基準電圧設定レジスタそれぞれ00hとなり、10ビットADCはフルスケールとなります。
- (3) ゲイン調整を行う色をチャンネルイネーブルレジスタで設定します。3色の内、どれか1色だけをイネーブルとして下さい。
- (4) LED点灯時間設定レジスタ、及び、PGAゲイン設定レジスタに適当な値を書き込

み、本モードを実行します。TRIG信号と同期をとって処理が開始されます。

- (5) 入力信号は、レジスタで設定した色の黒補正済み信号となります。白補正は自動的にディセーブルとなります。
- (6) TRIGの1周期目で、チャンネルイネーブルレジスタで設定されている色のLED制御端子がHighレベルとなります。他の色のLED制御端子は、内部カウンタによらず、Lowレベルとなります。
- (7) TRIGの2周期目で、画信号用10ビットADCを動作させ、しきい値を越えた画素数をカウンタで積算します。1ラインスキャンした後、自動的に動作を停止します。

(例) サンプル順序設定 G→R→B、 Rのゲインを調整する時



- (8) カウンタ値を外部に読み出し、その結果に応じてLED点灯時間設定レジスタ、もしくは、PGAゲイン設定レジスタの値を変更します。これを、カウンタの内容が適当な値となるまでスキャンを繰り返します。
- (9) 同様の動作を各色毎に繰り返します。
- (10) PGAのゲインを変更した場合は、再度オフセットキャリブレーションモード、黒補正值検出モードを実行して下さい。

(注1) LEDの点灯時間によってゲインを調整する場合は、全てのゲイン設定レジスタの値は、本LSIがカバーする入力レンジ内に収まるよう適当な値に設定して下さい。RGBそれぞれのゲイン設定レジスタに同一の値を書き込んで下さい。

- (注2) PGAゲインによってゲインを調整する場合は、すべてのLED点灯時間設定レジスタの値は、本LSIがカバーする入力レンジ内に収まるよう適当な値に設定して下さい。RGBそれぞれのLED点灯時間設定レジスタには同一の値を書き込んで下さい。
- (注3) 1chカラーセンサをモノクロモードで使用する場合は、カラー処理用調整データを各々1/3にしてLED点灯時間設定レジスタに書き直すことを行います。詳細は使用されるセンサの仕様書を参照して下さい。

|                   |
|-------------------|
| ピーク検出、および、ABC/AGC |
|-------------------|

### ■白補正值検出前のピーク検出

白補正值検出前に、信号振幅の最大値とADCのフルスケールを一致させる目的で、ピーク検出を行います。本モードは、黒補正值検出、および、ゲインコントロール、LED点灯時間制御が完了し、各色毎の信号レベルが同程度となった後に実施します。本モードは、ピーク検出とピーク固定の2つのサイクルからなります。

- (1) 本モードでは自動的にピークホールド値はFFh、黒/白基準電圧設定レジスタはそれぞれ00hとなり、10ビットADCはフルスケールとなります。
- (2) ピーク検出サイクル
  - ・画信号用10ビットADCで、1ライン分の白基準信号をスキャンし、出力結果の最大値（PPK）を検出します。LSI内部では、あらかじめ格納済みの黒補正值を使って、アナログ黒補正がなされます。

(全画素モード)

(黒補正済み基準白信号)  $i =$

(基準白信号)  $i - \{A(\text{黒補正值}) i \pm A(\text{オフセット調整値})\}$

(黒オフセットキャンセルモード)

(黒補正済み基準白信号)  $2i =$

(基準白信号)  $2i - \{A(\text{偶数画素オフセット}) \pm A(\text{オフセット調整値})\}$

(黒補正済み基準白信号)  $2i+1 =$

(基準白信号)  $2i+1 - \{A(\text{奇数画素オフセット}) \pm A(\text{オフセット調整値})\}$

A(D)はDをDA変換した後のアナログ値。

さらに、PGA回路にてゲイン調整がなされた信号に対してピーク値が検出されます。

### (3) ピーク固定サイクル

- ・LSI内部で自動的に、ピーク検出カウンタの初期値として、PPK近傍の値が設定されます。その上で、再度1ライン分の白基準信号をスキャンし、ピーク検出回路を動作させます。

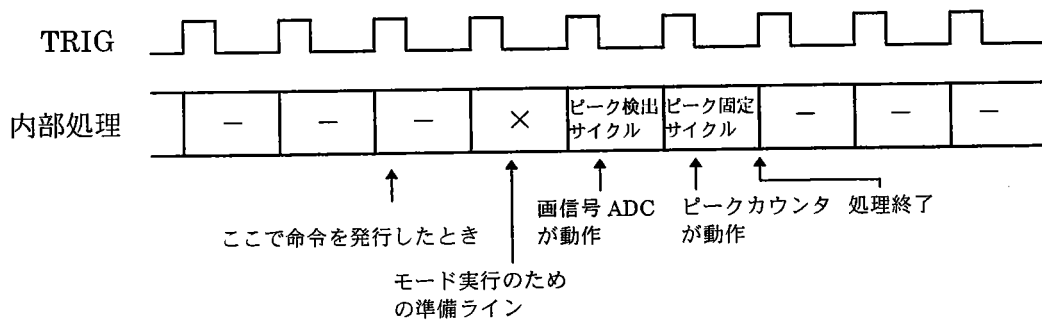
いずれのサイクルでも、検出幅は、レジスタ設定に関係なくセンサー有効長全長となります。追従分解能はADCの1LSBとなります。

- (4) 合計 2 ライン分のデータをスキャンした後、自動的に動作を終了します。  
動作終了後、ピーク検出カウンタの値をピークホールドレジスタにロードします。
- (5) 動作の終了は R 0 / D 7 レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を防ぐため、所定の時間ウエイトすることを推奨します。

使用するセンサにより、ピーク検出する基準信号は次のようになります。

□ 3 c h カラーセンサ (カラー処理)

- (1) 3 c h の入力信号がマルチプレクサを通して 1 本となった信号に対して、そのピーク値を検出します。各色の信号レベルはあらかじめ P G A を調整することで同程度になっている必要があります。



- (2) 動作の実行完了にはピーク検出サイクル+ピーク固定サイクル+1 の 3 ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に 1 ライン分の時間を必要とします。動作の終了は R 0 / D 7 レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計 4 ライン分のウエイトを入れることを推奨します。

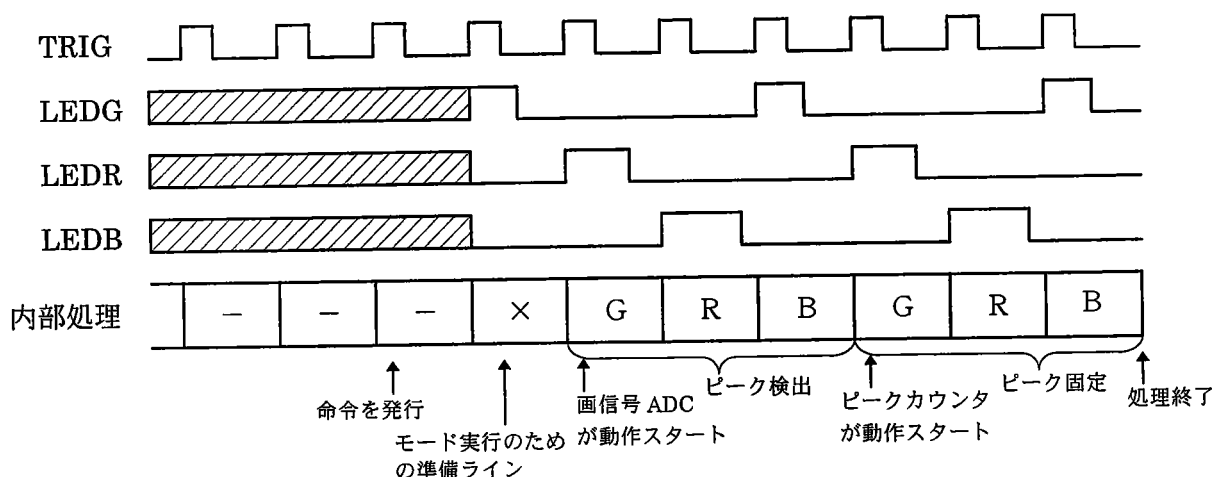
□ 3 c h カラーセンサ (モノクロ処理)

3 c h カラーセンサ (カラー処理) と同様の扱いとなります。

処理レートを高速にする場合は、モノクロセンサとして扱って下さい。詳細は 1 c h カラーセンサ (モノクロ処理) を参照して下さい。

□ 1 c h カラーセンサ (カラー処理)

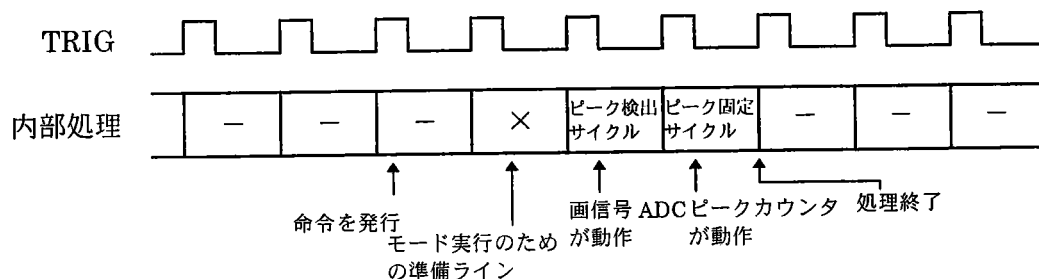
- (1) G R B 3 ライン分のデータを1本の信号とみなし、そのピーク値を検出します。各色の信号レベルはあらかじめゲイン制御、もしくはLED点灯時間を調整することで、同程度になっている必要があります。



- (2) 動作の実行完了には6 + 1 ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計8ライン分のウエイトを入れることを推奨します。

□ 1 c h カラーセンサ (モノクロ処理)

- (1) LEDG、LEDR、LEDBの点灯時間調整後のセンサ出力のピーク値を検出します。



- (2) 動作の実行完了にはピーク検出サイクル+ピーク固定サイクルの2ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出す

ことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計3ライン分のウエイトを入れることを推奨します。

モノクロセンサ

上記、1chカラーセンサ（モノクロ処理）と同じ手順となります。



## ■ABC、AGC機能

原稿読み取り中の下地白濃度の変動に画信号ADCのフルスケールをライン単位で追従させ、下地濃度によらない鮮明な読み取りを目的とします。

ABC機能には、LSI内部で設定パラメータに従って、自動的にコントロールされるABCモード（文字原稿）とAGCモード（写真原稿）があります。

- (1) ABC/AGCモードのイネーブル/ディスエーブル選択は、レジスタR1、D3で設定します。
- (2) ABC/AGCモードの追従速度の設定はレジスタR1、D2～0で設定します。

| D2 | D1 | D0 | モード/追従速度      |
|----|----|----|---------------|
| 0  | 0  | 0  | ABCモード 1/4LSB |
| 0  | 0  | 1  | ABCモード 1/2LSB |
| 0  | 1  | 0  | ABCモード 1LSB   |
| 0  | 1  | 1  | ABCモード 2LSB   |
| 1  | *  | *  | AGCモード        |

- (3) ラインの先頭で、ピーク検出カウンタの値は00hにリセットされます。その後、R2、R3レジスタで設定されている区間の画素に対してピーク検出を行い、現ラインのピーク値（PEAK）を検出します。
- (4) 次ラインのピークホールド値（ $PHD_{k+1}$ ）は次の式で算出されます。

ABCモード時

$$PEAK \geq PHD_k \rightarrow PHD_{k+1} = PEAK$$

$$PEAK < PHD_k \rightarrow PHD_{k+1} = PHD_k - (\text{追従速度})$$

AGCモード時

$$PEAK \geq PHD_k \rightarrow PHD_{k+1} = PEAK$$

$$PEAK < PHD_k \rightarrow PHD_{k+1} = PHD_k$$

チャンネルイネーブルレジスタでディスエーブルとなっているチャンネル/色については、ピーク追従は行われません。

- (5) ABC/AGCモード時のピーク追従範囲を、R1E、R1Fレジスタで設定できます。

R1E : 黒側追従リミット値

R1F : 白側追従リミット値

ピークホールド値 (PHD<sub>k</sub>) は次の式を満たすように調節されます。

$$(R1E) \leq PHD_k \leq (R1F)$$

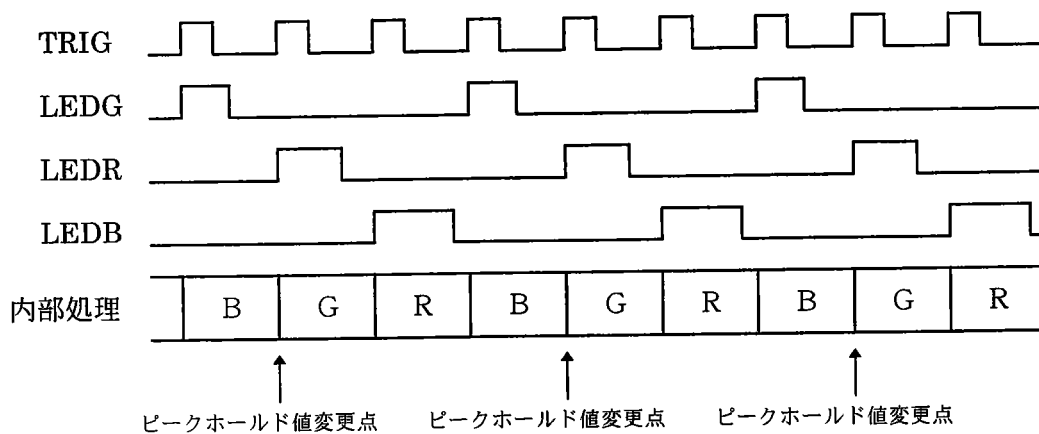
読み取り開始時のピークホールド値も、この式を満たしている必要があります。

- (6) 3chカラーセンサ (カラー処理/モノクロ処理)、1chカラーセンサ (モノクロ処理)、モノクロセンサ使用時は、TRIG信号が入力される毎にピークホールド値が更新されます。

- (7) 1chカラーセンサ (カラー処理) 使用時は3ライン分のデータを1ラインデータとみなし、1ラインデータを全て取り込んだ時点でピークホールド値が更新されます。

(例) 1chカラーセンサー使用時

サンプリング順序設定 G→R→B



## 白補正值検出

### ■白補正值検出

センサー出力の光学系歪みや、ビットばらつきを補正することを目的として、白補正值を検出します。

- (1) 本モードでは自動的に、白補正值検出用9ビットADCの黒側基準はピークホールド電圧の40% (typ) となり、ADCのフルスケールは0.4 V<sub>PEAK</sub>~V<sub>PEAK</sub>となります。V<sub>PEAK</sub>はピークホールドレジスタに格納されたデータに対応する電圧で、通常ピーク検出モードによって格納される値に対応する電圧となります。
- (2) 白補正值検出回路には、あらかじめ格納済みの黒補正值によってアナログ黒補正がなされ、PGAにてゲイン調整された信号が入力されます。
- (3) 白補正值検出用9ビットADCを動作させ基準白信号をスキャンし、その出力を逐次、外部SRAMに格納します。
- (4) 白補正值検出は同一ラインを16回スキャンすることで行います。  
1回目のスキャンでは、1、17、…、16n+1画素目のデータを検出します。  
m回目のスキャンでは、16n+m画素目のデータを検出し、定められた外部メモリのバンクに格納します。
- (5) 動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を防ぐため、所定の時間ウエイトすることを推奨します。

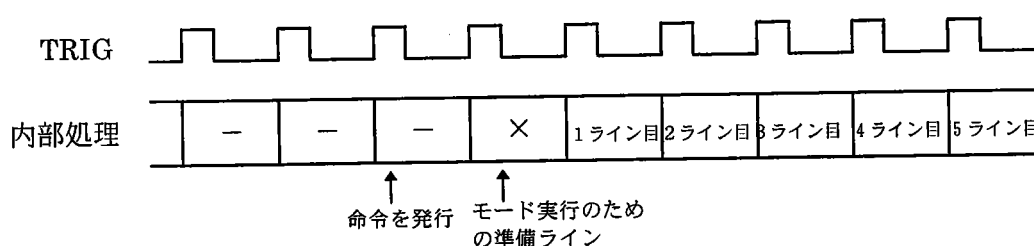
■各センサ、各モードでの手続き

以下に各センサ、各モードでの処理手続きを示します。

□3 c hカラーセンサ（カラー処理）

チャンネル毎に補正値を検出します。

- (1) 処理するチャンネルをチャンネルイネーブルレジスタで決定します。  
3 c hのうち、どれか1 c hだけをイネーブルとして下さい。



- (2) 16 + 1 ラインスキャンした後、自動的に動作を終了します。  
対応する外部メモリバンクに補正値が格納されます。
- (3) この処理を各チャンネルで繰り返します。
- (4) 動作の実行完了には17ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計18ライン分のウエイトを入れることを推奨します。

□3 c hカラーセンサ（モノクロ処理）

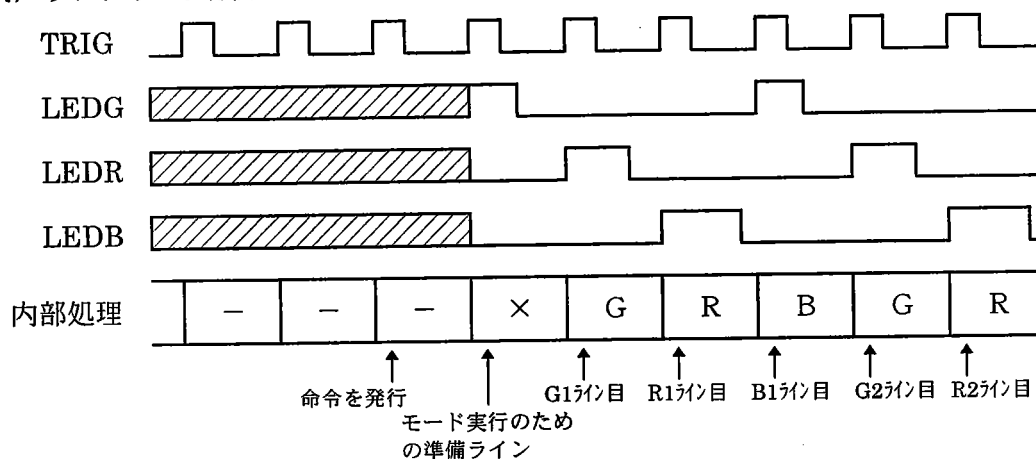
あらかじめカラーセンサとして補正値の検出が済んでおり、処理レートもカラー処理と同じで良い場合は、特にやり直す必要はありません。

処理レートを高速にする場合は、モノクロセンサとして扱って下さい。詳細は1 c hカラーセンサ（モノクロ処理）を参照して下さい。

□ 1 c h カラーセンサ (カラー処理)

(1) 白補正值検出は、サンプリング順序設定レジスタに設定された順序で G R B 各色を順次処理します。

(例) サンプリング順序 G→R→B のとき



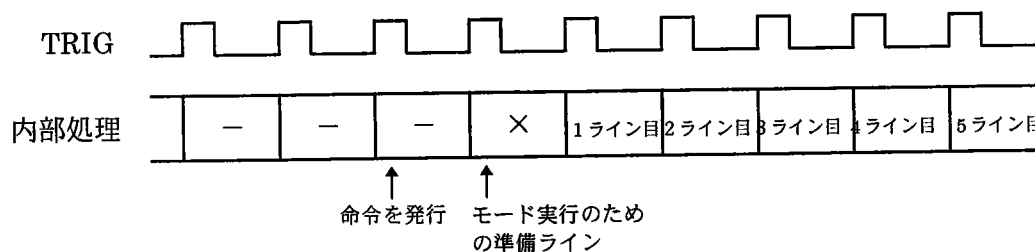
(2) 16×3ラインスキャンした後、自動的に動作を終了します。

対応する3バンクの外部メモリに補正值が格納されます。

(3) 動作の実行完了には16×3+1ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計50ライン分のウエイトを入れることを推奨します。

## □ 1 c h カラーセンサ (モノクロ処理)

(1) 処理するチャンネルは自動的にCN0となります。



(2) 16 + 1 ラインスキャンした後、自動的に動作を終了します。

定められた外部メモリバンクに補正値が格納されます。

(3) 動作の実行完了には17ライン分の時間を必要としますが、その他にも命令の発行と動作実行開始が非同期であることから、余分に1ライン分の時間を必要とします。動作の終了はR0/D7レジスタを読み出すことで確認できますが、デジタル部がアクセスされることによるノイズの混入を避けるためにも、合計18ライン分のウェイトを入れることを推奨します。

## □モノクロセンサ

上記、1 c h カラーセンサ (モノクロ処理) と同じ手順となります。

## □平均化回路

白補正值検出の際に、自動的に (N + 1) 回検出サイクルを繰り返し、その平均値を補正データとすることができます。平均化により、ノイズによる補正值の検出誤差を低減できます。

(1) 平均化回数はR 2 4レジスタにて設定できます。

平均回数にNを設定したとき、自動的に (N + 1) 回検出サイクルを実行し、その平均値を検出結果として外部SRAMに格納します。

平均回数に0を設定したときは、平均化処理は行われません。

(2) 平均化により補正值のノイズ低減が可能です。平均化演算の精度は、データパターンによりますが、概ね2LSB (max) となります。

|                |
|----------------|
| チャンネルイネーブルレジスタ |
|----------------|

各チャンネルのイネーブル/ディスエーブルを制御するために、3ビットのコントロールレジスタを持ちます。

|        |            |            |            |
|--------|------------|------------|------------|
| 3 c h時 | CN2 enable | CN1 enable | CN0 enable |
| 1 c h時 | B enable   | R enable   | G enable   |

0 : ディスエーブル

1 : イネーブル

各センサを使用する場合の本レジスタの設定方法を以下に示します。

□ 3 c hカラーセンサ (カラー処理)

- (1) オフセットキャリブレーションモード1は、各チャンネル毎に行う必要があります。本レジスタで処理するチャンネルを順次設定します。本モード実行時は必ず1チャンネルのみをイネーブルとして下さい。
- (2) オフセットキャリブレーションモード2実行時は、本レジスタの設定に関わらず全てのチャンネルがイネーブルとなります。
- (3) 黒補正值検出は1チャンネルずつ行う必要があります。本レジスタで処理するチャンネルを順次設定します。設定されたチャンネルのみ、補正值の検出、シェーディングメモリへの書き込みが行われます。本モード実行時は必ず1チャンネルのみをイネーブルとして下さい。
- (4) ゲイン調整は1チャンネルずつ行う必要があります。本レジスタで処理するチャンネルを順次設定します。設定されたチャンネル毎に、カウンタ出力をモニタしながらゲイン調整を行います。本モード実行時は必ず1チャンネルのみをイネーブルとして下さい。
- (5) ピーク検出時は、本レジスタの設定に関わらず全てのチャンネルがイネーブルとなります。



- (6) 白補正值検出は1チャンネルずつ行う必要があります。本レジスタで処理するチャンネルを順次設定します。設定されたチャンネルのみ、補正值の検出、シェーディングメモリへの書き込みが行われます。本モード実行時は必ず1チャンネルのみをイネーブルとして下さい。
- (7) 読み取り時は、全てのチャンネルをイネーブルとして下さい。

#### □ 3 c h カラーセンサ (モノクロ処理)

- (1) 3 c h カラーセンサをモノクロモードとして利用する場合、任意の1チャンネルのみをイネーブルとすることで、モノクロ出力となります。この場合、処理速度は最大 3.3 MHz となります。補正データはカラー処理時に検出したものをそのまま使用します。
- (2) クロックを最大 10 MHz まで高速にして、モノクロセンサと同じイメージで使用することも可能です。この場合、補正值データは 3 c h カラーセンサ (カラー処理) で検出したものをそのまま使用するのではなく、新たに取得して下さい。  
1 c h カラーセンサ (モノクロ処理) と同様の扱いとなります。

#### □ 1 c h カラーセンサ (カラー処理)

- (1) オフセットキャリブレーションモード 1 は、各色毎に行う必要があります。本レジスタで処理する色を順次設定します。本モード実行時は必ず1チャンネルのみをイネーブルとして下さい。
- (2) オフセットキャリブレーションモード 2 実行時は、本レジスタの設定に関わらず全ての色がイネーブルとなります。
- (3) 黒補正值検出時は、本レジスタの設定に関わらず、全ての色がイネーブルとなります。
- (4) LED点灯時間、もしくはPGAのゲイン設定は、LEDG、LEDR、LEDBに対応した各色毎に調整を行う必要があります。処理する色を順次設定します。1チャンネルセンサゲイン調整モード実行時は、本レジスタで設定された色毎に、カウンタ出力

をモニタしながらLED点灯時間、もしくは、PGAのゲインの調整を行います。本モード実行時は必ず1色のみをイネーブルとして下さい。

- (5) ピーク検出時は、本レジスタの設定に関わらず、全ての色がイネーブルとなります。
- (6) 白補正值検出時は、本レジスタの設定に関わらず、全ての色がイネーブルとなります。
- (7) 読み取り時は、全ての色をイネーブルとして下さい。

(注) 1chカラーセンサ（モノクロ処理）、モノクロセンサ使用時は、本レジスタは設定不要です。

原稿読みとりモード

(1) 黒補正は、入力信号に対し、以下のアナログ演算を行います。

(全画素モード)

(黒補正済み基準白信号)  $i =$

$$(\text{基準白信号}) i - \{A (\text{黒補正值}) i \pm A (\text{オフセット調整値})\}$$

(黒オフセットキャンセルモード)

(黒補正済み基準白信号)  $2i =$

$$(\text{基準白信号}) 2i - \{A (\text{偶数画素オフセット}) \pm A (\text{オフセット調整値})\}$$

(黒補正済み基準白信号)  $2i+1 =$

$$(\text{基準白信号}) 2i+1 - \{A (\text{奇数画素オフセット}) \pm A (\text{オフセット調整値})\}$$

A (D) はDをDA変換した後のアナログ値。

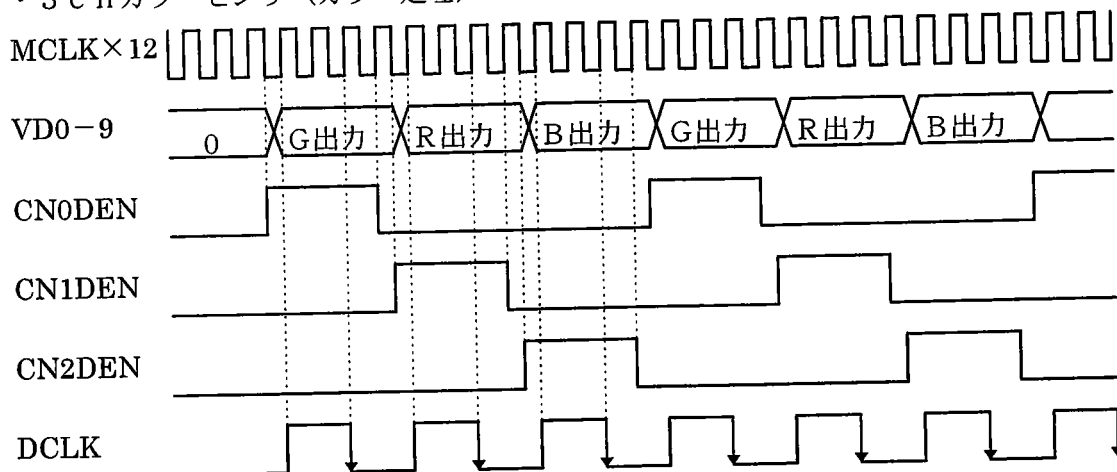
(2) 白補正は、黒補正済み画信号に対し、以下のアナログ除算を行います。

(黒白補正済み画信号)  $i =$

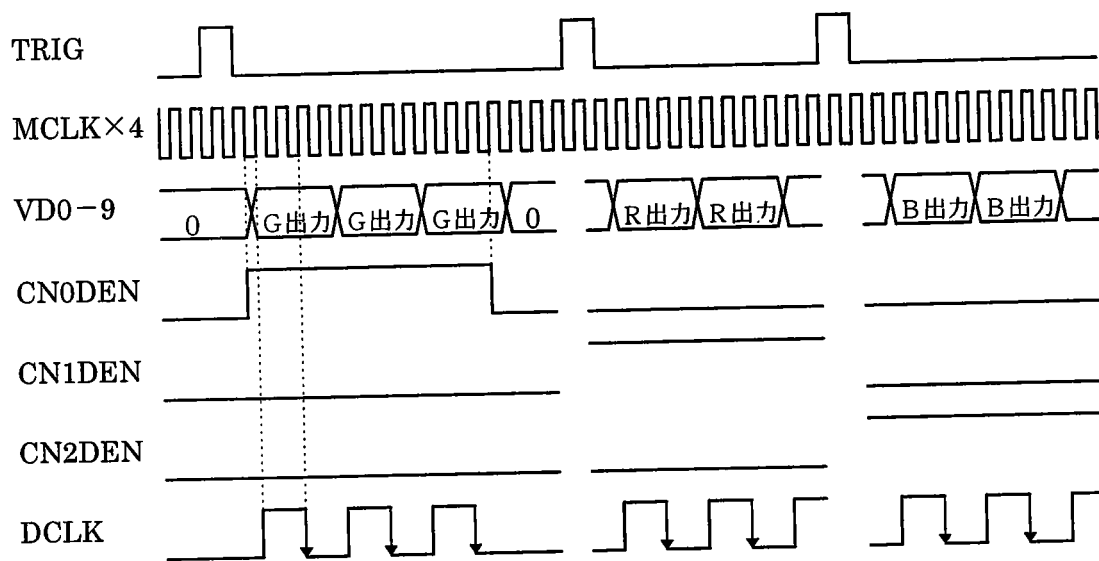
$$(\text{黒補正済み画信号}) i \times 2555 / (1022 + 3 \times (\text{白補正值}) i)$$

(3) CN0DEN、CN1DEN、CN2DEN、DCLKは次のようになります。

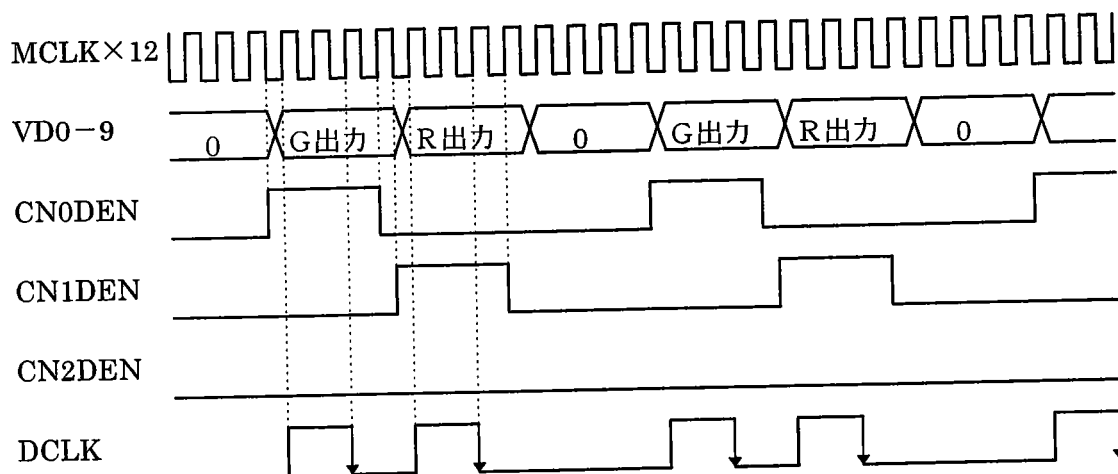
・ 3chカラーセンサ (カラー処理)



・ 1chカラーセンサ（カラー処理）

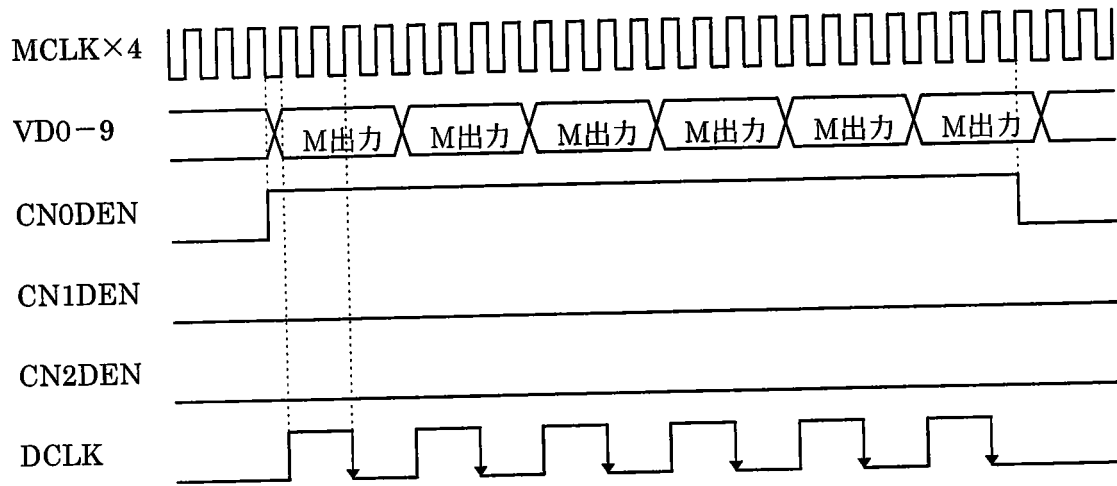


・ 3chモード（CN2をディスエーブルしたときの動作）



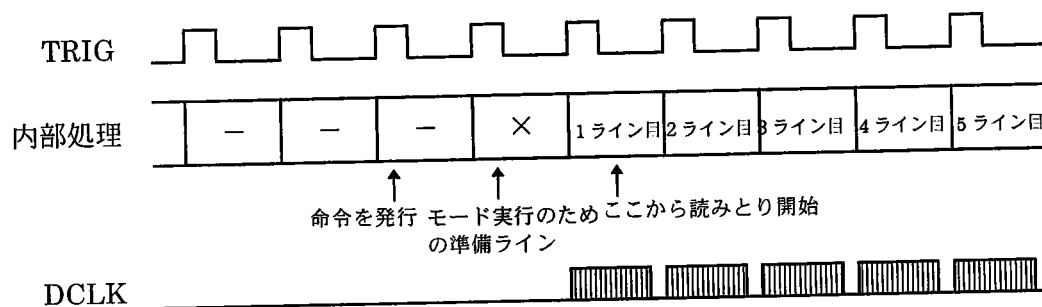
CN2がディスエーブルとなっているので、CN2出力タイミング時のCN2DEN、DCLKは出力されません。VD0-9は0が出力されます。

・ 1chカラーセンサ (モノクロ処理)、モノクロセンサ



□ 3 c h カラーセンサ（カラー処理／モノクロ処理）

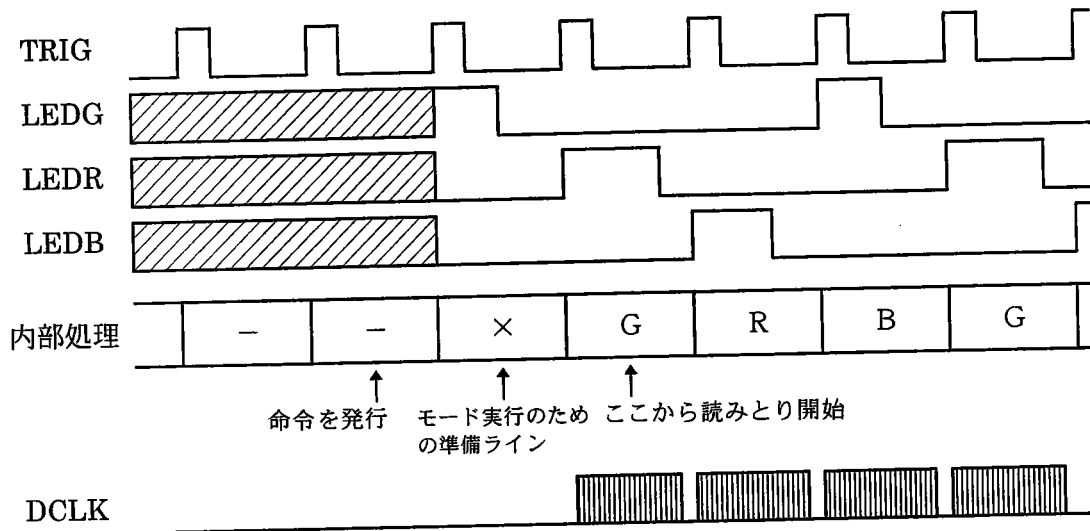
- (1) 3 c h 同時にサンプリングします。
- (2) サンプリング順序設定レジスタの順番通りにMUXが切り換えられ、同時にサンプリングされたデータを逐次処理します。
- (3) サンプリング順序設定レジスタの順番通りに10ビットデータが出力されます。
- (4) 3 c h カラーセンサをモノクロモードで使用する場合は、チャンネルイネーブルレジスタで1チャンネルのみイネーブルとして下さい。ゲイン設定値、黒補正值、白補正值は、カラーモードの時のものを使用して下さい。  
 もしくは、クロックを最大10Mまで高速にして、モノクロセンサとして使用することも可能です。この場合、補正值データは検出したものをそのまま使うのではなく、新たな環境に合わせ、取り直すことを推奨します。1 c h カラーセンサ（モノクロ処理）と同様の扱いとなります。詳細は使用されるセンサの仕様書を参照下さい。



□ 1 c h カラーセンサ (カラー処理)

(1) 読みとり命令の発行後の最初のTRIGから、1ライン分遅れて開始されます。

(例) サンプリング順序 G→R→Bのとき



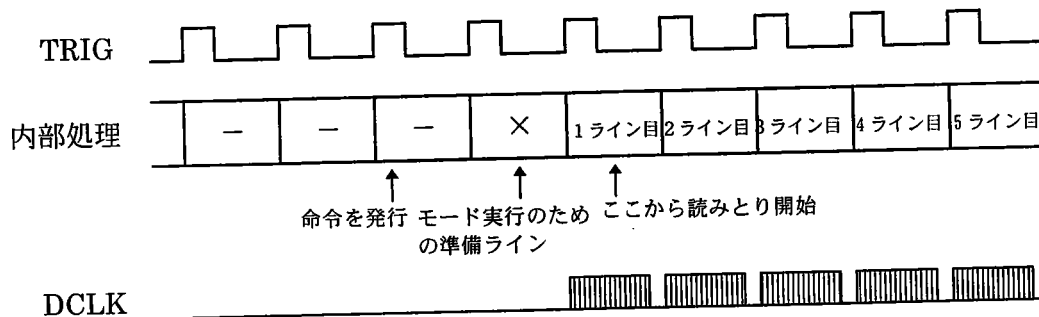
(2) 外部メモリ等の関係で処理を中断/再開する場合はVPEピンで制御できます。再開する際、サンプリング順序設定レジスタを書き換えることで、どの色から再開するかを設定できます。

(例) サンプリング順序G→R→Bで処理中、途中で中断した結果、Bのデータが途中でとぎれた場合は、サンプリング順序設定レジスタをB→G→Rと書き換えることで、再開後はBから出力されます。

(3) チャンネルイネーブルレジスタでディスエーブルにされている色は、10ビットデータを出力しません。また、取り込みクロックを発生しません。

□ 1 c h カラーセンサ（モノクロ処理）、モノクロセンサ

(1) 読みとり命令の発行後の最初のTRIGから、1ライン分遅れて開始されます。



(2) 外部メモリ等の関係で処理を中断／再開する場合は、VPEピンで制御できます。

(3) チャンネルイネーブルレジスタによる設定は無効です。処理チャンネルは、CN0に固定されます。



LED点灯時間制御

(1) CISのLED点灯時間、シャッター機能付きCCDのシャッター時間をコントロールするため、本LSIはLEDG、LEDR、LEDBの3本の出力ピンを持ちます。

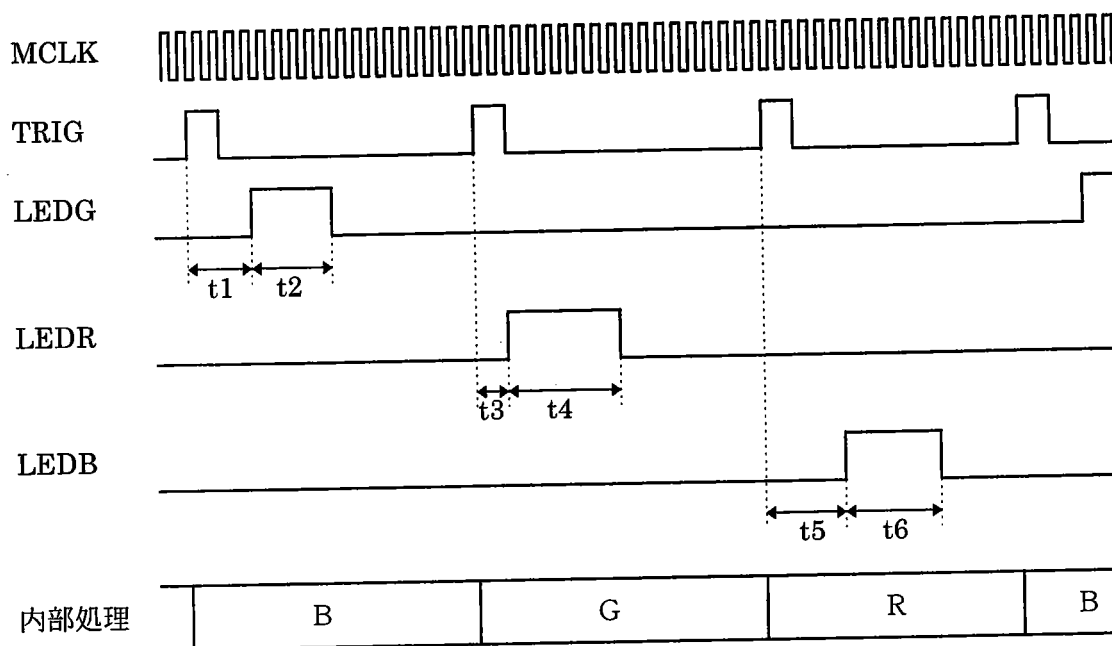
(2) LEDG、LEDR、LEDB、それぞれのアクティブ期間は次に示す2つのレジスタで制御できます。(レジスタ名はGreenの場合です。)

LEDGs : LED点灯開始位置設定レジスタ

LEDGw : LED点灯時間設定レジスタ

それぞれ8ビットのデータ長を持ち、32画素単位で設定できます。

(例) 1chカラーセンサ(カラー処理)時のLED点灯タイミング



t 1 : LEDGs × 32画素

t 2 : LEDGw × 32画素

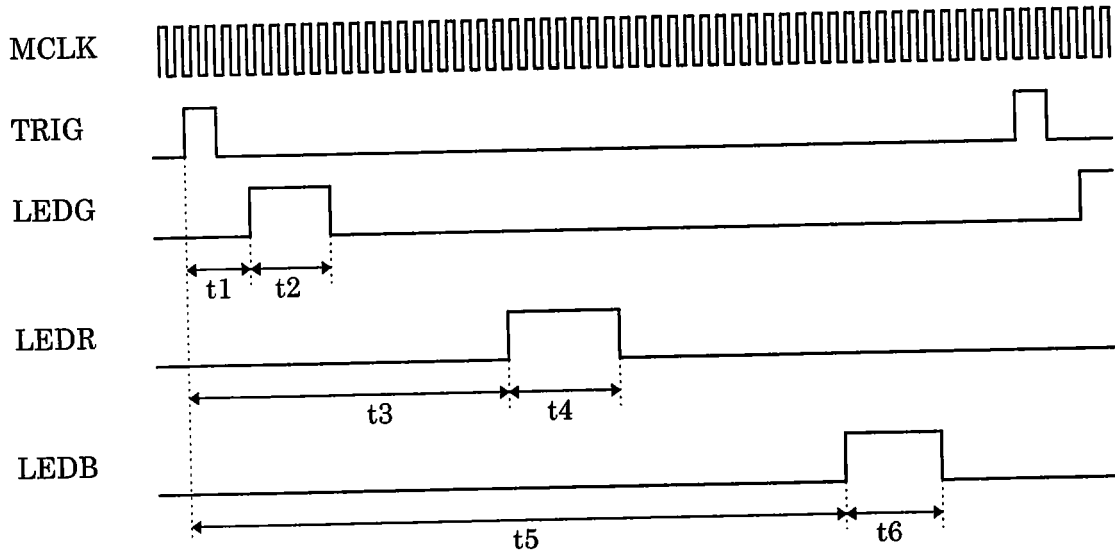
t 3 : LEDRs × 32画素

t 4 : LEDRw × 32画素

t 5 : LEDBs × 32画素

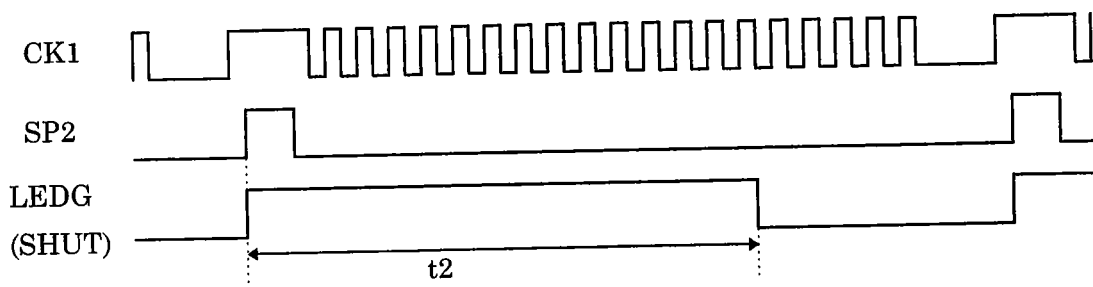
t 6 : LEDBw × 32画素

(例) モノクロモード時のLED点灯タイミング



- t 1 : LEDG<sub>s</sub> × 32 画素
- t 2 : LEDG<sub>w</sub> × 32 画素
- t 3 : LEDR<sub>s</sub> × 32 画素
- t 4 : LEDR<sub>w</sub> × 32 画素
- t 5 : LEDB<sub>s</sub> × 32 画素
- t 6 : LEDB<sub>w</sub> × 32 画素

(例) 3chシャッター機能付きCCDセンサ使用時のシャッタータイミング

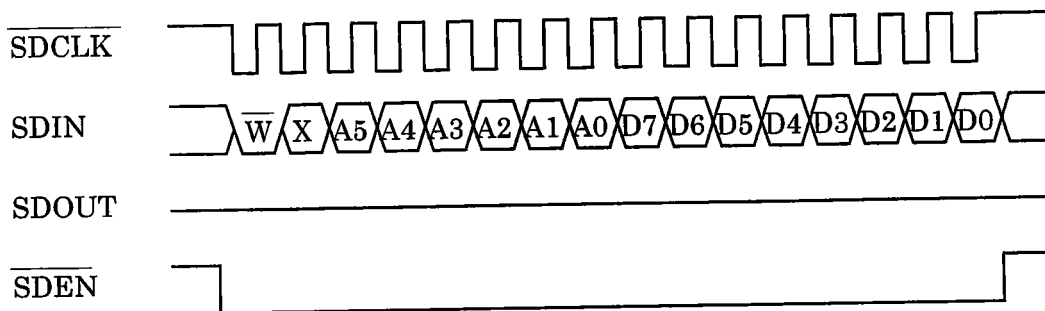


- t 1 : LEDG<sub>s</sub> = 0
- t 2 : LEDG<sub>w</sub> × 32 画素

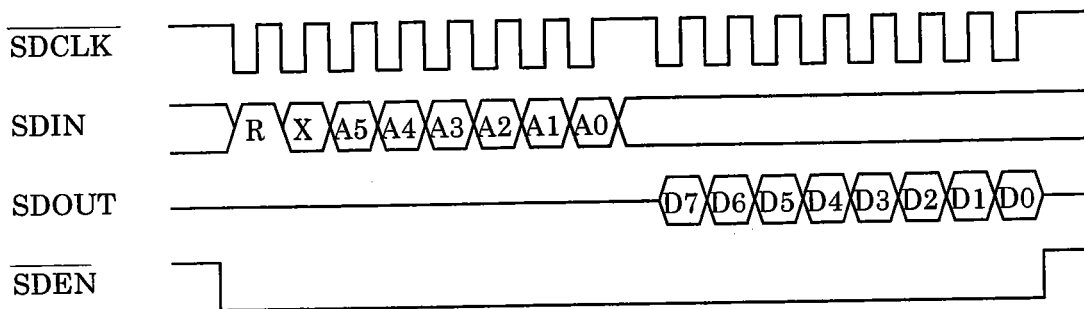
シリアルインターフェイス

本LSIのコントロールレジスタ、シェーディングメモリアクセスウィンドウは4線式シリアルインターフェイスを通してアクセス可能です。タイミングは以下ようになります。

(1) AK8408への書き込み



(2) AK8408からの読み出し



シェーディングメモリインターフェイス

シェーディングメモリへのアクセス（黒補正值、白補正值のリード/ライト）は、本LSIが自動で行います。本LSI使用の際に必要な点は、アドレスバス、データバス、制御信号等の結線のみです。（下図は読み取りモード時のタイミング図です。）

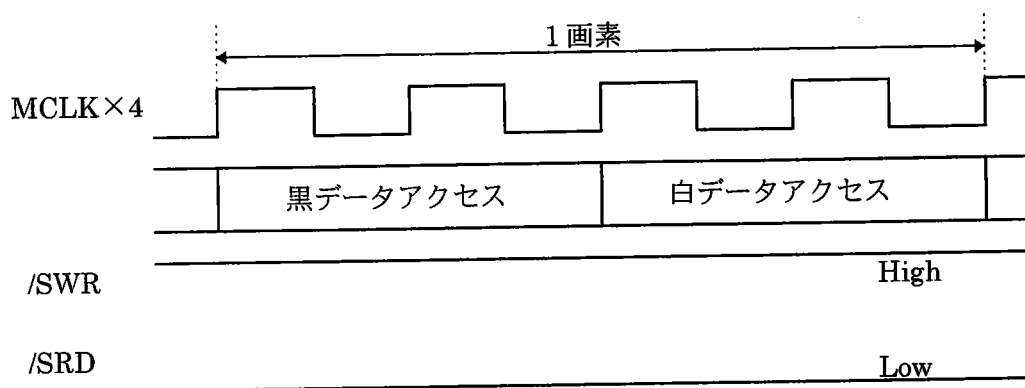
AK8408がアイドル時に、アクセスモード2にすることで、外部デバイスからシェーディングメモリにアクセス可能です。

□シェーディングメモリアクセスモード

本LSIは下記の2つのシェーディングメモリアクセスモードをサポートしています。モード2では、アクセスなし期間中はアドレスバス、データバス、制御信号がHi-Zとなり、他のICからシェーディングメモリにアクセスできます。

（図は読み取りモード時のタイミングです。）

・モード1



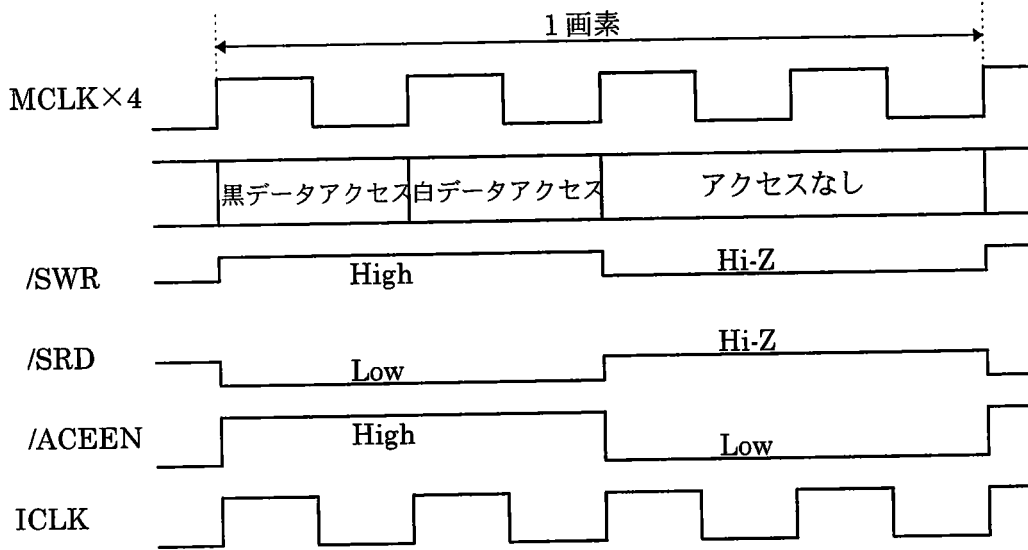
モード1は、黒データ/白データアクセス期間を広くとれるため、サンプリングレートが高速の場合や、低速のシェーディングメモリを使用する場合に向いています。

本モードを使用する場合に要求されるシェーディングメモリのサイクルタイムは、サンプリングレートをF (MHz)としたとき、

$$\begin{aligned}
 (\text{サイクルタイム}) &= 1 / (2F) - 20 \quad (\text{nS}) : 1 \text{ ch} \quad \text{モード時} \\
 &= 1 / (6F) - 20 \quad (\text{nS}) : 3 \text{ ch} \quad \text{モード時}
 \end{aligned}$$

となります。

・モード2



本モードでは、/ACEEN信号がLowレベルの期間に、外部ICからシェーディングメモリにアクセスできます。

本モードを使用する場合に要求されるシェーディングメモリのサイクルタイムは、サンプリングレートをF (MHz)としたとき、

$$\begin{aligned} (\text{サイクルタイム}) &= 1 / (4F) - 10 \quad (\text{nS}) : 1 \text{ ch モード時} \\ &= 1 / (12F) - 10 \quad (\text{nS}) : 3 \text{ ch モード時} \end{aligned}$$

となります。

サンプリングレートが高速の場合は、本モードは使用できません。目安として、サンプリングレートが4M画素/秒以上の時はモード1を使用して下さい。特に、モード2を使用する場合は、タイミング設計等十分に注意して下さい。

(注) モード1にて使用している途中、デバッグ等のためシェーディングメモリを外部バスから直接アクセスする場合は、以下の手順にて実施して下さい。

リセット直後は、モード1、動作イネーブルレジスタはディスエーブル状態にあります。

1. 外部でアクセスする前に、レジスタ設定をモード2に設定する。

↓ (外部アクセス)

2. 動作イネーブルレジスタをイネーブルに設定する前に、レジスタ設定をモード1に戻す。

再度アクセスする場合は、動作イネーブルレジスタを読んで、動作ディスエーブルになっている事を確認した上で、上記手順を繰り返して下さい。

## □SRAMの接続

本LSIは、白補正を9ビットで行うため、外部SRAMも9ビット幅のものが必要となります。白補正精度を8ビットで行う場合は、8ビット幅のSRAMが使用できます。

## (1) 9ビット幅のSRAMを使用する場合

- ・白補正ビット長を9ビットに設定して下さい。(R25/D3=1)
- ・SD0-8をそれぞれSRAMのデータバスに接続して下さい。

## (2) 8ビット幅のSRAMを使用する場合

- ・白補正ビット長を8ビットに設定して下さい。(R25/D3=0)
- ・SD1-8をそれぞれSRAMのデータバスに接続して下さい。  
SD0はオープンとして下さい。

SRAMにアクセスする場合、本LSIのウインドウレジスタを介してのアクセス以外に、本LSIを動作ディスエーブル(R0/D7=0)、シェーディングメモリアクセスモードをモード2にすることで、本LSIのメモリインターフェイス信号をハイインピーダンスとして、外部から直接にアクセスする事も可能です。その際は、下記のアドレス方式に注意して下さい。

## □アドレスバス出力

シェーディングメモリアドレスバス13ビットは、アドレスバスの同時変化による性能低下を低減するために、数ビット毎をセットにしたグレイコードで出力されます。

|       |       |    |    |            |   |   |   |   |   |         |   |   |   |       |
|-------|-------|----|----|------------|---|---|---|---|---|---------|---|---|---|-------|
| (MSB) | 12    | 11 | 10 | 9          | 8 | 7 | 6 | 5 | 4 | 3       | 2 | 1 | 0 | (LSB) |
|       | リニア出力 |    |    | 6ビットグレイコード |   |   |   |   |   | 4ビットグレイ |   |   |   |       |

SRAMのサイズを選択する場合は注意して下さい。

(例) 画素数2592

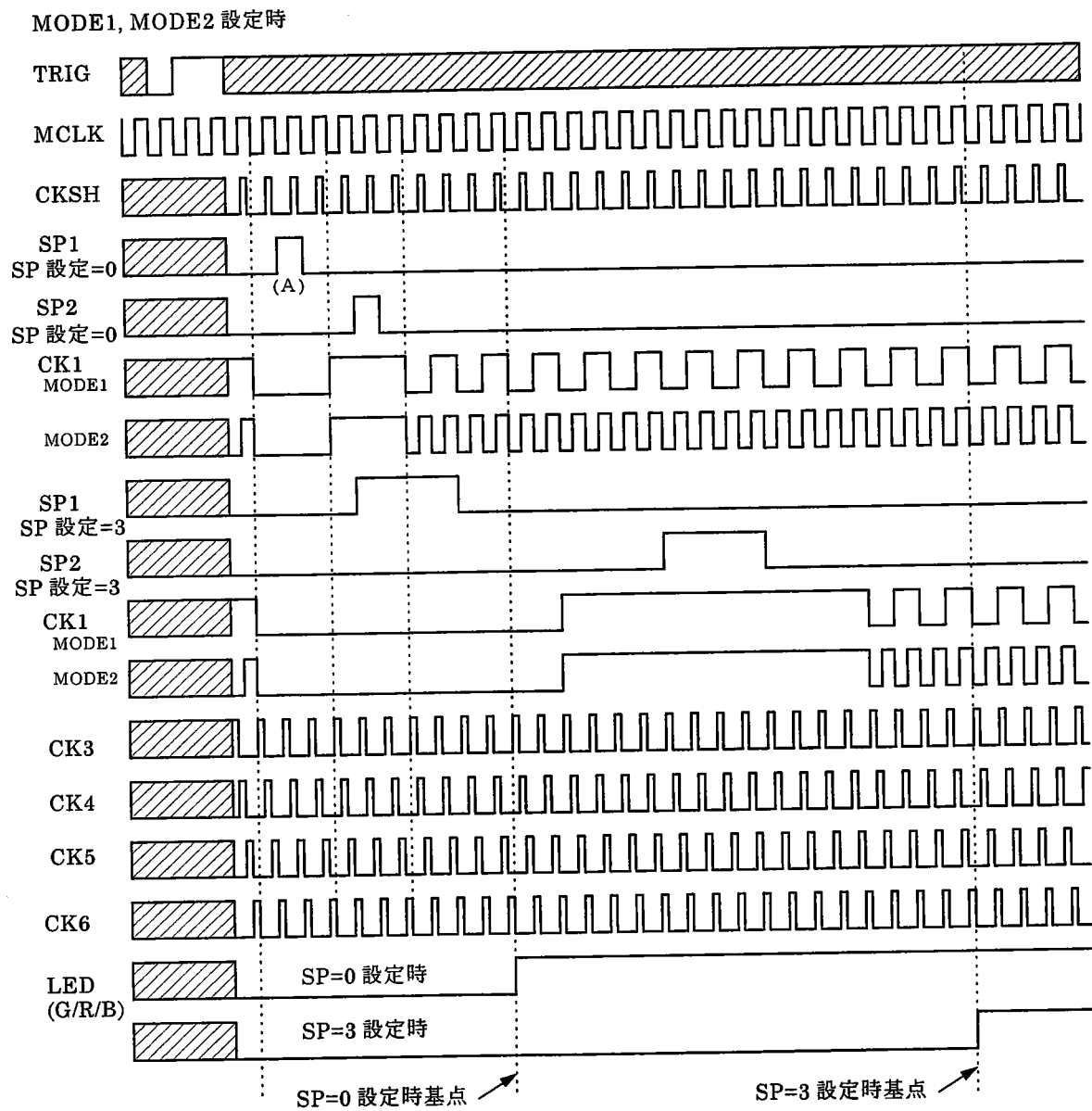
黒補正值：共通

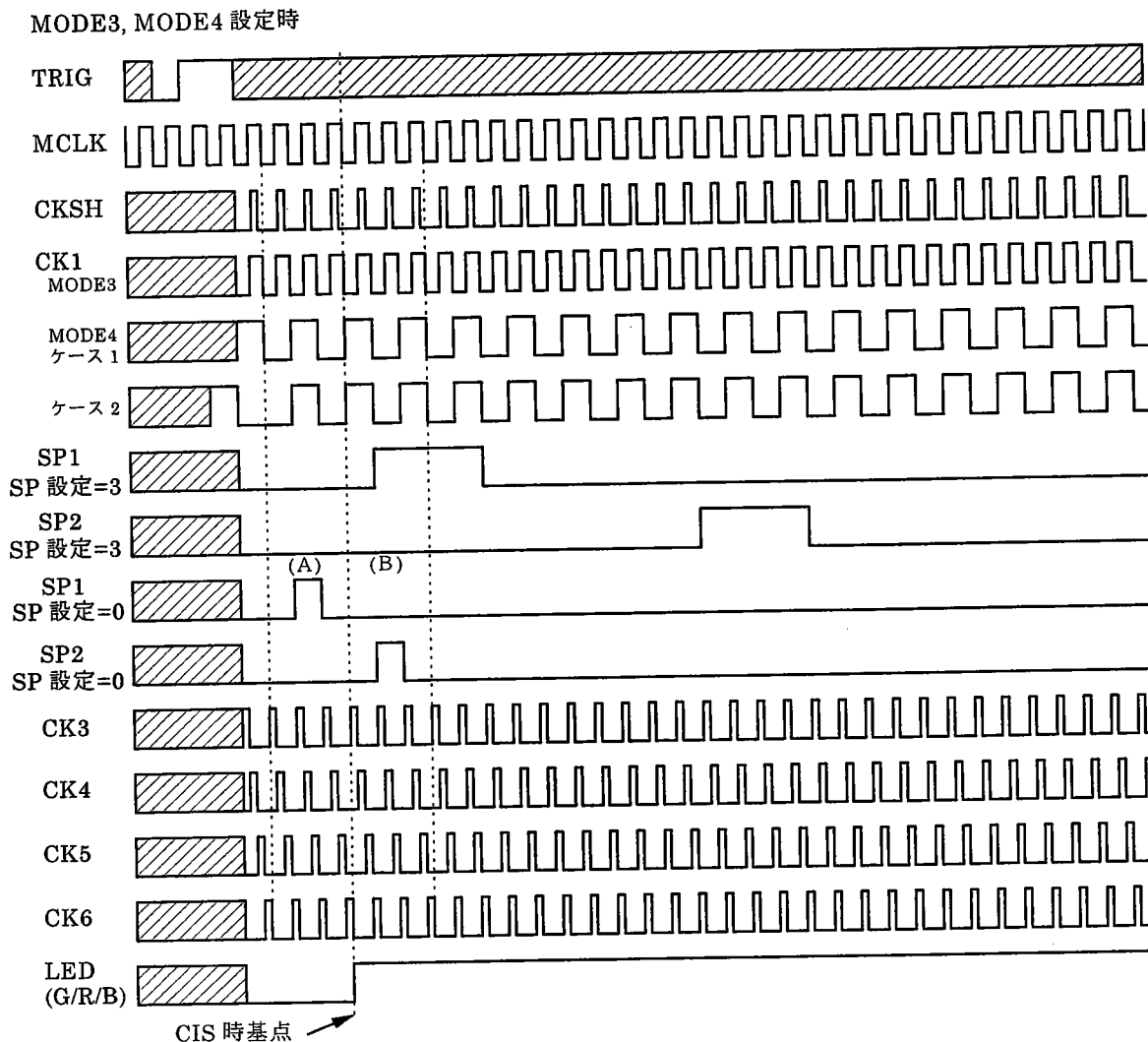
白補正值：RGB独立(8ビット補正) の場合

4KByte × 4 = 16KByte = 128Kbit 以上のSRAM

センサクロック発生回路

- (1) センサー駆動用に次のクロックを発生します。
- (2) CK 1出力はMODE 1～4の4種類のモードを持ちます。モードはレジスタにて設定します。
- (3) CK 2はCK 1を反転出力します。
- (4) レジスタ設定により、CK 1、CK 2、SP 1、SP 2はMCLK/4単位で遅延可能です。
- (5) SP 1、SP 2、CK 3～6はレジスタ設定により、反転可能です。





上図はLED点灯開始位置設定=0の場合について示しています。

CISモード時のダミー基点はSP幅設定によらず固定されていますが、CCDモード時のダミー基点はSP幅設定値により変化します。

CISモード時はTRIG検出後5クロック目、CCDモード時はSP幅設定レジスタ値をNとしてTRIG検出後の  $\{6 \times (N + 1) + 6\}$  クロック目となります。

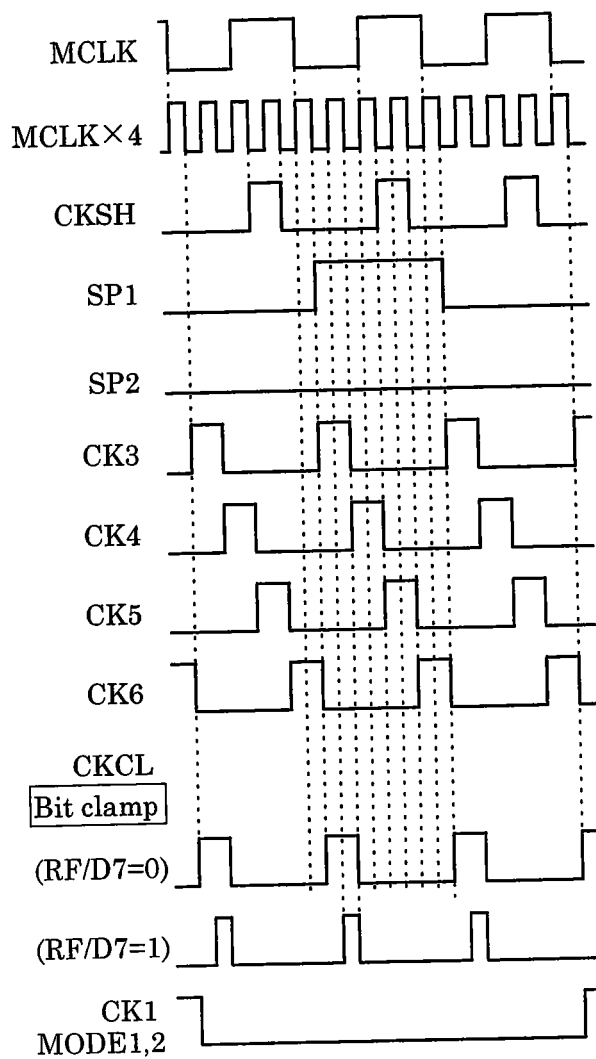
モード1、モード4時のCK1、CK2はTRIG検出タイミングにより、TRIG検出後の波形が上図から前へMCLK1クロック分ずれることがあります。

図中の(A)(B)の詳細タイミングを以下に示します。



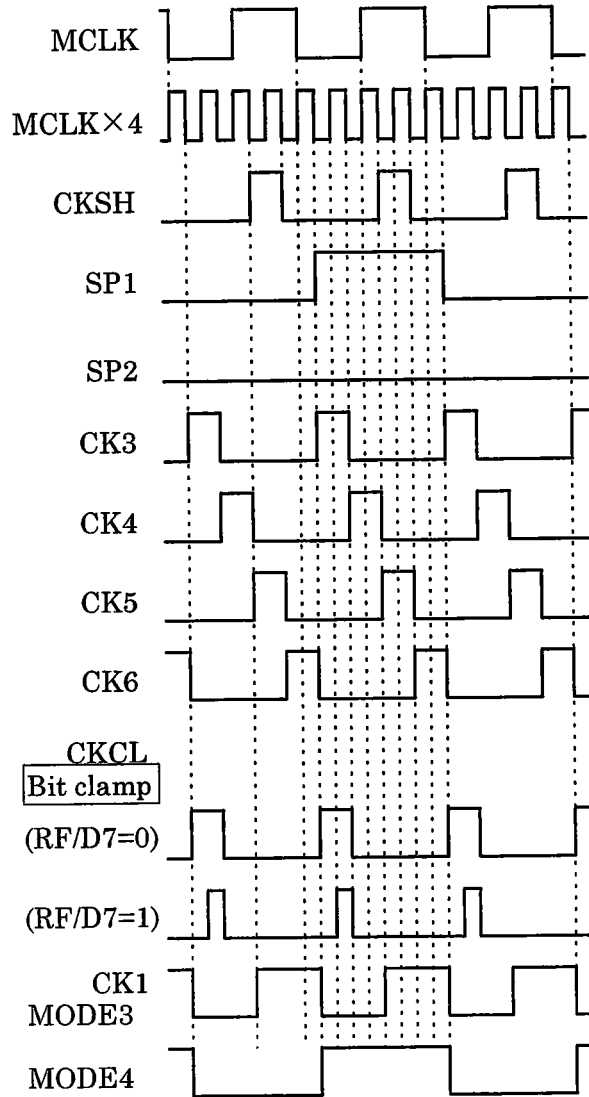
□センサクロック詳細タイミング (A) (SP設定値=0)

MODE 1, 2

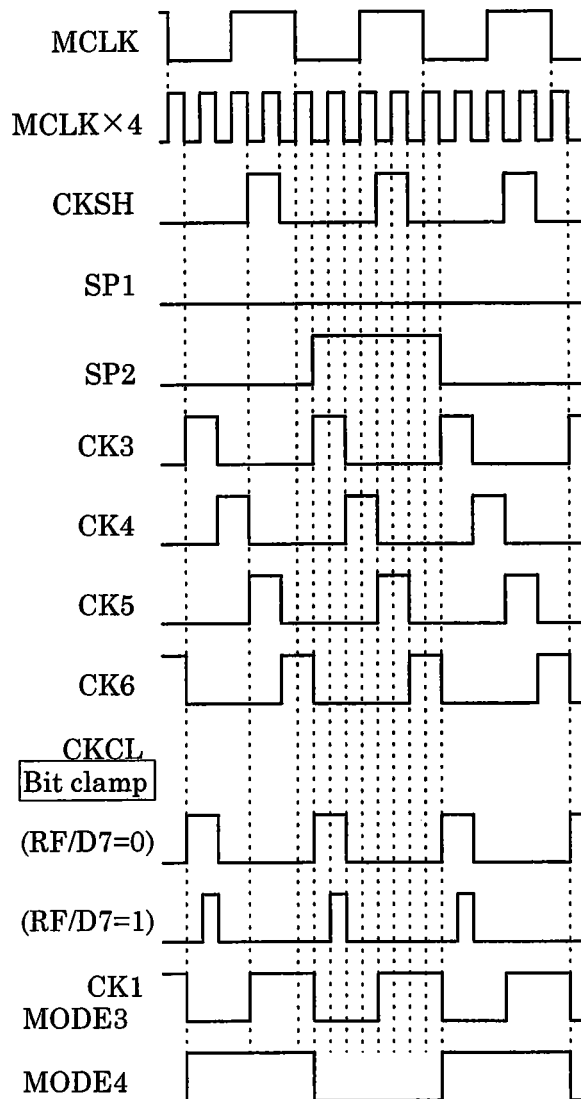


□センサクロック詳細タイミング (A) (SP 設定値=0)

MODE 3, 4

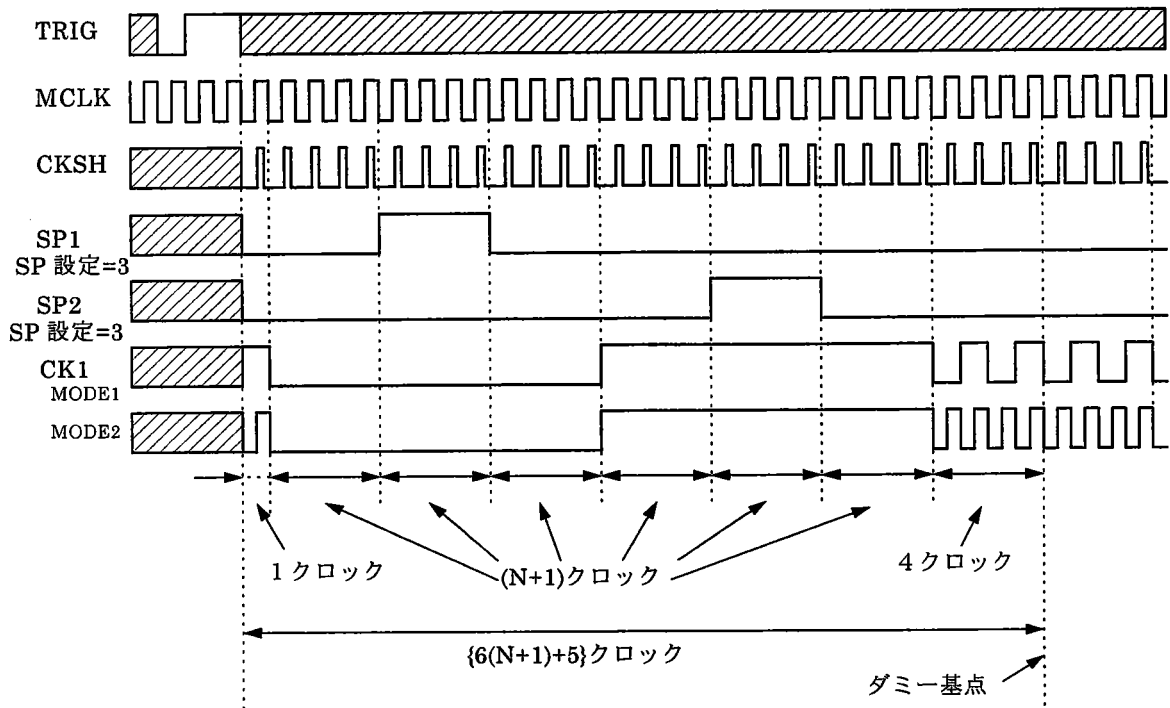


□センサクロック詳細タイミング (B) (SP設定値=0)  
 MODE 3, 4



□ SP幅設定値とSP1、SP2、CK1（モード1、2）の関係

SP幅設定値=Nとすると、TRIG検出後のSP1、SP2及びCK1（モード1、2）は下図の様になります。



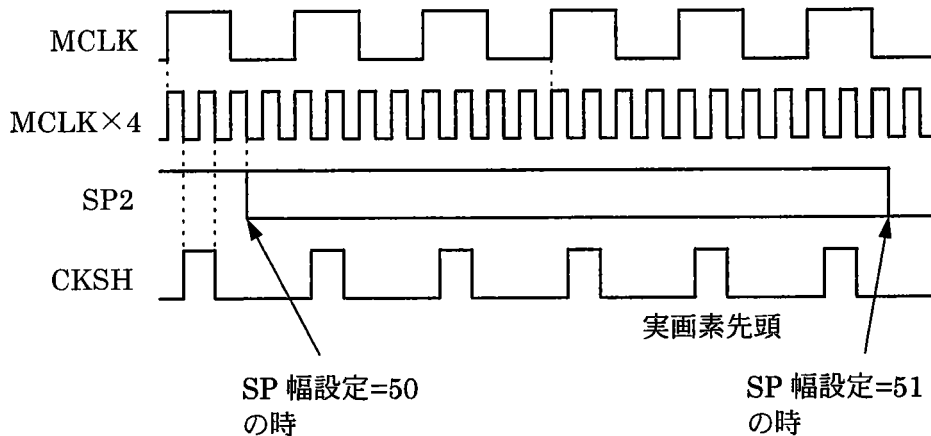
CCDモード時は、SP幅設定を変えると、ダミー画素基点が設定値に伴い自動的に上図に従って右シフトします。

CISモード時は、SP幅設定を変えると、ダミー画素基点はTRIG検出後5クロック目で変わりません。

従ってSP幅設定を増やした場合、ダミーが素設定を調整し、センサの実画素位置とSPの関係を調整する必要があります。

ただし、その調整レンジには下記のような制限がありますので注意してください。

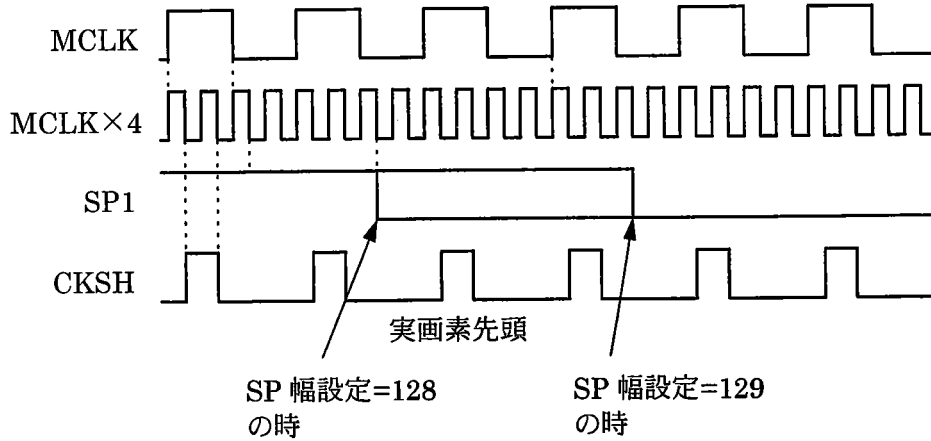
□ CISモード時のSP立ち下がり位置と実画素先頭の関係（SP2を設定する場合）



上図はダミー設定=255、SP幅設定=50の時について示しています。

SP幅設定を1増加させる毎にSP2立ち下がり位置は5クロック後ろに移動します。従って、SP幅設定=51の時のSP2立ち下がり位置と実画素先頭の関係は波線のようになり、実画素先頭位置よりも後ろになります。

□CISモード時のSP立ち下がり位置と実画素先頭の関係 (SP1を設定する場合)

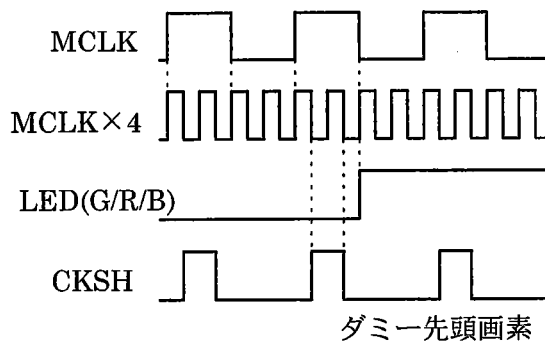


上図は、ダミー設定=255、SP幅設定=128の時について示しています。SP幅設定を1増加させる毎にSP1立ち下がり位置は2クロック後ろに移動します。従って、SP幅設定=129の時のSP1立ち下がり位置と実画素先頭の関係は波線の様になり、実画素先頭位置よりも後ろになります。

SP1、SP2いずれもセンサのスタートパルスとして使用可能ですが、以下の点にご注意下さい。

- ・SP1の場合  
SP幅設定を128まで増やせる。ただし、LEDコントロールピンのタイミングとSPの間に1クロックの隙間が生じる。(トータルタイミング図参照)
- ・SP2の場合  
SP幅設定を50までしか増やせない。ただし、LEDコントロールピンのタイミングをSPと同位置まで調整できる。

□LED (G/R/B) の立ち下がり位置



LED点灯開始位置設定レジスタ値を1増加させる毎に、32画素ずつ立ち下がり位置が後ろに移動します。

## レジスタ

| アドレス | R/W | init | D 7                            | D 6           | D 5                | D 4           | D 3              | D 2                | D 1                       | D 0 |
|------|-----|------|--------------------------------|---------------|--------------------|---------------|------------------|--------------------|---------------------------|-----|
| 00   | R/W | 00h  | 動作<br>イネーブル                    | VPE           | LED<br>コントロール      |               | SME<br>コントロール    | 動作モード設定            |                           |     |
| 01   | W   | 01h  | PLL<br>ストップ                    | 黒補正<br>モード 1  | 黒補正<br>モード 2       | リミット<br>イネーブル | ABC/AGC<br>イネーブル | ABC/AGC<br>選択      | ABC追従速度                   |     |
| 02   | W   | ---  | ABCピーク検出開始画素設定レジスタ             |               |                    |               |                  |                    |                           |     |
| 03   | W   | ---  | ABCピーク検出終了画素設定レジスタ             |               |                    |               |                  |                    |                           |     |
| 04   | R/W | ---  | 偶数画素オフセットレジスタ0 (CN0 または Green) |               |                    |               |                  |                    |                           |     |
| 05   | R/W | ---  | 奇数画素オフセットレジスタ0 (CN0 または Green) |               |                    |               |                  |                    |                           |     |
| 06   | R/W | ---  | 偶数画素オフセットレジスタ1 (CN1 または Red)   |               |                    |               |                  |                    |                           |     |
| 07   | R/W | ---  | 奇数画素オフセットレジスタ1 (CN1 または Red)   |               |                    |               |                  |                    |                           |     |
| 08   | R/W | ---  | 偶数画素オフセットレジスタ2 (CN2 または Blue)  |               |                    |               |                  |                    |                           |     |
| 09   | R/W | ---  | 奇数画素オフセットレジスタ2 (CN2 または Blue)  |               |                    |               |                  |                    |                           |     |
| 0A   | W   | 00h  | 白基準電圧設定レジスタ                    |               |                    |               |                  |                    |                           |     |
| 0B   | W   | 00h  | 黒基準電圧設定レジスタ                    |               |                    |               |                  |                    |                           |     |
| 0C   | W   | *1   | CIS入力<br>CN選択                  | 黒基準参照画素設定レジスタ |                    |               |                  |                    | センサ長設定<br>レジスタ (MSB 2bit) |     |
| 0D   | W   | ---  | センサ長設定レジスタ (LSB 8bit)          |               |                    |               |                  |                    |                           |     |
| 0E   | W   | ---  | ダミー画素数設定レジスタ                   |               |                    |               |                  |                    |                           |     |
| 0F   | W   | 00h  | クランプ<br>パルス                    | クランプ<br>モード   | SP極性               | CK極性          | CKモード設定          |                    | CK位相設定                    |     |
| 10   | W   | 00h  | ラインクランプイネーブル開始画素設定レジスタ         |               |                    |               |                  |                    |                           |     |
| 11   | W   | 00h  | ラインクランプイネーブル終了画素設定レジスタ         |               |                    |               |                  |                    |                           |     |
| 12   | W   | ---  | カラーモック<br>選択                   | 1ch/3ch<br>設定 | サンプリング順序設定<br>レジスタ |               |                  | チャンネルイネーブル<br>レジスタ |                           |     |
| 13   | W   | ---  | ゲイン調整用しきい値レジスタ                 |               |                    |               |                  |                    |                           |     |
| 14   | R   | 00h  | ゲイン調整用カウンタ                     |               |                    |               |                  |                    |                           |     |
| 15   | W   | 00h  | PGAゲイン設定レジスタ (CN0 または Green)   |               |                    |               |                  |                    |                           |     |
| 16   | W   | 00h  | PGAゲイン設定レジスタ (CN1 または Red)     |               |                    |               |                  |                    |                           |     |
| 17   | W   | 00h  | PGAゲイン設定レジスタ (CN2 または Blue)    |               |                    |               |                  |                    |                           |     |

| アドレス | R/W | init | D 7                       | D 6           | D 5           | D 4               | D 3                   | D 2 | D 1 | D 0 |
|------|-----|------|---------------------------|---------------|---------------|-------------------|-----------------------|-----|-----|-----|
| 18   | W   | 00h  | LED点灯時間設定レジスタ (G)         |               |               |                   |                       |     |     |     |
| 19   | W   | 00h  | LED点灯開始位置設定レジスタ (G)       |               |               |                   |                       |     |     |     |
| 1A   | W   | 00h  | LED点灯時間設定レジスタ (R)         |               |               |                   |                       |     |     |     |
| 1B   | W   | 00h  | LED点灯開始位置設定レジスタ (R)       |               |               |                   |                       |     |     |     |
| 1C   | W   | 00h  | LED点灯時間設定レジスタ (B)         |               |               |                   |                       |     |     |     |
| 1D   | W   | 00h  | LED点灯開始位置設定レジスタ (B)       |               |               |                   |                       |     |     |     |
| 1E   | W   | 00h  | ABC黒側追従リミッタ               |               |               |                   |                       |     |     |     |
| 1F   | W   | FFh  | ABC/AGC白側追従リミッタ           |               |               |                   |                       |     |     |     |
| 20   | R   | --   | ピーク検出カウンタ                 |               |               |                   |                       |     |     |     |
| 21   | R/W | 80h  | ピークホールドレジスタ               |               |               |                   |                       |     |     |     |
| 22   | R/W | *2   |                           |               | 白1倍           | ピーク検出回路キャリブレーション値 |                       |     |     |     |
|      |     | *3   |                           |               | 固定            |                   |                       |     |     |     |
| 23   | R/W | 00h  | 黒補正值オフセット調整レジスタ (CN0 又はG) |               |               |                   |                       |     |     |     |
| 24   | W   | 00h  | 白補正值検出平均回数                |               |               |                   | 黒補正值検出平均回数            |     |     |     |
| 25   | W   | 60h  | 黒補正範囲設定                   | ICLK<br>イネーブル | SM7アクセス<br>方法 | 白補正<br>ビット長       | シェーディングメモリ<br>バンクセレクト |     |     |     |
| 26   | W   | 00h  | SP幅設定レジスタ                 |               |               |                   |                       |     |     |     |
| 27   | R/W | 00h  | 黒補正值オフセット調整レジスタ (CN1 又はR) |               |               |                   |                       |     |     |     |
| 28   | R/W | 00h  | 黒補正值オフセット調整レジスタ (CN2 又はB) |               |               |                   |                       |     |     |     |
| 29   | R/W | 00h  | ADC オフセット調整レジスタ           |               |               |                   |                       |     |     |     |
| 2A   | R/w | ---  | シェーディングメモリアクセスウインド        |               |               |                   |                       |     |     |     |

## (注)

1.  は/RESETで初期化されます。(※1はD7のみ初期化され、初期値は0となります。\*2はD5のみ初期化され、初期値は0となります。)
2.  は書き込み直後のTRIG↑で有効となります。
3. \*3はD5についてはWのみ可能で、D4~D0はR/W可能です。
4. R21レジスタは、ピーク検出モード/白補正值検出モード実行時にはアクセスしないで下さい。書き込んだ値は、次の有効画素区間終了後に有効となります。  
また、黒補正值検出モード実行前にはこのレジスタは80hにセットされ、ピーク検出モード、ゲインコントロールモード、LED点灯時間制御モード実行前にはFFhにセットされます。(モード設定後の1ライン目でピークホールドレジスタは所定の値にセットされ、各モードの実動作は2ライン目から開始します。)
5. R21レジスタには、R1E、R1Fレジスタで設定されたリミット値より内側の値を書いて下さい。

6. R 2 1レジスタの読み込み時、TRIG信号を入力し書き込み後最低1ライン待つてから読み込みを行って下さい。
7. RA、RBレジスタに書き込んだ値は、一旦書き込むと、書き換えない限り保持されますが、実際に有効になるのは、原稿読み取りモード及び動作イネーブルがセットされた時となるので注意して下さい。
8. R 4～R 9レジスタは、黒補正值検出モード実行時にはアクセスしないで下さい。
9. R 2 2レジスタは、黒補正值検出モード実行時にはアクセスしないで下さい。



## レジスタの説明

## ・ R 0レジスタ

D 7 : 動作イネーブル (リード可)

0 : 動作ディスエーブル (リセット時)

1 : 動作イネーブル

R 0 / D 7 = 1 とすることで、動作モード設定にて設定されているモードを実行します。黒補正值検出モード、白補正值検出モード、ピーク検出モード、ゲイン調整モード、LED点灯時間調整モード、オフセットキャリブレーションモード時は、実行が終了すると自動的に0になります。読みとりモード時は0を書き込むことで、読みとりを中断します。

D 6 : 画処理イネーブル

0 : 画処理停止 (リセット時)

1 : 画処理実行

VPE端子と同じ機能を持ちます。本レジスタとのORをとり、0のとき画処理を一時停止します。VPE端子で画処理をコントロールする場合は、本レジスタ値は0とします。

D 5、D 4 : LEDコントロール

LEDコントロール端子を制御します。

| D 5 | D 4 | 機能                                  |
|-----|-----|-------------------------------------|
| 0   | 0   | R 1 8 ~ 1 Dレジスタの設定によらず、Lowレベルとなります  |
| 0   | 1   | R 1 8 ~ 1 Dレジスタの設定によらず、Highレベルとなります |
| 1   | 0   | R 1 2、R 1 8 ~ 1 Dレジスタの設定に応じて変化します。  |
| 1   | 1   | D 5 ~ D 4 = 1 0 に設定した場合の反転を出力します。   |

(リセット後の初期値 0 0)

D 3 : シェーディングメモリアクセスイネーブル

0 : シェーディングメモリアクセス ディスエーブル (リセット時)

1 : シェーディングメモリアクセス イネーブル

このビットが1の時に、R 2 Aレジスタをウィンドウとして、シェーディングメモリアクセスできます。このビットの立ち上がりでアドレスカウンタがクリアされ、それ以降R 2 Aレジスタをアクセスする毎にアドレスカウンタがインクリメントされます。

## D2、D1、D0：動作モード設定

動作モードを設定します。

| D2 | D1 | D0 | 動作モード              |
|----|----|----|--------------------|
| 0  | 0  | 0  | 原稿読みとりモード          |
| 0  | 0  | 1  | 黒補正值検出モード          |
| 0  | 1  | 0  | 白補正值検出モード          |
| 0  | 1  | 1  | ピーク検出モード           |
| 1  | 0  | 0  | 3chセンサゲイン調整モード     |
| 1  | 0  | 1  | 1chセンサゲイン調整モード     |
| 1  | 1  | 0  | オフセットキャリブレーションモード1 |
| 1  | 1  | 1  | オフセットキャリブレーションモード2 |

(リセット後の初期値000)

3chセンサ使用時 ( $R12/D6=1$ )、LED点灯時間 (シャッター時間)、PGAの調整には3chセンサゲイン調整モードを使用して下さい。

1chセンサ使用時 ( $R12/D6=0$ )、LED点灯時間、PGAの調整には1chセンサゲイン調整モードを使用して下さい。

$R0/D7=1$ の時、オフセットキャリブレーションモード1、2はモード設定後最初のTRIGで動作開始となり、その他のモードはモード設定後2TRIG目で動作開始となります。

## ・R1レジスタ

D7：PLLコントロール

PLL発振をコントロールします。

0：PLL発振 (リセット時)

1：PLL発振ストップ

D6：黒補正モード (1)

黒補正モードを選択します。

0：全画素検出/補正モード (リセット時)

1：黒オフセット検出/補正モード

## D5 : 黒補正モード (2)

黒補正モードを選択します

0 : 3セットレジスタモード

GRB、もしくはCN0~2で別々の補正值を使用します。 (リセット時)

1 : 1セットレジスタモード

GRB、もしくはCN0~2で共通の補正值を使用します。

全画素黒補正モードで、GRB、もしくはCN0~2で共通の補正值を使用する場合、補正值はバンクBA [2..0] = 0 1 1に格納されます。

## D4 : ABC/AGCリミッタイネーブル

0 : ABC/AGCリミッタ ディスエーブル (リセット時)

1 : ABC/AGCリミッタ イネーブル

## D3 : ABC/AGCイネーブル

0 : ABC/AGC ディスエーブル (リセット時)

1 : ABC/AGC イネーブル

R0/D7=1の時、読み取りモードに設定後の最初のTRIGで動作開始となります。

## D2 : ABC/ABCモード

0 : ABCモード (リセット時)

1 : AGCモード

R0/D7=1の時、読み取りモードに設定後の最初のTRIGで動作開始となります。

## D1、D0 : ABC追従速度

ABCモード時の追従速度を設定します。

| D1 | D0 | 追従速度    |
|----|----|---------|
| 0  | 0  | 1/4 LSB |
| 0  | 1  | 1/2 LSB |
| 1  | 0  | 1 LSB   |
| 1  | 1  | 2 LSB   |

(リセット後の初期値 0 1)

R0/D7=1の時、読み取りモードに設定後の最初のTRIGで動作開始となります。

・ R 2レジスタ：ABCピーク検出開始画素設定

ピーク検出幅（PHEW）を決めます。起点は、ダミー画素終了後の実画素の先頭であり、ABCモード時のピーク検出開始画素を32画素単位で設定します。ダミー画素は含みません。設定値をN、開始画素位置をPSとすると以下の式が成り立ちます。

$$PS = 32 \times N \quad (N = 0 \sim 255)$$

・ R 3レジスタ：ABCピーク検出終了画素設定

ピーク検出幅（PHEW）を決めます。起点は、ダミー画素終了後の実画素の先頭であり、ABCモード時のピーク検出終了画素を32画素単位で設定します。ダミー画素は含みません。設定値をN、終了画素位置をPEとすると以下の式が成り立ちます。

$$PE = 32 \times (N + 1) \quad (N = 0 \sim 255) > PS$$

・ R 4、R 6、R 8レジスタ：偶数画素オフセット

黒オフセットキャンセルモードで使用する場合、黒歪検出モードを実行すると、このレジスタに、別途レジスタに設定した参照画素に対応する偶数画素のオフセット補正値が格納されます。

黒オフセットレジスタの使用個数が6個（レジスタ設定）の場合

3ch時：それぞれ、CN0、CN1、CN2のオフセットデータが書き込まれます

1ch時：それぞれ、G、R、Bのオフセットデータが書き込まれます。

黒オフセットレジスタの使用個数が2個（レジスタ設定）の場合

3ch時：チャンネルイネーブルレジスタで選択されたチャンネルのデータがR4レジスタに書き込まれます。

1ch時：R4レジスタが使用されます。

・ R 5、R 7、R 9レジスタ：奇数画素オフセット

黒オフセットキャンセルモードで使用する場合、黒歪検出モードを実行すると、このレジスタに、別途レジスタに設定した参照画素に対応する奇数画素のオフセット補正値が格納されます。

黒オフセットレジスタの使用個数が6個（レジスタ設定）の場合

3ch時：それぞれ、CN0、CN1、CN2のオフセットデータが書き込まれます

1ch時：それぞれ、G、R、Bのオフセットデータが書き込まれます。

黒オフセットレジスタの使用個数が2個（レジスタ設定）の場合

3ch時：チャンネルイネーブルレジスタで選択されたチャンネルのデータがR5レジスタに書き込まれます。

1ch時：R5レジスタが使用されます。

・ RA、RBレジスタ：基準電圧DAC設定

画処理用10ビットADCの白基準電圧（VWHT）、黒基準電圧（VBLK）を（クランプ電圧（VCLP）－ピーク電圧（VPEAK））をフルスケールとした割合で設定します。

設定分解能は（0.45/255）で、実際のVWHT、VBLKは下式、及び、係数（ $\alpha$ 、 $\beta$ ）は次表のようになります。なお、設定値が有効となるのは動作モードを読み取りモードとした時となります。

（リセット後の初期値00h）

$$VWHT = VCLP (2.5V \text{ typ.}) - \alpha (VCLP - VPEAK)$$

$$VBLK = VCLP (2.5V \text{ typ.}) - \beta (VCLP - VPEAK)$$

| 設定値 | $\alpha$ | $\beta$ |
|-----|----------|---------|
| 00h | 1.0000   | 0.0000  |
| 01h | 0.9982   | 0.0018  |
| 02h | 0.9965   | 0.0035  |
| 03h | 0.9947   | 0.0053  |
| 04h | 0.9930   | 0.0070  |
| :   | :        | :       |
| :   | :        | :       |
| FCh | 0.5570   | 0.4430  |
| FDh | 0.5553   | 0.4447  |
| FEh | 0.5535   | 0.4465  |
| FFh | 0.5518   | 0.4482  |

- ・ RCレジスタ、D7：CISセンサ入力チャンネル選択  
CISセンサ信号の入力チャンネルを選択します。  
0：CN0固定（リセット時）  
1：各色で入力チャンネルを可変  
本レジスタは、1chカラーモード（R12/D7=0、R12/D6=0）の場合のみ有効です。
- ・ RCレジスタ、D6～D2：黒オフセットキャンセル参照画素  
黒オフセット検出／補正モード時の参照画素を8画素単位で設定します。起点は、ダミー画素と同じであり、設定値をN、実際の偶数画素、奇数画素の参照画素位置をBE、BOとする以下ようになります。  
 $BE = 8 \times N$  (N=0～31)  
 $BO = 8 \times N + 1$  (N=0～31)  
ダミー数カウンタとは別のカウンタでカウントされますので、ダミー数以上の設定値の場合、有効画素中に設定することも可能となりますが、通常は、ダミー画素を参照するように設定して下さい。
- ・ RCレジスタ、D1、D0、RDレジスタ：読み取り画素数設定レジスタ  
使用するセンサの有効画素数を8画素単位で設定します。起点は、ダミー画素終了後の実画素の先頭であり、ダミー画素を含みません。  
最大8192画素まで設定できます。設定値をN、実際の有効画素数をSとすると以下ようになります。  
 $S = 8 \times (N + 1)$  (N=0～1023)
- ・ REレジスタ：ダミー画素数設定レジスタ  
ダミー画素数を1画素単位で設定します。設定値をN、実際の画素数をDとすると以下ようになります。  
 $D = N$  (N=0～255)
- ・ RFレジスタ  
D7：クランプパルス幅  
クランプパルス幅を設定します。

|          | RF/D7=0 | RF/D7=1    |
|----------|---------|------------|
| ビットクランプ時 | 1/4MCLK | 1/8MCLK    |
| ラインクランプ時 | CLPEN   | CLPEN∩CKSH |

(リセット後の初期値0)

## D 6 : クランプ方式

クランプ方式を選択します。

- 0 : ビットクランプ (リセット時)
- 1 : ラインクランプ

## D 5 : センサクロック極性

センサクロック SP 1、SP 2 の極性を設定します。

- 0 : 正極 (リセット後)
- 1 : 負極

## D 4 : センサクロック極性

センサクロック CK 3 ~ 6 の極性を設定します。

- 0 : 正極 (リセット後)
- 1 : 負極

## D 3、D 2 : センサクロックモード

センサクロック CK 1、CK 2 のモードを設定します。

| D 3 | D 2 | モード         |
|-----|-----|-------------|
| 0   | 0   | モード 1 (CCD) |
| 0   | 1   | モード 2 (CCD) |
| 1   | 0   | モード 3 (CIS) |
| 1   | 1   | モード 4 (CIS) |

CK 2 は CK 1 を反転出力します。

(リセット後の初期値 0 0)

## D 1、D 0 : センサクロック位相

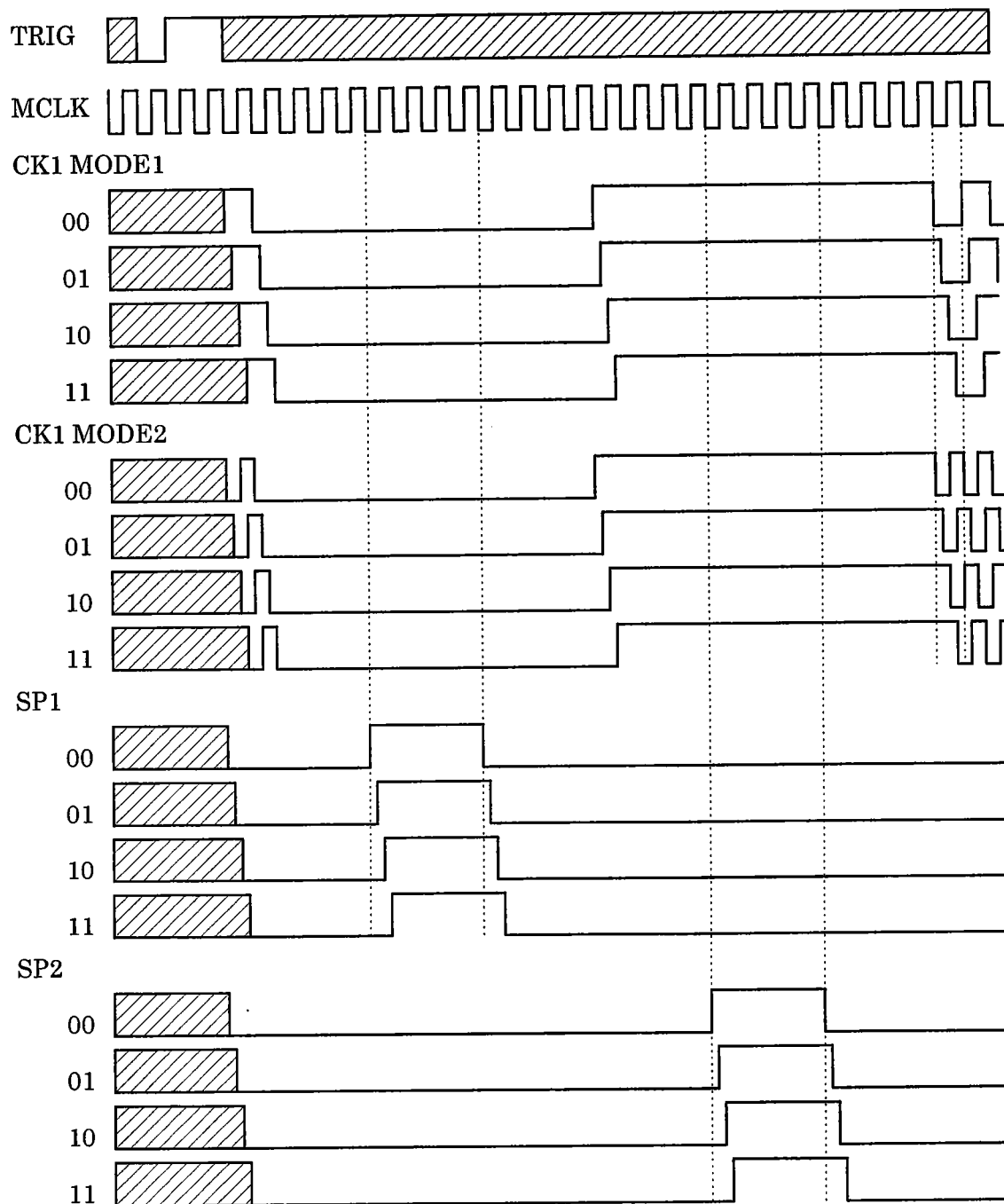
センサクロック SP 1、SP 2、CK 1、CK 2 の位相を設定します。

| D 1 | D 0 | 位相                     |
|-----|-----|------------------------|
| 0   | 0   | 遅れなし                   |
| 0   | 1   | $1 \times MCLK / 4$ 遅れ |
| 1   | 0   | $2 \times MCLK / 4$ 遅れ |
| 1   | 1   | $3 \times MCLK / 4$ 遅れ |

(リセット後の初期値 0 0)

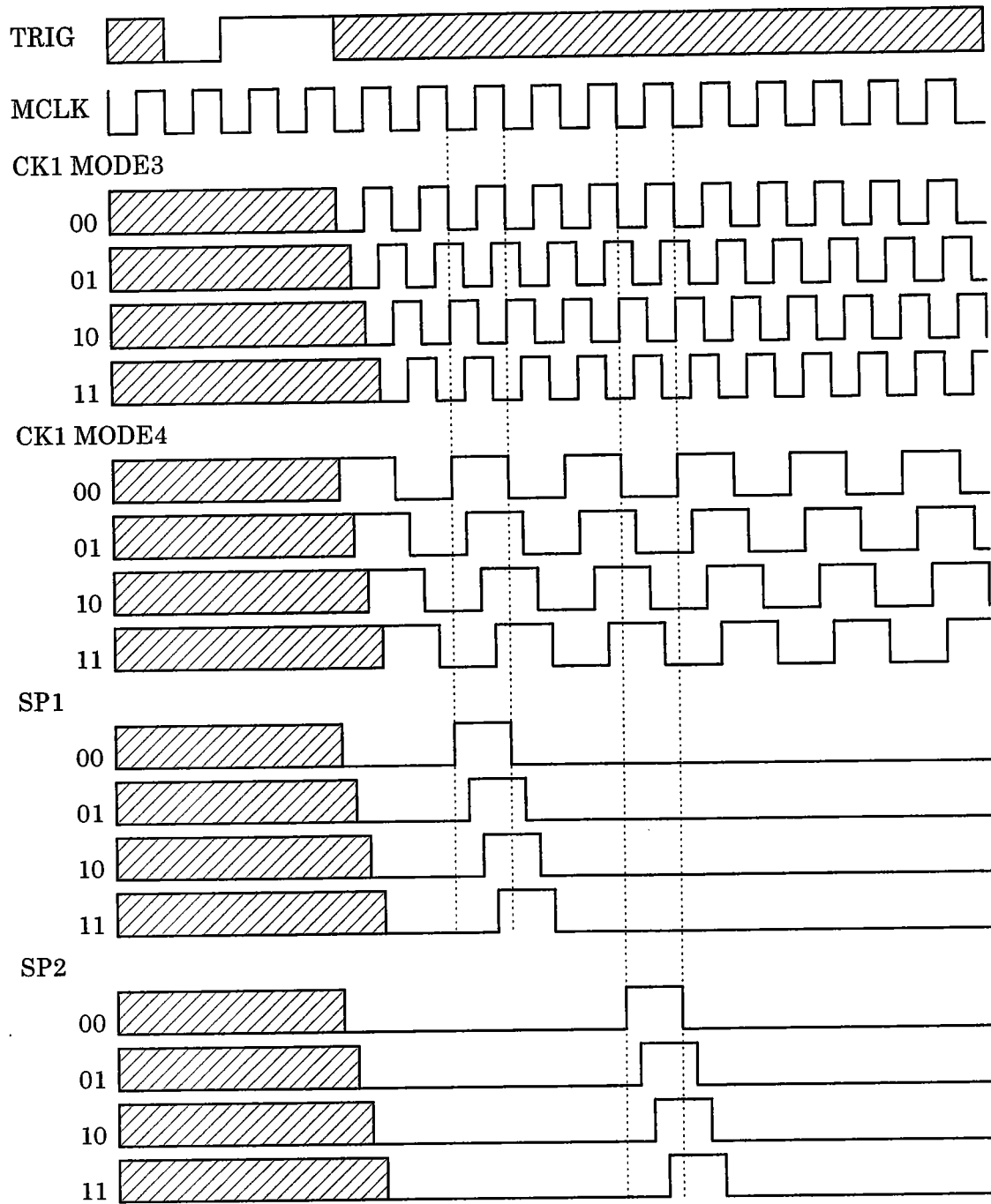
RFレジスタ、D1、D0の設定と、CK1、CK2、SP1、SP2の関係を以下に示します。(CK2は、CK1が反転出力されます。)

MODE1, MODE2 設定時





MODE3,MODE4 設定時



・ R 1 0 レジスタ：ラインクランプ開始画素

ラインクランプ時のクランプ開始画素を読み取り画素終了点から1画素単位で設定します。ダミー画素を含みます。設定値をN、実際の立ち上がりをCLP↑とすると以下ようになります。

$$CLP \uparrow = N \quad (N = 0 \sim 255)$$

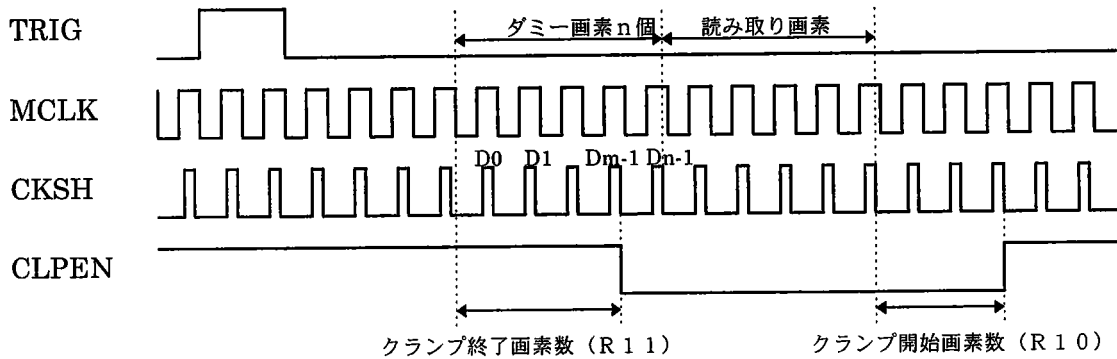
(リセット後の初期値00h)

・ R 1 1 レジスタ：ラインクランプ終了画素

ラインクランプ時のクランプ終了画素を1画素単位で設定します。ダミー画素区間中に立ち下がるように設定して下さい。設定値をN、実際の立ち下がり CLP↓とすると以下ようになります。

$$CLP \downarrow = N \quad (N = 0 \sim 255)$$

(リセット後の初期値00h)



・ R 1 2 レジスタ

D 7 : カラー／モノクロモード

カラー／モノクロモードを設定します。

0 : カラーモード

1 : モノクロモード

本レジスタは R 1 2 / D 6 = 0 (1 c h 選択) 設定時のみ有効です。

(注) 本レジスタはリセットにより初期化されません。

D 6 : 1 c h / 3 c h セレクト

使用するカラーセンサーのタイプと、それに伴う内部基本クロックの定倍率を設定します。

0 : 1 c h カラーセンサー MCLK × 4

1 : 3 c h カラーセンサー MCLK × 12

本レジスタの値が変更された場合は、PLLが安定するのに必要なウェイト (100

mS程度)を入れた後、ハードウェアリセットをかけて下さい。

(注) 本レジスタはリセットにより初期化されません。

D5、D4、D3：サンプリング順序設定

サンプルホールドされたデータの処理順序を設定します。

| D5 | D4 | D3 | 処理順序                               |
|----|----|----|------------------------------------|
| 0  | 0  | 0  | G→R→B (1ch時)<br>CN0→CN1→CN2 (3ch時) |
| 0  | 0  | 1  | B→G→R (1ch時)<br>CN2→CN0→CN1 (3ch時) |
| 0  | 1  | X  | R→B→G (1ch時)<br>CN1→CN2→CN0 (3ch時) |
| 1  | 0  | 0  | G→B→R (1ch時)<br>CN0→CN2→CN1 (3ch時) |
| 1  | 0  | 1  | R→G→B (1ch時)<br>CN1→CN0→CN2 (3ch時) |
| 1  | 1  | X  | B→R→G (1ch時)<br>CN2→CN1→CN0 (3ch時) |

(注) 本レジスタはリセットにより初期化されません。

D2、D1、D0：チャンネルイネーブル

処理するチャンネル/色を選択します。

0：ディスエーブル

1：イネーブル

|      | D2         | D1         | D0         |
|------|------------|------------|------------|
| 3ch時 | CN2 enable | CN1 enable | CN0 enable |
| 1ch時 | B enable   | R enable   | G enable   |

(注) 本レジスタはリセットにより初期化されません。

- ・ R13レジスタ：ゲイン調整／LED点灯時間調整用しきい値  
 ゲイン調整／LED点灯時間調整用カウンタをインクリメントする際のしきい値を設定します。  
 しきい値をSLD、設定値をGSLDとすると以下ようになります。  

$$SLD = GSLD \times 4 + 2 \quad (GSLD = 0 \sim 255)$$
- ・ R14レジスタ：ゲイン調整／LED点灯時間調整用カウンタ値  
 ゲイン調整モード／LED点灯時間調整モード実行時、R13レジスタで設定されるしきい値より、画信号用10ビットADCの出力結果が大きい場合、このレジスタがインクリメントされます。  
 ゲイン調整モード実行時、もしくは、LED点灯時間調整モード実行時に00hに初期化され、FFh以降はカウントアップしません。  
 (リセット後の初期値00h)
- ・ R15、R16、R17レジスタ：PGAゲイン設定  
 PGAのゲインを設定します。(CN0、CN1、CN2 または GRB)  
 (リセット後の初期値00h)  
 ゲインをPG、設定値をPGNとすると以下ようになります。  

$$PG = 335 / (335 - PGN) \quad (PGN = 0 \sim 255)$$

| 設定値 | ゲイン               |
|-----|-------------------|
| FFh | 4.1875倍 (12.43dB) |
| :   | :                 |
| C1h | 2.3591倍 (7.46dB)  |
| :   | :                 |
| 81h | 1.6262倍 (4.22dB)  |
| :   | :                 |
| 41h | 1.2407倍 (1.87dB)  |
| :   | :                 |
| 00h | 1.0000倍 (0.00dB)  |

(注) 設定値において、4の倍数は使用しないで下さい。

- ・ R18、R1A、R1Cレジスタ：LED点灯時間  
 LED点灯時間を32画素単位で設定します。(GRB)  
 LED (GRB) アクティブ期間をACTL (GRB)、レジスタ設定値をLEDT (GRB) とすると以下ようになります。  

$$ACTL (GRB) = 32 \times LEDT (GRB) \quad (LEDT = 0 \sim 255)$$
 (リセット後の初期値00h)

- ・ R19、R1B、R1Dレジスタ：LED点灯開始画素  
LED点灯開始位置を32画素単位で設定します。(GRB)  
ダミー画素を含みます。開始位置設定の起点は、ダミー画素数設定の起点と同じとします。点灯開始位置をLSRT (GRB)、レジスタ設定値をLEDS (GRB)とすると以下ようになります。  
$$LSRT (GRB) = 32 \times LEDS (GRB) \quad (LEDS = 0 \sim 255)$$
  
(リセット後の初期値00h)
  
- ・ R1Eレジスタ：ABC黒側リミッタ  
ABCイネーブル時の黒側追従リミット値を設定します。設定値をN、リミット値をBLIMとすると以下ようになります。  
$$BLIM = N \quad (N = 0 \sim 255)$$
  
(リセット後の初期値00h)
  
- ・ R1Fレジスタ：ABC白側リミッタ  
ABC/AGCイネーブル時の白側追従リミット値を設定します。設定値をN、リミット値をWLIMとすると以下ようになります。  
$$WLIM = N \quad (0 \sim 255)$$
  
(リセット後の初期値FFh)

・ R 2 0 レジスタ : ピーク検出カウンタ

ピーク検出カウンタの内容を読み出せます。

本レジスタは、ピーク検出モード/白補正值検出モード実行時にはアクセスしないで下さい。通常、単にピーク値を知りたい場合は、R 2 1 レジスタ (ピークホールド) を使用して下さい。

・ R 2 1 レジスタ : ピークホールド値レジスタ

ピークホールドレジスタ (PHD) に、このレジスタを通してピーク値を設定できます。また、ピーク検出後にABC動作で定まるピークホールド値がこのレジスタに自動的に書き込まれます。

(リセット後の初期値 8 0 h)

・ R 2 2 レジスタ :

D 0 ~ D 4 : ピーク回路キャリブレーション

ピーク検出回路とピークホールド回路の間のオフセットを検出/調整します。

黒補正值検出モードを実行させると、終了後、キャリブレーション値がセットされます。このレジスタは、書き込みも可能です。

その後の動作で、ピーク検出回路で検出したピーク値がピークホールド値レジスタに書き込まれる際、ピーク回路キャリブレーション値が自動的に加減算されます。

| D 4 | D 3 | D 2 | D 1 | D 0 | キャリブレーション値 |
|-----|-----|-----|-----|-----|------------|
| 0   | 0   | 0   | 0   | 0   | + 1 6      |
| 0   | 0   | 0   | 0   | 1   | + 1 5      |
| 0   | 0   | 0   | 1   | 0   | + 1 4      |
| :   | :   | :   | :   | :   | :          |
| 0   | 1   | 1   | 0   | 1   | + 3        |
| 0   | 1   | 1   | 1   | 0   | + 2        |
| 0   | 1   | 1   | 1   | 1   | + 1        |
| 1   | 0   | 0   | 0   | 0   | 0          |
| 1   | 0   | 0   | 0   | 1   | - 1        |
| 1   | 0   | 0   | 1   | 0   | - 2        |
| 1   | 0   | 0   | 1   | 1   | - 3        |
| :   | :   | :   | :   | :   | :          |
| 1   | 1   | 1   | 0   | 1   | - 1 3      |
| 1   | 1   | 1   | 1   | 0   | - 1 4      |
| 1   | 1   | 1   | 1   | 1   | - 1 5      |

(リセット後 0 0 h)

## D 5 : 白補正值 1 倍固定

0 : ディスエーブル (リセット時)

1 : イネーブル

このレジスタをイネーブルに設定すると、読み取りモード時の白補正值が 1 倍に固定されます。

- ・ R 2 3、R 2 7、R 2 8 レジスタ : 黒補正值オフセット調整 (CN0, CN1, CN2  
又は Green、Red、Blue)

このレジスタの設定値により、各チャンネル (色) 毎に検出済みの黒補正值に対してオフセットを付加することができます。このレジスタの設定値は、MSB を符号ビットとする 2 の補数表示でオフセット調整値を表します。(−128~127、リセット時は 0) この値が正数の場合は黒補正值が増加する方向、負数の場合には黒補正值が減少する方向のオフセットが付加されます。

オフセットキャリブレーションモード 1 を行うと、このレジスタの値は自動的に更新されます。

- ・ R 2 4 レジスタ

## D 7 - 4 : 白補正值検出平均回数

白補正值検出の平均回数を設定します。

白補正值検出モード実行時、自動的に (設定値 + 1) 回検出を実行し、検出値の平均を補正值とします。平均化により、補正值のノイズ低減が可能です。

平均回数を WAV、設定値を N とすると以下ようになります。

$$WAV = N + 1 \quad (N = 0 \sim 15)$$

(リセット後の初期値 0)

## D 3 - 0 : 黒補正值検出平均回数

黒補正值検出の平均回数を設定します。

黒補正值検出モード実行時、自動的に (設定値 + 1) 回検出を実行し、検出値の平均を補正值とします。平均化により、補正值のノイズ低減が可能です。

平均回数を BAV、設定値を N とすると以下ようになります。

$$BAV = N + 1 \quad (N = 0 \sim 15)$$

(リセット後の初期値 0)



・ R 2 5 レジスタ

D 7、D 6 : 黒補正範囲設定

黒補正值検出／補正のレンジを設定します。

| D 7 | D 6 | 検出／補正レンジ   |
|-----|-----|------------|
| 0   | 0   | ± 5 0 mV   |
| 0   | 1   | ± 1 0 0 mV |
| 1   | 0   | ± 1 5 0 mV |
| 1   | 1   | ± 2 0 0 mV |

(リセット後の初期値 0 1)

D 5 : I C L K 出力イネーブル

本レジスタをイネーブルに設定することで、メモリ外部アクセスモード時に、他チップからのメモリアクセス信号作成用のクロックとして、I C L K を出力します。

0 : 出力ディスエーブル

1 : 出力イネーブル (リセット時)

D 4 : シェーディングメモリアクセス

本 L S I がシェーディングメモリ (外付け R A M) にアクセスしていない時に本 L S I を介さずにシェーディングメモリへのアクセスを可能とするか、しないかを設定することができます。

0 : モード 1 (通常モード) (リセット時)

1 : モード 2 (本 L S I からアクセス無しの時に外部素子よりアクセス可能)

サンプリングレートが 4 M 画素 / 秒以上の時は、モード 2 は使用できません。

## D 3 : 白補正值データアクセスビット幅

シェーディングメモリアクセス時、白補正值データをアクセスする際のビット幅を選択します。

0 : 8ビットアクセス (リセット時)

1 : 9ビットアクセス

## 1. 8ビットアクセス時

1回のリード/ライトで、MSB 8ビットをアクセスします。

アクセス毎にアドレスがインクリメントされます。

## 2. 9ビットアクセス時

9ビットアクセス時は1データにつき2回のアクセスが必要であり、

1回目のリード/ライトで、MSB 8ビット、

2回目のリード/ライトで、LSB 1ビットをアクセスします。

|     | D 7 | D 6 | D 5 | D 4 | D 3 | D 2 | D 1 | D 0 |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 1回目 | W 8 | W 7 | W 6 | W 5 | W 4 | W 3 | W 2 | W 1 |
| 2回目 | 0   | 0   | 0   | 0   | 0   | 0   | 0   | W 0 |

シェーディングメモリのアドレスカウンタは、2回目のリード/ライトの後、自動的にインクリメントされます。

(注) 白補正值の検出及び白補正は、本レジスタの内容によらず、常に9ビットで行われます。

D2、D1、D0：シェーディングメモリバンクセレクト  
 シェーディングメモリのバンクをセレクトします。

| D2 | D1 | D0 | シェーディングメモリバンク   | BA2 | BA1 | BA0 |
|----|----|----|---|-----|-----|-----|
| 0  | 0  | 0  | 3ch時 CN0 白補正值データ<br>1ch時 Green 白補正值データ<br>(含む1chモノクロモード時) | 0   | 0   | 0   |
| 0  | 0  | 1  | 3ch時 CN1 白補正值データ<br>1ch時 Red 白補正值データ                      | 0   | 0   | 1   |
| 0  | 1  | 0  | 3ch時 CN2 白補正值データ<br>1ch時 Blue 白補正值データ                     | 0   | 1   | 0   |
| 0  | 1  | 1  | 1セットデータモード時 黒補正值データ<br>(含む1chモノクロモード時)                    | 0   | 1   | 1   |
| 1  | 0  | 0  | 3ch時 CN0 黒補正值データ<br>1ch時 Green 黒補正值データ                    | 1   | 0   | 0   |
| 1  | 0  | 1  | 3ch時 CN1 黒補正值データ<br>1ch時 Red 黒補正值データ                      | 1   | 0   | 1   |
| 1  | 1  | 0  | 3ch時 CN2 黒補正值データ<br>1ch時 Blue 黒補正值データ                     | 1   | 1   | 0   |

(リセット後の初期値000)

・R26レジスタ：SP幅設定

このレジスタの設定によりCCDモード（CK1、2）時のSPパルス幅を1画素単位設定します。設定値をN、実際のパルス幅をWとすると以下のようになります。

$$W=N+1 \quad (N=0\sim 255、リセット時N=0)$$

・R27、R28レジスタ：黒補正值オフセット調整（CN1、CN2又はRed、Blue）

このレジスタの説明は、R23レジスタの説明のところに記述されています。

・R29レジスタ：ADCオフセット調整

このレジスタの設定値により、ADC入力信号に対してオフセットを付加することができます。このレジスタの設定値は、MSBを符号ビットとする2の補数表示でオフセット調整値を表します。（-128～127、リセット時は0）

このレジスタ値が正数の場合はADC出力コードが増加する方向、負数の場合にはADC出力コードが減少する方向のオフセットが付加されます。

オフセットキャリブレーションモード2を行うと、このレジスタ値は自動的に更新されます。

- ・ R 2 A : シェーディングメモリアクセスウインドウ

このレジスタを介して、シェーディングデータをアクセスできます。

一度リード/ライトを行う毎にアドレスカウンタが自動的にインクリメントされます。

(ただし、9ビットデータアクセス時には、2回のアクセス毎にアドレスカウンタがインクリメントされます。)

## 絶対最大定格

| 項目         | 記号   | min.     | max.   | 単位 | 備考                                 |
|------------|------|----------|--------|----|------------------------------------|
| 電源電圧       |      |          |        |    | 電源立ち上げ時を含めて、常に $VA \geq VD$ であること。 |
| デジタル電源     | VD   | -0.3     | 6.5    | V  |                                    |
| アナログ電源     | VA   | -0.3     | 6.5    | V  |                                    |
| デジタル端子印可電圧 | VTD  | -0.3     | VD+0.3 | V  |                                    |
| アナログ端子印可電圧 | VTA  | -0.3     | VA+0.3 | V  |                                    |
| 動作周囲温度     | Ta   | 0        | 70     | ℃  |                                    |
| 保存温度       | Tstg | -55      | 125    | ℃  |                                    |
| 半田付け温度：時間  | Tsol | 260℃、10秒 |        |    |                                    |

電圧はすべて接地端子基準：AVSS、DVSS=0V

## 推奨動作条件

| 項目     | 記号 | min. | typ. | max. | 単位 | 備考                                 |
|--------|----|------|------|------|----|------------------------------------|
| 電源電圧   |    |      |      |      |    | 電源立ち上げ時を含めて、常に $VA \geq VD$ であること。 |
| デジタル電源 | VD | 4.75 | 5.0  | 5.25 | V  |                                    |
| アナログ電源 | VA | 4.75 | 5.0  | 5.25 | V  |                                    |
| 動作温度範囲 | Ta | 0    |      | 70   | ℃  |                                    |

電圧はすべて接地端子基準：AVSS、DVSS=0V

## 電氣的特性

## ■DC特性

(特記なき場合、VD、VA=5V±5%、Ta=0~70℃)

| 項目        | 記号  | 適用端子     | min. | typ. | max. | 単位 | 条件                   |
|-----------|-----|----------|------|------|------|----|----------------------|
| 消費電流      |     |          |      |      |      |    | 1 c hモード             |
| デジタル電源    | ID  |          |      |      | 30   | mA | MCLK=10MHz           |
| アナログ電源    | IA  |          |      |      | 80   | mA | 3 c hモード             |
|           |     |          |      |      |      |    | MCLK=3.3MHz          |
|           |     |          |      |      |      |    | 無負荷                  |
| ハイレベル入力電圧 | VIH | デジタル入力端子 | 2.4  |      |      | V  | /RESET,<br>/TEST2 除く |
|           |     |          | 3.5  |      |      | V  | /RESET,<br>/TEST2    |
| ローレベル入力電圧 | VIL | デジタル入力端子 |      |      | 0.8  | V  | /TEST1<br>/TEST2 除く  |
|           |     |          |      |      | 0.2  | V  | /TEST1<br>/TEST2     |
| ハイレベル出力電圧 | VOH | デジタル出力端子 | 3.0  |      |      | V  | Ioh=-1mA             |
| ローレベル出力電圧 | VOL | デジタル出力端子 |      |      | 0.4  | V  | Iol=4mA              |
| 入力端子リーク電流 | IL  | デジタル入力端子 | -10  |      | 10   | μA | VI=DVDD<br>VI=DVSS   |

## ■アナログ特性

(特記なき場合、 $V_D$ 、 $V_A=5V \pm 5\%$ 、 $T_a=0 \sim 70^\circ\text{C}$ )

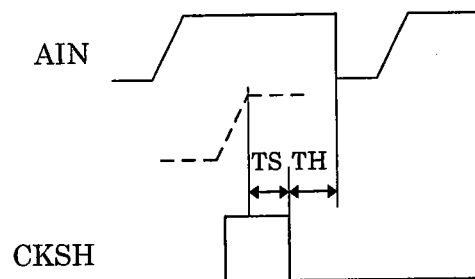
| 項目   | min.       | typ.         | Max.      | 単位     | 備考  |
|--|------------|--------------|-----------|--------|---|
| アナログ入力                                     |            |              |           |        |   |
| 入力可能最大電圧                                   |            | 1.25         |           | Vp-p   | CN0~CN2   |
| サンプリングレート                                  | 1.5<br>0.5 |              | 10<br>3.3 | Mpix/S | 1chモード時<br>3chモード時                              |
| 入力容量                                       |            |              | 20        | pF     | CN0~CN2   |
| 入力抵抗                                       | 1          |              |           | MΩ     | CN0~CN2   |
| 黒歪検出/補正回路                                  |            |              |           |        |   |
| 検出/補正可能電圧                                  |            | ±50<br>~±200 |           | mV     | ±50mV 単位で設定時                                    |
| 最小補正レンジ                                    | VCLP±25    | VCLP±50      |           | mV     | レンジ設定=±50mV                                     |
|  | VCLP±75    | VCLP±100     |           | mV     | レンジ設定=±100mV                                    |
|  | VCLP±125   | VCLP±150     |           | mV     | レンジ設定=±150mV                                    |
|  | VCLP±175   | VCLP±200     |           | mV     | レンジ設定=±200mV                                    |
| 検出/補正分解能                                   |            | 8            |           | bit    |   |
| 補正精度                                       |            | ±3           | ±4        | LSB    | 10MHz サンプリング<br>黒補正レンジ±200mV 設定<br>画信号ADCフルスケール |
| 残留オフセット電圧<br>(オフセットキャリブレーションモード1,<br>2実行後) |            | 13           |           | mV     |   |
| 基準電圧                                       |            |              |           |        |   |
| VCLP電圧                                     |            | 2.1          |           | V      |   |
| VREF電圧                                     |            | 0.85         |           | V      |   |
| ピーク検出/ピークホールド回路                            |            |              |           |        |   |
| 検出可能最大電圧                                   | 1.15       | 1.25         | 1.35      | Vp-p   | VCLP に対して白側を正とする                                |
| 分解能  |            | 8            |           | bit    |   |
| セトリング時間                                    |            |              | 70        | μS     | 10LSB 変化時 C=0.1μF                               |
|  |            |              | 40        | μS     | 1LSB 変化時 C=0.1μF                                |
| 10ビットADC基準電圧生成DAC                          |            |              |           |        |   |
| 分解能  |            | 8            |           | bit    | 単調性があること  |
| セトリング時間                                    |            |              | 70        | μS     | 10LSB 変化時 C=0.1μF                               |
|  |            |              | 40        | μS     | 1LSB 変化時 C=0.1μF                                |

(特記なき場合、 $V_D$ 、 $V_A=5V \pm 5\%$ 、 $T_a=0 \sim 70^\circ C$ )

|                                 | min. | typ.    | Max.    | 単位       | 備考   |
|---------------------------------|------|---------|---------|----------|--|
| クランプ回路                          |      |         |         |          |  |
| スイッチON抵抗                        |      |         | 50      | $\Omega$ | アナログ入力=2.0V<br>アンプON抵抗含む   |
| サンプルホールド回路                      |      |         |         |          |  |
| セットアップ時間                        | 20   |         |         | nS       | 下図参照   |
| ホールド時間                          | 10   |         |         | nS       | 下図参照   |
| ラインクランプ時<br>ドループ電圧              |      |         | 5       | mV       | $C=1\mu F$ 8192 画素<br>VCLP-1.25V 時   |
| 残留オフセット電圧<br>(ドループリカバリー<br>時間後) |      |         | 13      | mV       | $C=1\mu F$ 8192 画素<br>10MHz サンプリング<br>VCLP-1.25V RF/D7=1<br>ドループリカバリー時間=<br>100 $\mu S$ (注1) |
| PGA回路                           |      |         |         |          |  |
| 分解能                             |      | 8       |         | bit      | (注2)   |
| 最大ゲイン                           | 4    | 4.187   |         | 倍        |  |
| 白歪検出/補正回路                       |      |         |         |          |  |
| 分解能                             |      | 9       |         | bit      |  |
| 検出/補正可能電圧                       |      | 60      |         | %Vpk     | VPEAK-VCLP に対する割合  |
| 補正精度                            |      | $\pm 4$ | $\pm 5$ | LSB      | 画信号 ADC 換算<br>VWHT-VBLK=1.25V  |
| 画信号ADC                          |      |         |         |          |  |
| 分解能                             |      | 10      |         | bit      | コード欠けなし。<br>VWHT-VBLK=0.8V   |
| 最大リファレンス電圧                      |      | 1.25    |         | V        |  |

(注1) 設計保証値です。

(注2) PGAの設定コードにおいて、単調性がなくなるため4の倍数は使用しないで下さい。





## ■デジタルAC特性

(特記なき場合、 $V_D$ 、 $V_A=5V\pm 5\%$ 、 $T_a=0\sim 70^\circ\text{C}$ )

| No. | 項目   | 適用端子     | min.     | typ.   | max. | 単位 | 条件       |
|-----|--|----------|----------|--------|------|----|----------|
| 1   | MCLK cycle time (T)                              | MCLK     | 100      |        | 667  | nS | 1ch mode |
|     |  |          | 300      |        | 2000 | nS | 3ch mode |
| 2   | MCLK high level width                            | MCLK     | 30%      |        | 70%  | T  |          |
| 3   | MCLK low level width                             | MCLK     | 30%      |        | 70%  | T  |          |
| 4   | TRIG set up time<br>(to MCLK $\uparrow$ )        | TRIG     | 20       |        |      | nS |          |
| 5   | TRIG hold time<br>(to MCLK $\uparrow$ )          | TRIG     | 20       |        |      | nS |          |
| 6   | VPE set up time<br>(to MCLK $\uparrow$ )         | VPE      | 0        |        |      | nS |          |
| 7   | VPE hold time<br>(to MCLK $\uparrow$ )           | VPE      | $T/2+20$ |        |      | nS |          |
| 8   | /RESET pulse width                               | /RESET   | 20       |        |      | nS |          |
| 9   | ICLK cycle time                                  | ICLK     |          | 1/4    |      | T  | 1ch mode |
|     |  |          |          | 1/12   |      | T  | 3ch mode |
| 10  | ICLK high level width                            | ICLK     |          | 1/8    |      | T  | 1ch mode |
|     |  |          |          | 1/24   |      | T  | 3ch mode |
| 11  | ICLK low level width                             | ICLK     |          | 1/8    |      | T  | 1ch mode |
|     |  |          |          | 1/24   |      | T  | 3ch mode |
| 12  | ICLK delay time<br>(to MCLK $\uparrow$ )         | ICLK     |          |        | 25   | nS | C=20pF   |
| 13  | (PLLCLK) delay time<br>(to MCLK $\uparrow$ )     | (PLLCLK) | -5       |        | +5   | nS |          |
| 14  | ICLK delay time<br>(to PLLCLK $\uparrow$ )       | ICLK     |          |        | 20   | nS | C=20pF   |
| 15  | CK1,2 low level width(3)<br>(mode1, after TRIG)  | CK1,CK2  |          | 3(N+1) |      | T  | (注)      |
| 16  | CK1,2 high level width(3)<br>(mode1, after TRIG) | CK1,CK2  |          | 3(N+1) |      | T  | (注)      |
| 17  | CK1,2 cycle time(1)<br>(mode1, mode4)            | CK1,CK2  |          | 2      |      | T  |          |
| 18  | CK1,2 high level width(1)<br>(mode1, mode4)      | CK1,CK2  |          | 1      |      | T  |          |

(注)NはSP幅設定レジスタの設定値を表します。

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

| No. | 項目   | 適用端子    | min. | typ.   | max.         | 単位 | 条件     |
|-----|--|---------|------|--------|--------------|----|--------|
| 19  | CK1,2 low level width(1)<br>(mode1, mode4)                     | CK1,CK2 |      | 1      |              | T  |        |
| 20  | CK1,2 delay time(1)<br>(mode1, mode4)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 5T/8<br>+33  | nS | C=20pF |
| 21  | CK1,2 delay time(2)<br>(mode1, mode4)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 7T/8<br>+33  | nS | C=20pF |
| 22  | CK1,2 delay time(3)<br>(mode1, mode4)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 9T/8<br>+33  | nS | C=20pF |
| 23  | CK1,2 delay time(4)<br>(mode1, mode4)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 11T/8<br>+33 | nS | C=20pF |
| 24  | CK1,2 low level width(4)<br>(mode2, after TRIG)                | CK1,CK2 |      | 3(N+1) |              | T  |        |
| 25  | CK1,2 high level width(4)<br>(mode2, after TRIG)               | CK1,CK2 |      | 3(N+1) |              | T  |        |
| 26  | CK1,2 cycle time(2)<br>(mode2, mode3)                          | CK1,CK2 |      | 1      |              | T  |        |
| 27  | CK1,2 high level width(2)<br>(mode2, mode3)                    | CK1,CK2 |      | 1/2    |              | T  |        |
| 28  | CK1,2 low level width(2)<br>(mode2, mode3)                     | CK1,CK2 |      | 1/2    |              | T  |        |
| 29  | CK1,2 delay time(5)<br>(mode2, mode3)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | T/8<br>+33   | nS | C=20pF |
| 30  | CK1,2 delay time(6)<br>(mode2, mode3)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 3T/8<br>+33  | nS | C=20pF |
| 31  | CK1,2 delay time(7)<br>(mode2, mode3)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 5T/8<br>+33  | nS | C=20pF |
| 32  | CK1,2 delay time(8)<br>(mode2, mode3)<br>(to MCLK $\uparrow$ ) | CK1,CK2 |      |        | 7T/8<br>+33  | nS | C=20pF |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

| No. | 項目  | 適用端子    | min. | typ. | Max.          | 単位 | 条件                 |
|-----|---|---------|------|------|---------------|----|--------------------|
| 33  | SP1,2 delay time<br>(to MCLK $\uparrow$ )                       | SP1,SP2 |      |      | 5T/8<br>+33   | nS | C=20pF             |
| 34  | SP1,2 pulse width<br>(to MCLK $\uparrow$ )                      | SP1,SP2 |      | N+1  |               | T  | mode 1,2           |
|     |   |         |      | 1    |               | T  | mode 3,4           |
| 35  | CK3 delay time<br>(to MCLK $\uparrow$ )                         | CK3     |      |      | 5T/8<br>+33   | nS | C=20pF             |
| 36  | CK4 delay time<br>(to MCLK $\uparrow$ )                         | CK4     |      |      | 7T/8<br>+33   | nS | C=20pF             |
| 37  | CK5 delay time<br>(to MCLK $\uparrow$ )                         | CK5     |      |      | T/8<br>+33    | nS | C=20pF             |
| 38  | CK6 delay time<br>(to MCLK $\uparrow$ )                         | CK6     |      |      | 5T/8<br>+33   | nS | C=20pF             |
| 39  | CK6~3 cycle time  | CK6~3   |      | 1    |               | T  |                    |
| 40  | CK6~3 high level width  | CK6~3   |      | 1/4  |               | T  |                    |
| 41  | CK6~3 low level width   | CK6~3   |      | 3/4  |               | T  |                    |
| 42  | CKSH delay time<br>(to MCLK $\uparrow$ )                        | CKSH    |      |      | T/8<br>+35    | nS | C=20pF             |
| 43  | CKSH cycle time   | CKSH    |      | 1    |               | T  |                    |
| 44  | CKSH high level width   | CKSH    |      | 1/4  |               | T  |                    |
| 45  | CKSH low level width  | CKSH    |      | 3/4  |               | T  |                    |
| 46  | CLPEN delay time<br>(to MCLK $\uparrow$ )                       | CLPEN   |      |      | 5T/8<br>+35   | nS | 1ch mode<br>C=20pF |
|     |   |         |      |      | 11T/24<br>+35 | nS | 3ch mode<br>C=20pF |
| 47  | CKCL delay time<br>(line clamp, mode0)<br>(to MCLK $\uparrow$ ) | CKCL    |      |      | 5T/8<br>+35   | nS | 1ch mode<br>C=20pF |
|     |   |         |      |      | 11T/24<br>+35 | nS | 3ch mode<br>C=20pF |
| 48  | CKCL delay time<br>(line clamp, mode1)<br>(to MCLK $\uparrow$ ) | CKCL    |      |      | 5T/8<br>+35   | nS | C=20pF             |
| 49  | CKCL cycle time<br>(line clamp, mode1)                          | CKCL    |      | 1    |               | T  |                    |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

| No. | 項目   | 適用端子           | min. | typ. | max.        | 単位 | 条件       |
|-----|--|----------------|------|------|-------------|----|----------|
| 50  | CKCL high level width<br>(line clamp, mode1)                   | CKCL           |      | 1/4  |             | T  |          |
| 51  | CKCL low level width<br>(line clamp, mode1)                    | CKCL           |      | 3/4  |             | T  |          |
| 52  | CKCL delay time<br>(bit clamp, mode0)<br>(to MCLK $\uparrow$ ) | CKCL           |      |      | 5T/8<br>+35 | nS | C=20pF   |
| 53  | CKCL cycle time<br>(bit clamp, mode0)                          | CKCL           |      | 1    |             | T  |          |
| 54  | CKCL high level width<br>(bit clamp, mode0)                    | CKCL           |      | 1/4  |             | T  |          |
| 55  | CKCL low level width<br>(bit clamp, mode0)                     | CKCL           |      | 3/4  |             | T  |          |
| 56  | CKCL delay time<br>(bit clamp, mode1)<br>(to MCLK $\uparrow$ ) | CKCL           |      |      | 3T/4<br>+35 | nS | C=20pF   |
| 57  | CKCL cycle time<br>(bit clamp, mode1)                          | CKCL           |      | 1    |             | T  |          |
| 58  | CKCL high level width<br>(bit clamp, mode1)                    | CKCL           |      | 1/8  |             | T  |          |
| 59  | CKCL low level width<br>(bit clamp, mode1)                     | CKCL           |      | 7/8  |             | T  |          |
| 60  | LED(G/R/B) delay time<br>(to MCLK $\uparrow$ )                 | LED<br>(G/R/B) |      |      | T/2<br>+37  | nS | C=20pF   |
| 61  | VD9~0 delay time<br>(1ch mode)<br>(to MCLK $\uparrow$ )        | VD9~0          |      |      | T/2<br>+33  | nS | C=20pF   |
| 62  | DCLK delay time<br>(1ch mode)<br>(to MCLK $\uparrow$ )         | DCLK           |      |      | T/2<br>+33  | nS | C=20pF   |
| 63  | DCLK cycle time  | DCLK           |      | 1    |             | T  | 1ch mode |
|     |  |                |      | 1/3  |             | T  | 3ch mode |
| 64  | DCLK high level width  | DCLK           |      | 1/2  |             | T  | 1ch mode |
|     |  |                |      | 1/6  |             | T  | 3ch mode |

(特記なき場合、VD、VA=5V±5%、Ta=0~70℃)

| No. | 項目   | 適用端子                       | min.       | typ. | max.         | 単位 | 条件       |
|-----|--|----------------------------|------------|------|--------------|----|----------|
| 65  | DCLK low level width                             | DCLK                       |            | 1/2  |              | T  | 1ch mode |
|     |  |                            |            | 1/6  |              | T  | 3ch mode |
| 66  | VD9~0 set up time<br>(1ch mode)<br>(to DCLK ↓)   | VD9~0                      | T/2<br>-10 |      |              | nS | C=20pF   |
| 67  | VD9~0 hold time<br>(1ch mode)<br>(to DCLK ↓)     | VD9~0                      | T/2<br>-10 |      |              | nS | C=20pF   |
| 68  | CN0DEN delay time<br>(1ch mode)<br>(to MCLK ↑)   | CN0DEN                     |            |      | T/2<br>+33   | nS | C=20pF   |
| 69  | CN2~0DEN set up time<br>(to DCLK ↓)              | CN0DEN<br>CN1DEN<br>CN2DEN | T/2<br>-10 |      |              | nS | C=20pF   |
| 70  | CN2~0DEN hold time<br>(to DCLK ↓)                | CN0DEN<br>CN1DEN<br>CN2DEN | T/2<br>-10 |      |              | nS | C=20pF   |
| 71  | VD9~0 delay time(1)<br>(3ch mode)<br>(to MCLK ↑) | VD9~0                      |            |      | 3T/4<br>+33  | nS | C=20pF   |
| 72  | VD9~0 delay time(2)<br>(3ch mode)<br>(to MCLK ↑) | VD9~0                      |            |      | T/12<br>+33  | nS | C=20pF   |
| 73  | VD9~0 delay time(3)<br>(3ch mode)<br>(to MCLK ↑) | VD9~0                      |            |      | 5T/12<br>+33 | nS | C=20pF   |
| 74  | VD9~0 set up time<br>(3ch mode)<br>(to DCLK ↓)   | VD9~0                      | T/6<br>-10 |      |              | nS | C=20pF   |
| 75  | VD9~0 hold time<br>(3ch mode)<br>(to DCLK ↓)     | VD9~0                      | T/6<br>-10 |      |              | nS | C=20pF   |
| 76  | DCLK delay time(1)<br>(3ch mode)<br>(to MCLK ↑)  | DCLK                       |            |      | 3T/4<br>+33  | nS | C=20pF   |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ C$ )

| No. | 項目  | 適用端子                       | min.        | typ. | Max.         | 単位 | 条件                 |
|-----|---|----------------------------|-------------|------|--------------|----|--------------------|
| 77  | DCLK delay time(2)<br>(3ch mode)<br>(to MCLK $\uparrow$ ) | DCLK                       |             |      | T/12<br>+33  | nS | C=20pF             |
| 78  | DCLK delay time(3)<br>(3ch mode)<br>(to MCLK $\uparrow$ ) | DCLK                       |             |      | 5T/12<br>+33 | nS | C=20pF             |
| 79  | CN0DEN delay time<br>(3ch mode)<br>(to MCLK $\uparrow$ )  | CN0DEN                     |             |      | 3T/4<br>+33  | nS | C=20pF             |
| 80  | CN1DEN delay time<br>(3ch mode)<br>(to MCLK $\uparrow$ )  | CN1DEN                     |             |      | T/12<br>+33  | nS | C=20pF             |
| 81  | CN2DEN delay time<br>(3ch mode)<br>(to MCLK $\uparrow$ )  | CN2DEN                     |             |      | 5T/12<br>+33 | nS | C=20pF             |
| 82  | CN2~0DEN pulse width<br>(3ch mode)                        | CN0DEN<br>CN1DEN<br>CN2DEN |             | 1/3  |              | T  |                    |
| 83  | SA12~0 set up time<br>(to /SWR $\uparrow$ )               | SA12~0                     | 14T-10      |      |              | nS | 1ch mode<br>C=20pF |
|     |   |                            | 7T-10       |      |              | nS | 3ch mode<br>C=20pF |
| 84  | SA12~0 hold time<br>(to /SWR $\uparrow$ )                 | SA12~0                     | 2T-10       |      |              | nS | 1ch mode<br>C=20pF |
|     |   |                            | 9T-10       |      |              | nS | 3ch mode<br>C=20pF |
| 85  | /SWR pulse width  | /SWR                       |             | 1/2  |              | T  | 1ch mode           |
|     |   |                            |             | 1/6  |              | T  | 3ch mode           |
| 86  | /SWR delay time<br>(to /SRD $\uparrow$ )                  | /SWR                       | 2T-10       |      |              | nS | 1ch mode<br>C=20pF |
|     |   |                            | 2T/3<br>-10 |      |              | nS | 3ch mode<br>C=20pF |
| 87  | /SRD pulse width  | /SRD                       |             | 1/2  |              | T  | 1ch mode           |
|     |   |                            |             | 1/6  |              | T  | 3ch mode           |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

| No. | 項目   | 適用端子            | min.  | typ. | max.  | 単位 | 条件                 |
|-----|--|-----------------|-------|------|-------|----|--------------------|
| 88  | SA12~0 hold time<br>(to /SRD ↑)                      | SA12~0          | 2T/9  |      |       | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
|     |  |                 | 59T/6 |      |       | nS | 3ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
| 89  | SD8~0 acceptable delay<br>time<br>(to SA12~0)        | SD8~0           |       |      | 23T/2 | nS | 1ch mode<br>C=20pF |
|     |  |                 |       |      | -20   |    |                    |
|     |  |                 |       |      | 37T/6 | nS | 3ch mode<br>C=20pF |
|     |  |                 |       |      | -20   |    |                    |
| 90  | SD8~0 acceptable delay<br>time<br>(to /SRD ↓)        | SD8~0           |       |      | T/2   | nS | 1ch mode<br>C=20pF |
|     |  |                 |       |      | -20   |    |                    |
|     |  |                 |       |      | T/6   | nS | 3ch mode<br>C=20pF |
|     |  |                 |       |      | -20   |    |                    |
| 91  | SD8~0 hold time<br>(to /SRD ↑)                       | SD8~0           | 0     |      |       | nS | C=20pF             |
| 92  | SD8~0→Hi-Z<br>acceptable delay time<br>(to /SRD ↑)   | SD8~0           |       |      | 2T-10 | nS | 1ch mode<br>C=20pF |
|     |  |                 |       |      |       |    |                    |
|     |  |                 |       |      | 2T/3  | nS | 3ch mode<br>C=20pF |
|     |  |                 |       |      | -10   |    |                    |
| 93  | SD8~0 set up time<br>(to /SWR ↑)                     | SD8~0           | T/2   |      |       | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
|     |  |                 | T/6   |      |       | nS | 3ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
| 94  | SD8~0 hold time<br>(to /SWR ↑)                       | SD8~0           | T/2   |      |       | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
|     |  |                 | T/6   |      |       | nS | 3ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
| 95  | SD8~0 acceptable delay<br>time<br>(to SA12~0, BA2~0) | SD8~0           |       |      | T/2   | nS | 1ch mode<br>C=20pF |
|     |  |                 |       |      | -20   |    |                    |
|     |  |                 |       |      | T/6   | nS | 3ch mode<br>C=20pF |
|     |  |                 |       |      | -20   |    |                    |
| 96  | SA12~0, BA2~0<br>hold time<br>(to /SRD ↑)            | SA12~0<br>BA2~0 | T/2   |      |       | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |
|     |  |                 | T/6   |      |       | nS | 3ch mode<br>C=20pF |
|     |  |                 | -10   |      |       |    |                    |

(特記なき場合、VD、VA=5V±5%、Ta=0~70℃)

| No. | 項目   | 適用端子   | min.          | typ. | max.        | 単位 | 条件                 |
|-----|--|--------|---------------|------|-------------|----|--------------------|
| 97  | /SRD cycle time                            | /SRD   |               | 1    |             | T  | 1ch mode           |
|     |  |        |               | 1/3  |             | T  | 3ch mode           |
| 98  | /SRD low level width                       | /SRD   |               | 1/2  |             | T  | 1ch mode           |
|     |  |        |               | 1/6  |             | T  | 3ch mode           |
| 99  | /SRD high level width                      | /SRD   |               | 1/2  |             | T  | 1ch mode           |
|     |  |        |               | 1/6  |             | T  | 3ch mode           |
| 100 | SD8~0 acceptable delay time<br>(to /SRD ↓) | SD8~0  |               |      | T/2<br>-20  | nS | 1ch mode<br>C=20pF |
|     |  |        |               |      | T/6<br>-20  | nS | 3ch mode<br>C=20pF |
| 101 | SD8~0 hold time<br>(to /SRD ↑)             | SD8~0  | 0             |      |             | nS | C=20pF             |
| 102 | SA12~0 set up time<br>(to /SWR ↑)          | SA12~0 | 15T-10        |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | 5T-10         |      |             | nS | 3ch mode<br>C=20pF |
| 103 | BA2~0 set up time<br>(to /SWR ↑)           | BA2~0  | 55T/4<br>-10  |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | 55T/12<br>-10 |      |             | nS | 3ch mode<br>C=20pF |
| 104 | SA12~0 hold time<br>(to /SWR ↑)            | SA12~0 | T-10          |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | 11T<br>-10    |      |             | nS | 3ch mode<br>C=20pF |
| 105 | SD8~0 acceptable delay time<br>(to BA2~0)  | SD8~0  |               |      | 3T/4<br>-20 | nS | 1ch mode<br>C=20pF |
|     |  |        |               |      | T/4<br>-20  | nS | 3ch mode<br>C=20pF |
| 106 | BA2~0 hold time<br>(to /SRD ↑)             | BA2~0  | T/4<br>-10    |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | T/12<br>-10   |      |             | nS | 3ch mode<br>C=20pF |
| 107 | /SWR pulse width                           | /SWR   |               | 1/2  |             | T  | 1ch mode           |
|     |  |        |               | 1/6  |             | T  | 3ch mode           |



(特記なき場合、VD、VA=5V±5%、Ta=0~70℃)

| No. | 項目   | 適用端子   | min.         | typ. | max.        | 単位 | 条件                 |
|-----|--|--------|--------------|------|-------------|----|--------------------|
| 108 | /SRD pulse width                                   | /SRD   |              | 1/2  |             | T  | 1ch mode           |
|     |  |        |              | 1/6  |             | T  | 3ch mode           |
| 109 | /SWR delay time<br>(to /SRD ↑)                     | /SWR   | 2T-10        |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | 2T/3<br>-10  |      |             | nS | 3ch mode<br>C=20pF |
| 110 | SA12~0 hold time<br>(to /SRD ↑)                    | SA12~0 | 7T/2<br>-10  |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | 71T/6<br>-10 |      |             | nS | 3ch mode<br>C=20pF |
| 111 | SD8~0 acceptable delay<br>time<br>(to /SRD ↓)      | SD8~0  |              |      | T/2<br>-20  | nS | 1ch mode<br>C=20pF |
|     |  |        |              |      | T/6<br>-20  | nS | 3ch mode<br>C=20pF |
| 112 | SD8~0 acceptable delay<br>time<br>(to SA12~0)      | SD8~0  |              |      | T-20        | nS | 1ch mode<br>C=20pF |
|     |  |        |              |      | T/3<br>-20  | nS | 3ch mode<br>C=20pF |
| 113 | SD8~0 hold time<br>(to /SRD ↑)                     | SD8~0  | 0            |      |             | nS | C=20pF             |
| 114 | SD8~0→Hi-Z<br>acceptable delay time<br>(to /SRD ↑) | SD8~0  |              |      | 2T-10       | nS | 1ch mode<br>C=20pF |
|     |  |        |              |      | 2T/3<br>-10 | nS | 3ch mode<br>C=20pF |
| 115 | SD8~0 set up time<br>(to /SWR ↑)                   | SD8~0  | T/2<br>-10   |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | T/6<br>-10   |      |             | nS | 3ch mode<br>C=20pF |
| 116 | SD8~0 hold time<br>(to /SWR ↑)                     | SD8~0  | T/2<br>-10   |      |             | nS | 1ch mode<br>C=20pF |
|     |  |        | T/6<br>-10   |      |             | nS | 3ch mode<br>C=20pF |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

| No. | 項目  | 適用端子                            | min.        | typ. | max. | 単位     | 条件       |
|-----|---|---------------------------------|-------------|------|------|--------|----------|
| 117 | SA12~0, BA2~0<br>delay time<br>(to PLLCLK ↑)                            | SA12~0<br>BA2~0                 |             |      | 33   | nS     | C=20pF   |
| 118 | SD8~0 acceptable delay<br>time<br>(to SA12~0, BA2~0)                    | SD8~0                           |             |      | T/2  | nS     | 1ch mode |
|     |   |                                 |             |      | -20  | C=20pF |          |
| 118 |   |                                 |             |      | T/6  | nS     | 3ch mode |
|     |   |                                 |             |      | -20  | C=20pF |          |
| 119 | SD8~0 hold time<br>(to PLLCLK ↑)  | SD8~0                           | 0           |      |      | nS     | C=20pF   |
| 120 | SA12~0, BA2~0,<br>/SWR, /SRD<br>Hi-Z→output delay time<br>(to PLLCLK ↑) | SA12~0<br>BA2~0<br>/SWR<br>/SRD |             |      | 33   | nS     | C=20pF   |
| 121 | /ACEEN delay time   | /ACEEN                          |             |      | 33   | nS     | C=20pF   |
| 122 | SD8~0 acceptable delay<br>time<br>(to SA12~0BA2~0,<br>/SRD)             | SD8~0                           |             |      | T/2  | nS     | 1ch mode |
|     |   |                                 |             |      | -20  | C=20pF |          |
| 122 |   |                                 |             |      | T/6  | nS     | 3ch mode |
|     |   |                                 |             |      | -20  | C=20pF |          |
| 123 | SA12~0, BA2~0,<br>/SWR, /SRD hold time<br>(to PLLCLK ↑)                 | SA12~0<br>BA2~0<br>/SWR<br>/SRD | 0           |      |      | nS     | C=20pF   |
| 124 | /SWR,/SRD output period<br>(at read timing)                             | /SWR<br>/SRD                    |             |      | 1/2  | T      | 1ch mode |
|     |   |                                 |             |      | 1/6  | T      | 3ch mode |
| 125 | /ACEEN high level width<br>(at read timing)                             | /ACEEN                          |             |      | 1/2  | T      | 1ch mode |
|     |   |                                 |             |      | 1/6  | T      | 3ch mode |
| 126 | /SWR delay time<br>(to /SRD ↑)  | /SWR                            | 2T-10       |      |      | nS     | 1ch mode |
|     |   |                                 | 2T/3<br>-10 |      |      | nS     | 3ch mode |
| 127 | SD8~0 hold time<br>(to PLLCLK ↑)  | SD8~0                           | 0           |      |      | nS     | C=20pF   |

(特記なき場合、VD、VA = 5V ± 5%、Ta = 0 ~ 70°C)

| No. | 項目   | 適用端子            | min. | typ. | max. | 単位 | 条件                 |
|-----|--|-----------------|------|------|------|----|--------------------|
| 128 | SD8~0 →Hi-z<br>acceptable delay time<br>(to PLLCLK↑) | SD8~0           |      |      | 2T   | nS | 1ch mode<br>C=20pF |
|     |  |                 |      |      | 2T/3 | nS | 3ch mode<br>C=20pF |
| 129 | SA12~0, BA2~0<br>set up time<br>(to /SWR↑)           | SA12~0<br>BA2~0 | T/2  |      |      | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10  |      |      | nS | 3ch mode<br>C=20pF |
| 130 | SA12~0, BA2~0<br>hold time<br>(to /SWR↑)             | SA12~0<br>BA2~0 | T/2  |      |      | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10  |      |      | nS | 3ch mode<br>C=20pF |
| 131 | /SWR low level width<br>(at write timing)            | /SWR            |      | 1/2  |      | T  | 1ch mode           |
|     |  |                 |      | 1/6  |      | T  | 3ch mode           |
| 132 | /SWR high level width<br>(at write timing)           | /SWR            |      | 1/2  |      | T  | 1ch mode           |
|     |  |                 |      | 1/6  |      | T  | 3ch mode           |
| 133 | /SRD output period<br>(at write timing)              | /SRD            |      | 1    |      | T  | 1ch mode           |
|     |  |                 |      | 1/3  |      | T  | 3ch mode           |
| 134 | SD8~0 set up time<br>(to /SWR↑)                      | SD8~0           | T/2  |      |      | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10  |      |      | nS | 3ch mode<br>C=20pF |
| 135 | SD8~0 hold time<br>(to /SWR↑)                        | SD8~0           | T/2  |      |      | nS | 1ch mode<br>C=20pF |
|     |  |                 | -10  |      |      | nS | 3ch mode<br>C=20pF |
| 136 | /ACEEN high level width<br>(at write timing)         | /ACEEN          |      | 1    |      | T  | 1ch mode           |
|     |  |                 |      | 1/3  |      | T  | 3ch mode           |
| 137 | /SWR, /SRD cycle time                                | /SWR            |      | 1    |      | T  | 1ch mode           |
|     |  | /SRD            |      | 1/3  |      | T  | 3ch mode           |
| 138 | /SWR, /SRD Hi-Z width                                | /SWR            |      | 1/2  |      | T  | 1ch mode           |
|     |  | /SRD            |      | 1/6  |      | T  | 3ch mode           |
| 139 | /ACEEN cycle time                                    | /ACEEN          |      | 1    |      | T  | 1ch mode           |
|     |  |                 |      | 1/3  |      | T  | 3ch mode           |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

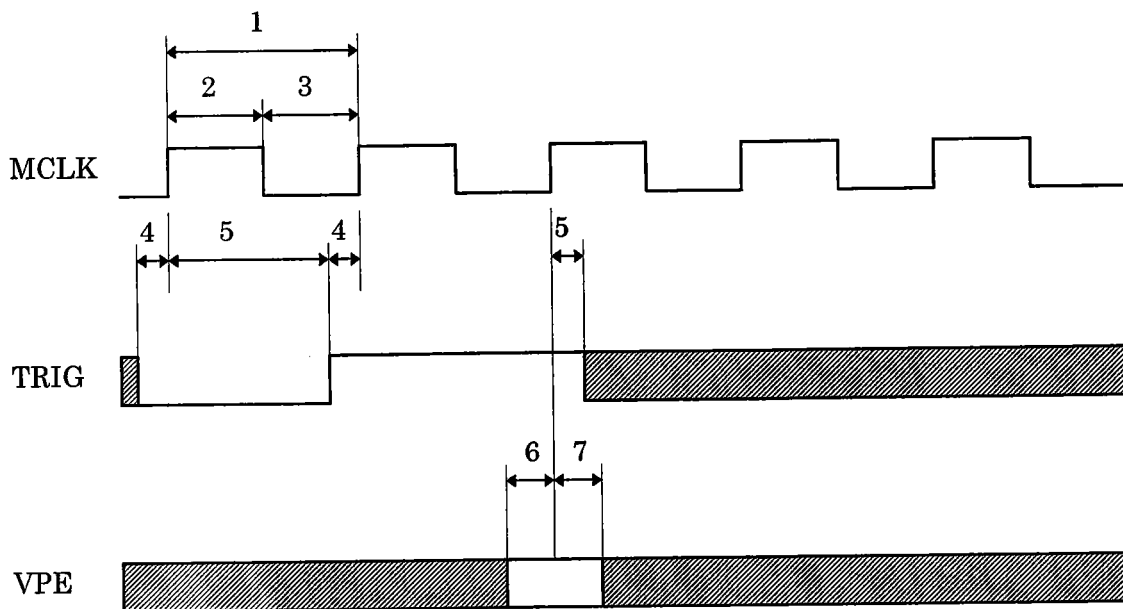
| No. | 項目   | 適用端子   | min.          | typ. | max.        | 単位 | 条件                 |
|-----|--|--------|---------------|------|-------------|----|--------------------|
| 140 | /ACEEN low level width                                 | /ACEEN |               | 1/2  |             | T  | 1ch mode           |
|     |  |        |               | 1/6  |             | T  | 3ch mode           |
| 141 | SD8~0 acceptable delay time<br>(to SA12~0, BA2~0 /SRD) | SD8~0  |               |      | T/4<br>-20  | nS | 1ch mode<br>C=20pF |
|     |  |        |               |      | T/12<br>-20 | nS | 3ch mode<br>C=20pF |
| 142 | /SDCLK cycle time                                      | /SDCLK | 160           |      |             | nS | memory access      |
|     |  |        | 80            |      |             | nS |                    |
| 143 | /SDCLK low level width                                 | /SDCLK | 80            |      |             | nS | memory access      |
|     |  |        | 40            |      |             | nS |                    |
| 144 | /SDCLK high level width                                | /SDCLK | 80            |      |             | nS | memory access      |
|     |  |        | 40            |      |             | nS |                    |
| 145 | serial access cycle time                               | /SDCLK | 2600          |      |             | nS | memory access      |
|     |  |        | 1360          |      |             | nS |                    |
| 146 | SDIN set up time<br>(to /SDCLK $\uparrow$ )            | SDIN   | 20            |      |             | nS |                    |
| 147 | SDIN hold time<br>(to /SDCLK $\uparrow$ )              | SDIN   | 20            |      |             | nS |                    |
| 148 | /SDEN set up time<br>(to SDCLK $\downarrow$ )          | /SDEN  | 40            |      |             | nS |                    |
| 149 | /SDEN hold time<br>(to /SDCLK $\uparrow$ )             | /SDEN  | 40            |      |             | nS |                    |
| 150 | /SDEN high level width                                 | /SDEN  | 40            |      |             | nS |                    |
| 151 | /SWR delay time<br>(to /SDCLK $\uparrow$ )             | /SWR   |               |      | 30          | nS | C=20pF             |
| 152 | /SWR pulse width                                       | /SWR   | No.149<br>-15 |      |             | nS | C=20pF             |
| 153 | /SWR delay time<br>(to /SDEN $\uparrow$ )              | /SWR   |               |      | 25          | nS | C=20pF             |

(特記なき場合、 $V_D$ 、 $V_A = 5V \pm 5\%$ 、 $T_a = 0 \sim 70^\circ\text{C}$ )

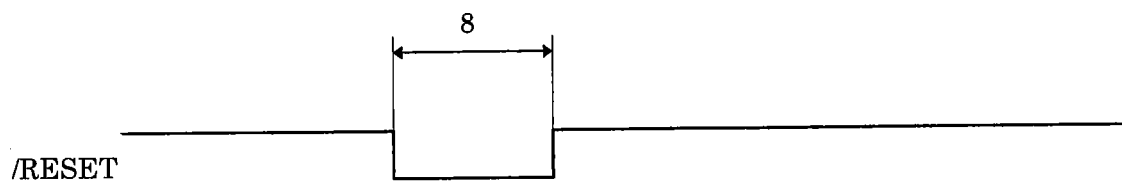
| No. | 項目  | 適用端子           | min.          | typ. | max.              | 単位 | 条件                 |
|-----|---|----------------|---------------|------|-------------------|----|--------------------|
| 154 | SA12~0 hold time<br>(to /SWR ↑)               | SA12~0         | T/4<br>-10    |      |                   | nS | 1ch mode<br>C=20pF |
|     |   |                | T/12<br>-10   |      |                   | nS | 3ch mode<br>C=20pF |
| 155 | SD8~0 set up time<br>(to /SWR ↑)              | SD8~0          | No.149<br>-25 |      |                   | nS | C=20pF             |
| 156 | SD8~0 hold time<br>(to /SWR ↑)                | SD8~0          | 0             |      |                   | nS | C=20pF             |
| 157 | SDOUT delay time<br>(to /SDCLK ↓)             | SDOUT          |               |      | 30                | nS | C=20pF             |
| 158 | SDOUT hold time<br>(to /SDEN ↑)               | SDOUT          | 0             |      |                   | nS | C=20pF             |
| 159 | /SRD delay time<br>(to /SDCLK ↑)              | /SRD           |               |      | 40                | nS | C=20pF             |
| 160 | /SRD delay time<br>(to /SDCLK ↓)              | /SRD           |               |      | 30                | nS | C=20pF             |
| 161 | SA12~0 hold time<br>(to /SRD ↑)               | SA12~0         | T/4<br>-10    |      |                   | nS | 1ch mode<br>C=20pF |
|     |   |                | T/12<br>-10   |      |                   | nS | 3ch mode<br>C=20pF |
| 162 | SD8~0 acceptable delay<br>time<br>(to /SRD ↓) | SD8~0          |               |      | No.<br>144<br>-40 | nS | C=20pF             |
| 163 | SD8~0 hold time<br>(to /SDCLK ↓)              | SD8~0          | 0             |      |                   | nS | C=20pF             |
| 164 | /SRD pulse width                              | /SRD           | No.144<br>-20 |      |                   | nS | C=20pF             |
| 165 | LED(G/R/B) delay time                         | LED<br>(G/R/B) |               |      | T/2<br>+33        | nS | 1ch mode<br>C=20pF |
|     |   |                |               |      | T/6<br>+33        | nS | 3ch mode<br>C=20pF |

■ タイミング規定

(1) 基本入力信号タイミング

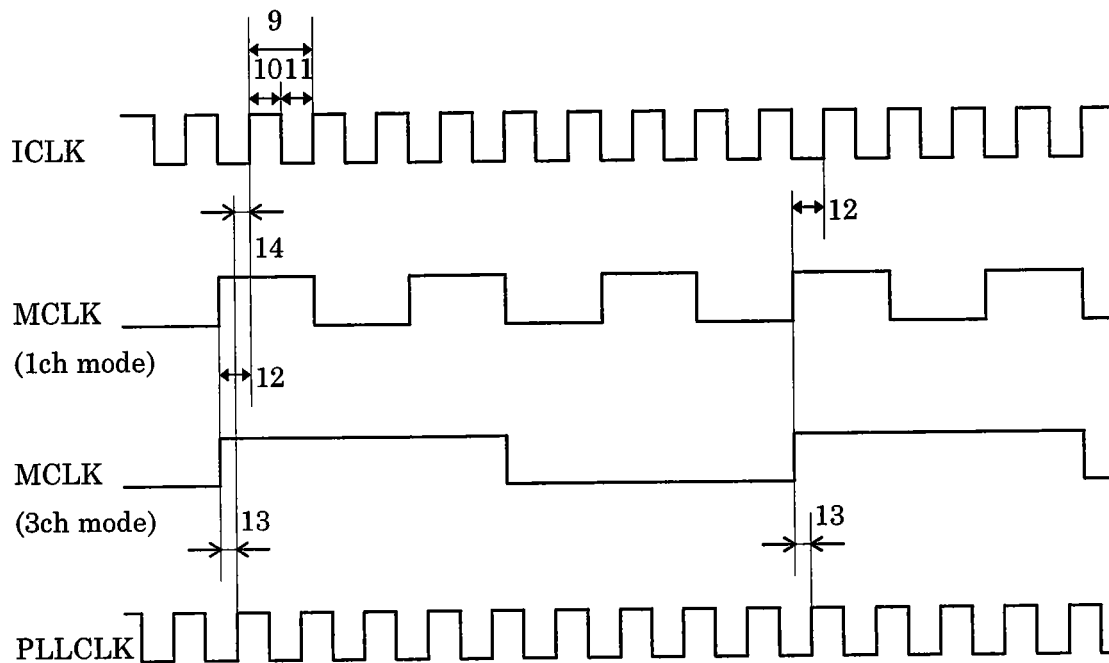


(2) リセット



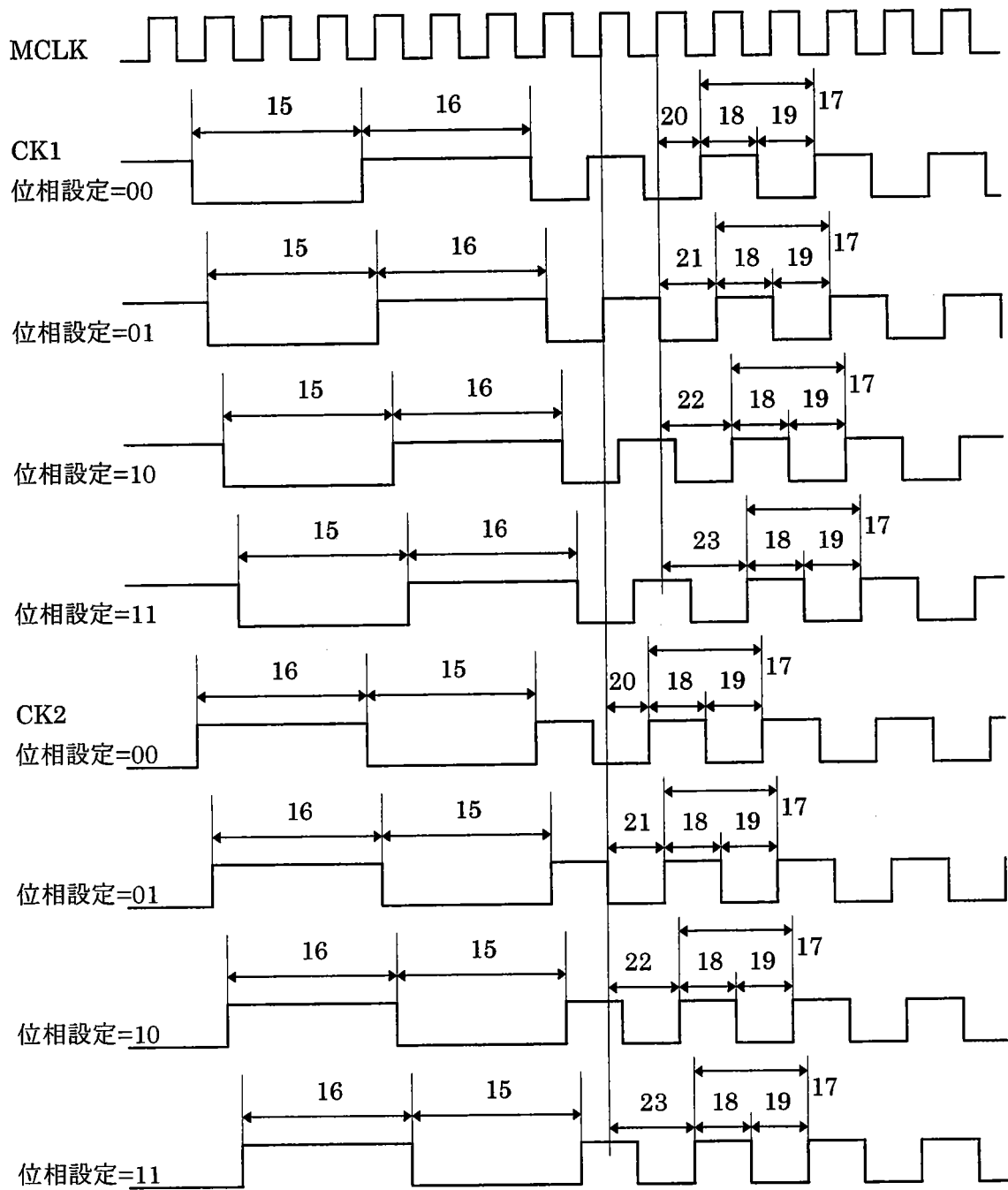
(注) TRIGが有効となるのはMCLKでTRIG=0を1回以上連続サンプリングの後にTRIG=1を2回以上連続サンプリングした場合です。したがって、VPEは有効なTRIG立ち上がり後の2クロック目に対し、上記6、7を満たす必要があります。

(3) PLLクロック



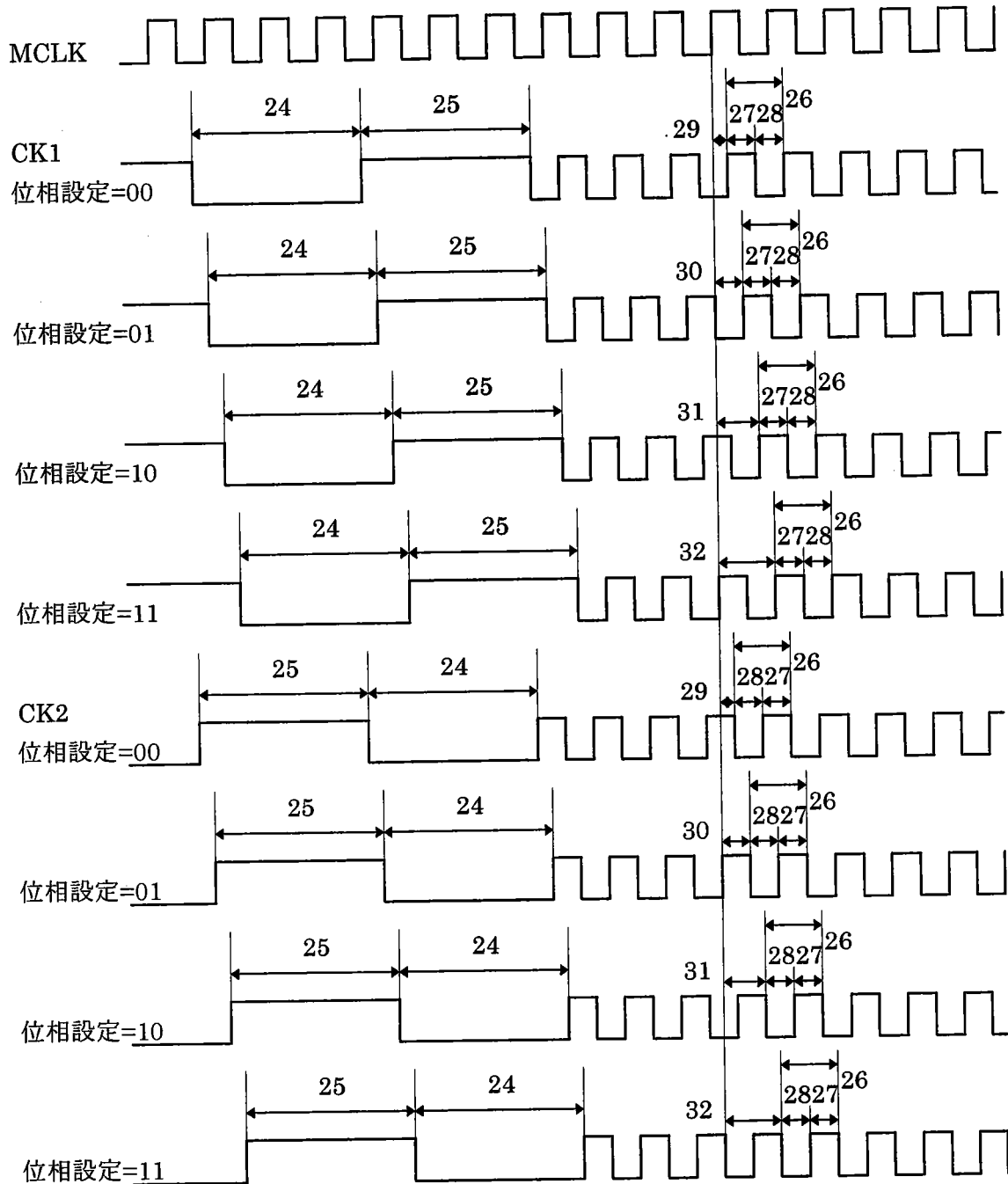
(注) PLLCLKは内蔵PLLで生成した内部動作の基本クロックです。

(4) センサ用クロックタイミング (モード1)

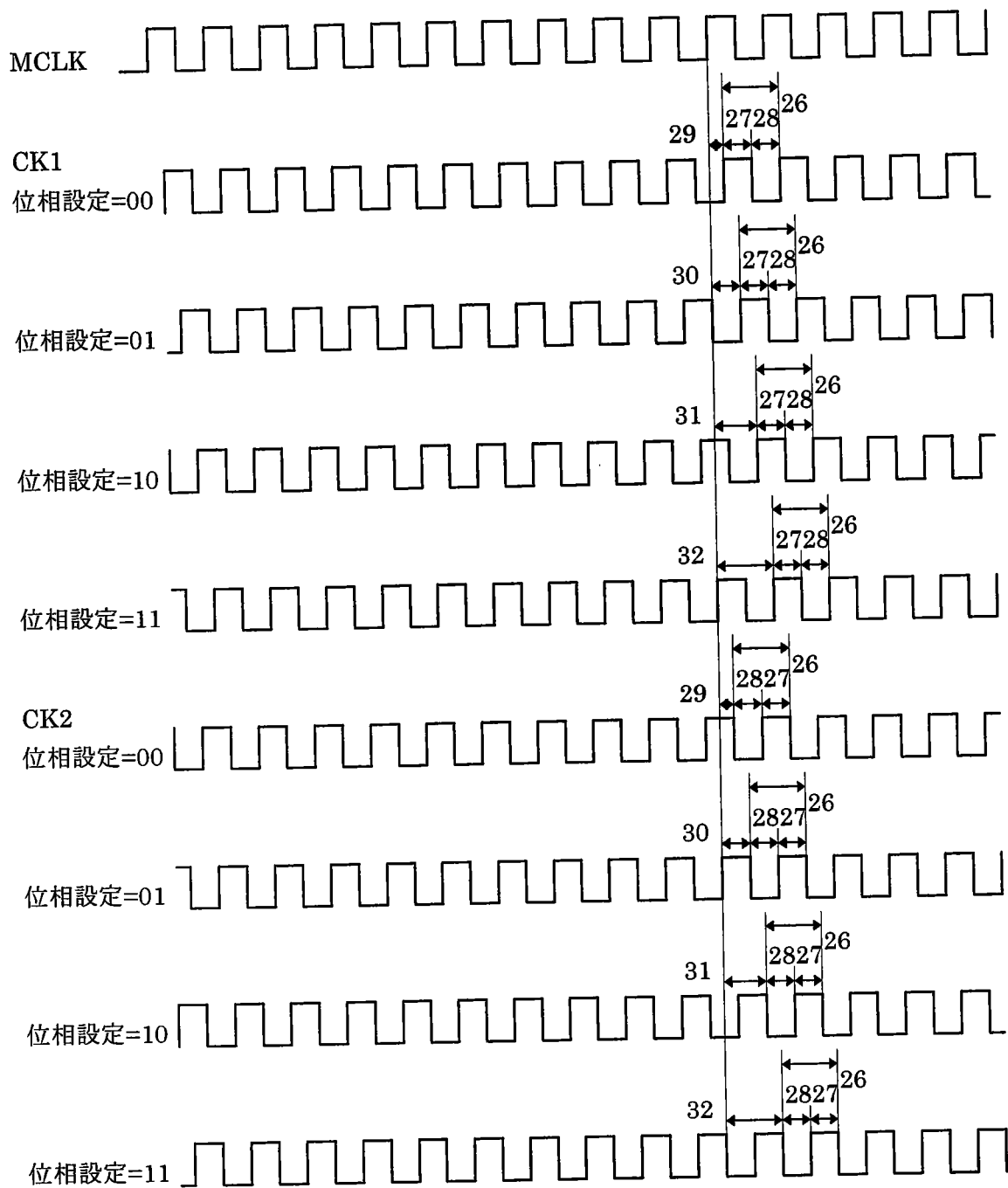




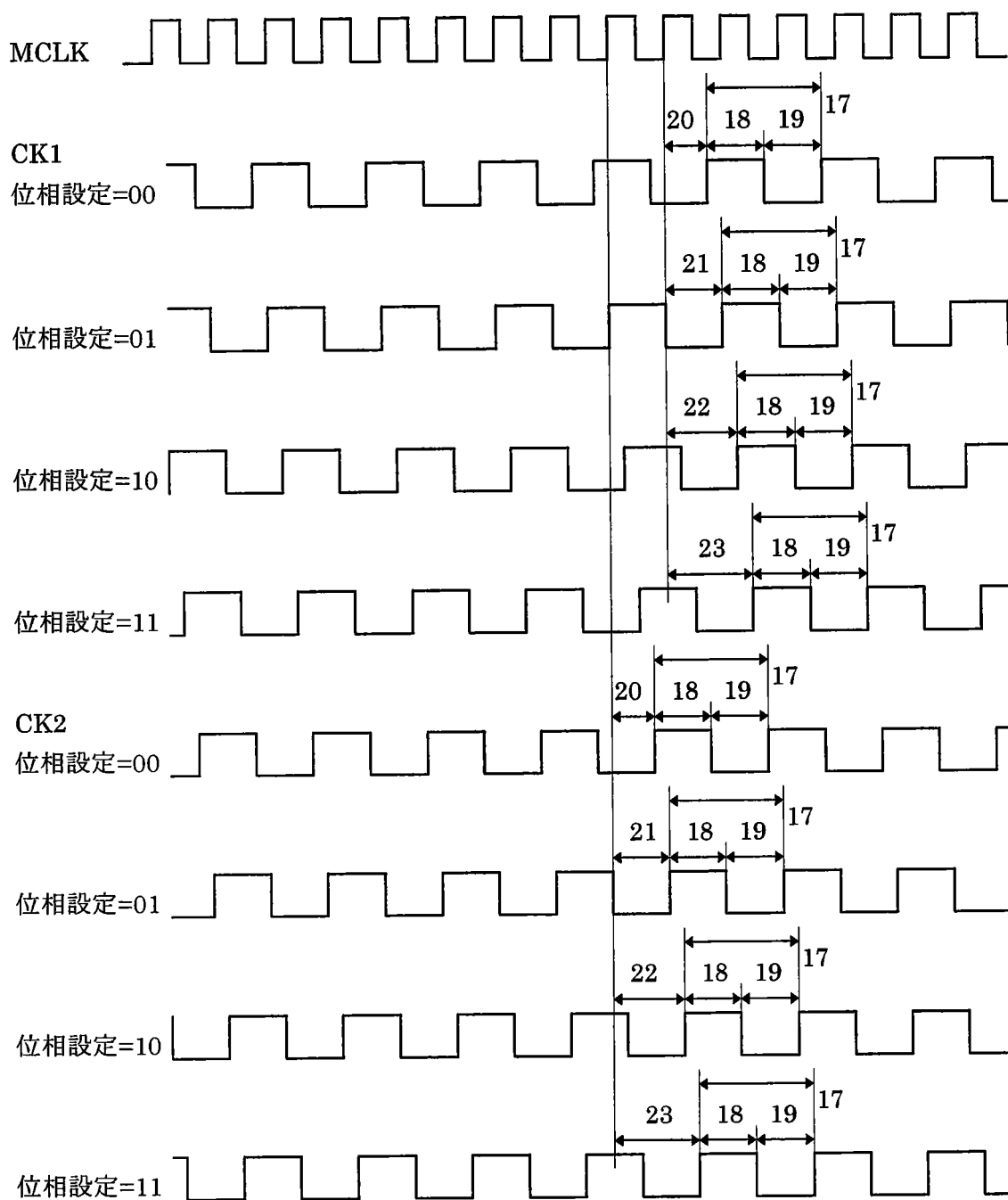
(5) センサ用クロックタイミング (モード2)



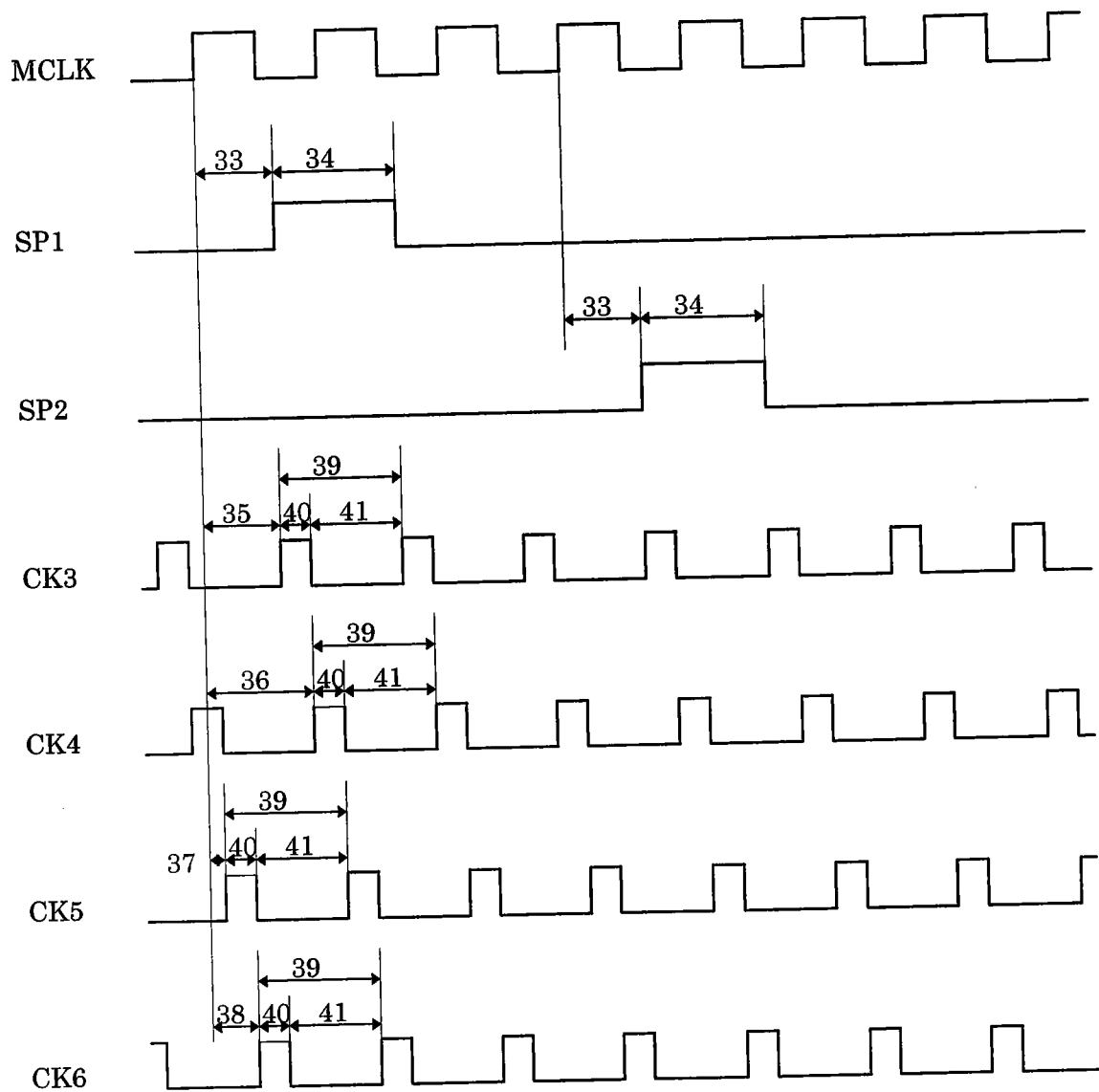
(6) センサ用クロックタイミング (モード3)



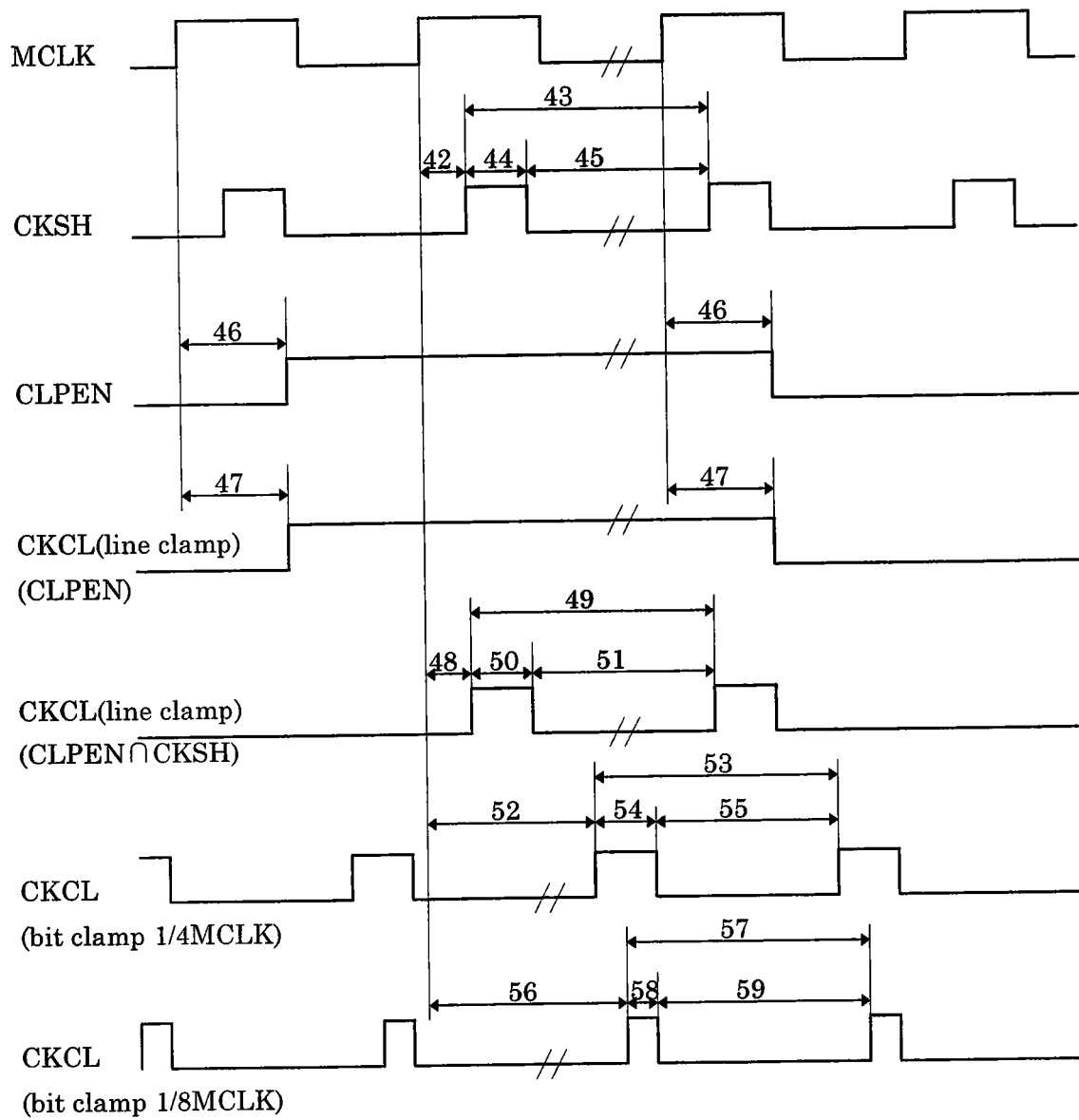
(7) センサ用クロックタイミング (モード4)



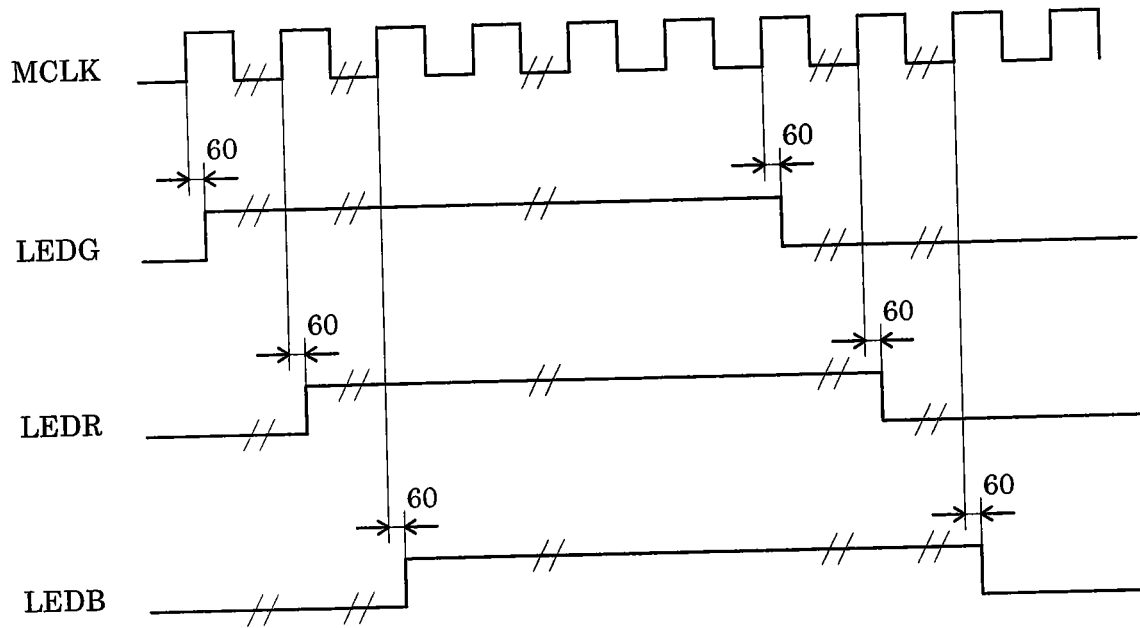
(8) センサ用クロックタイミング (SP1~2、CK3~6)



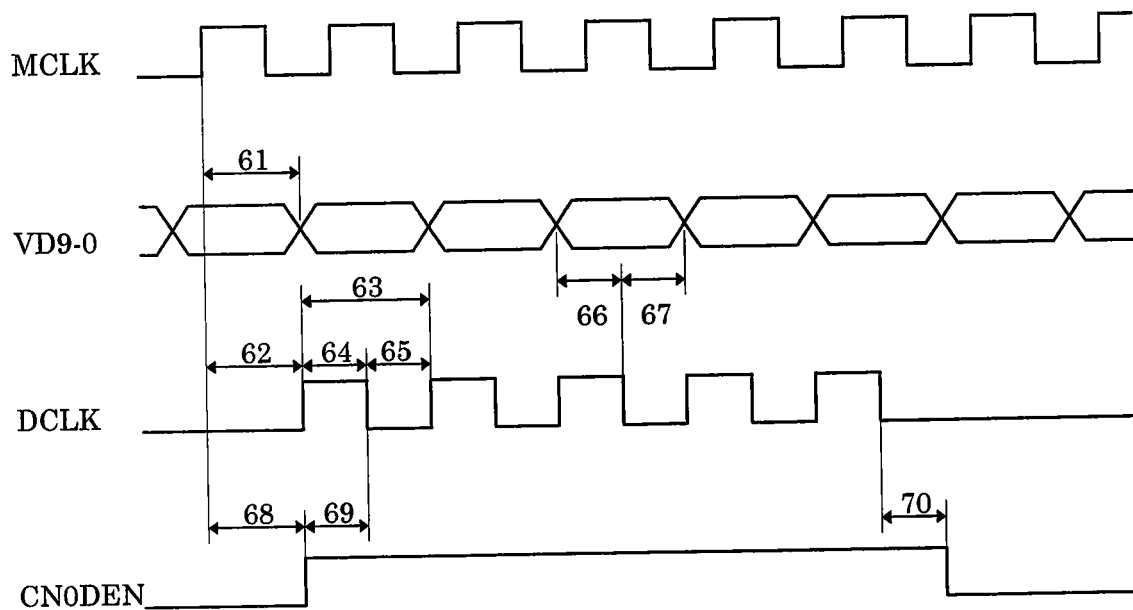
(9) センサ用クロックタイミング (S/H、クランプ)



(10) LED (G/R/B) 出力タイミング (0 固定、1 固定以外)

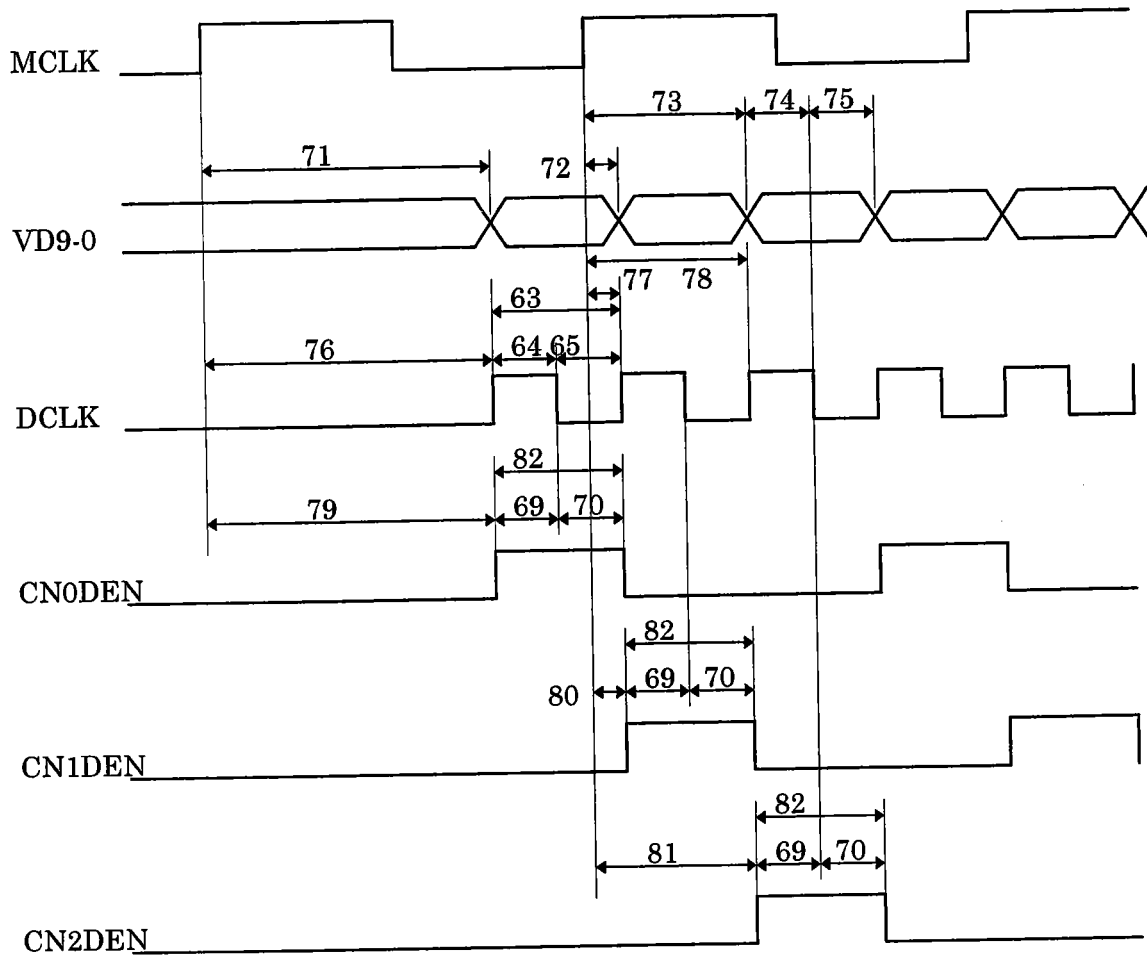


(11) ビデオデータ I/F (1chモード)



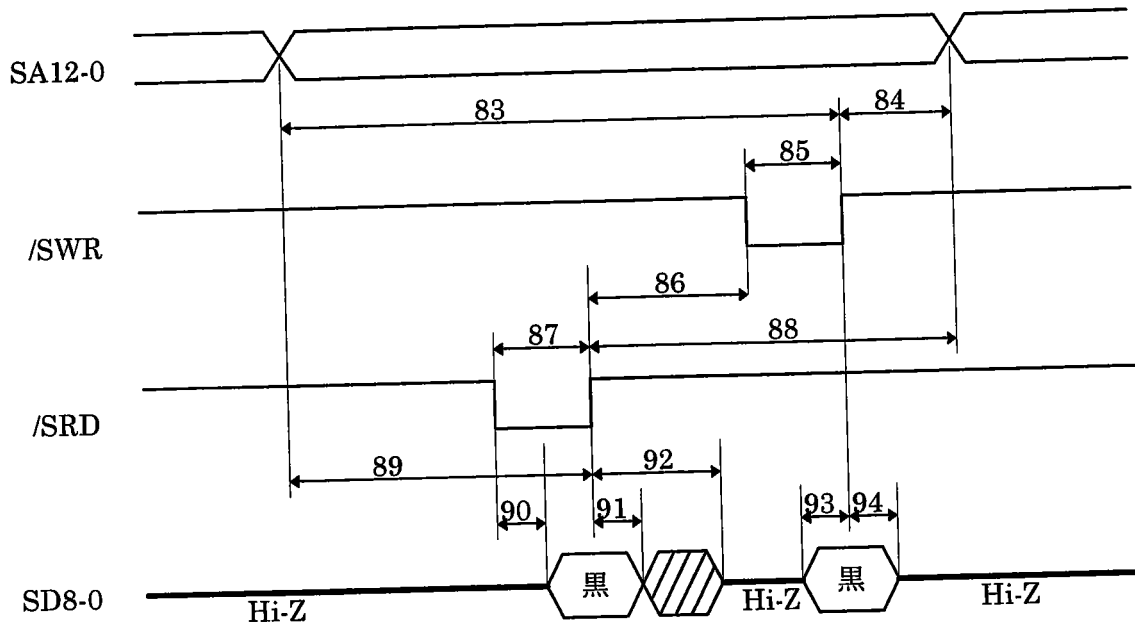
CN1DEN、CN2DENはLow固定となります。

(12) ビデオデータ I/F (3chモード)



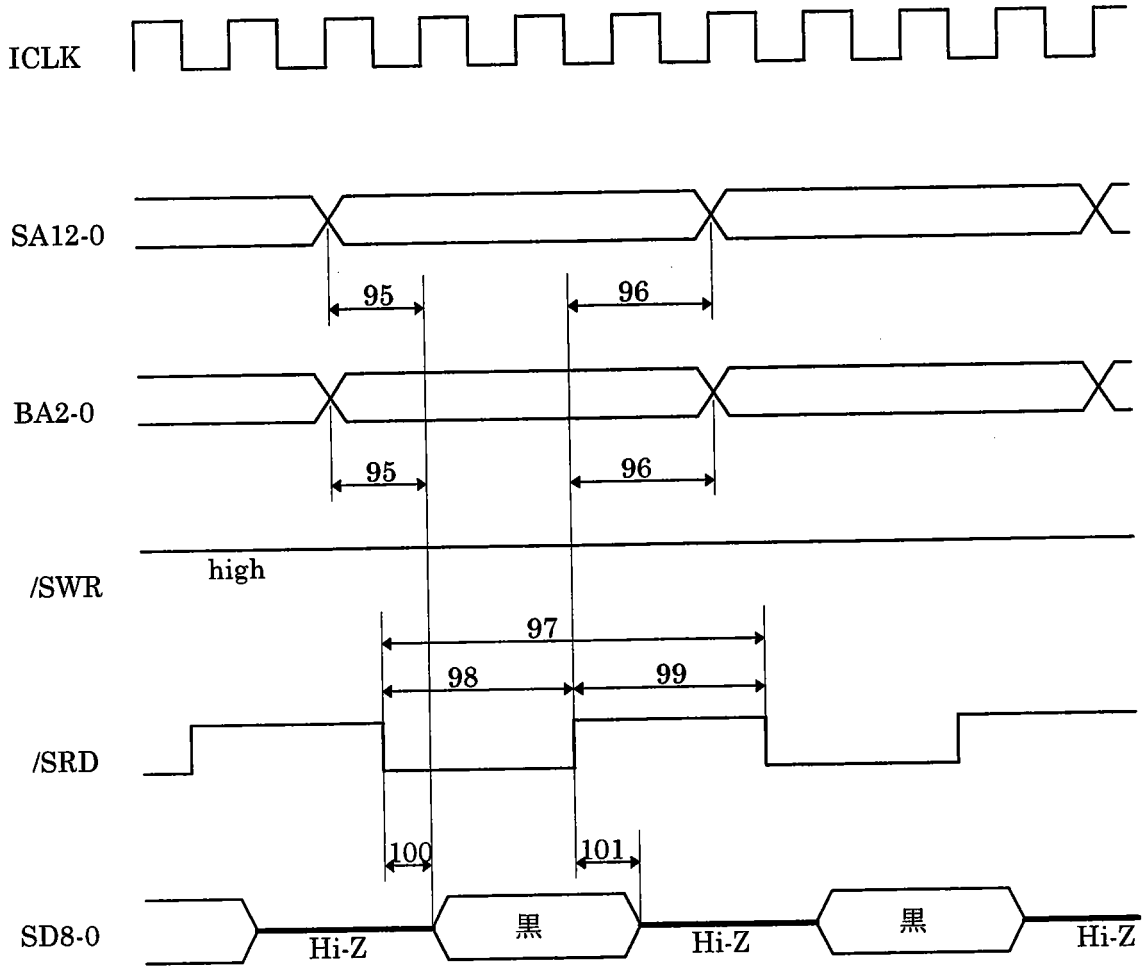


(13) メモリアクセスタイミング (黒検出時)

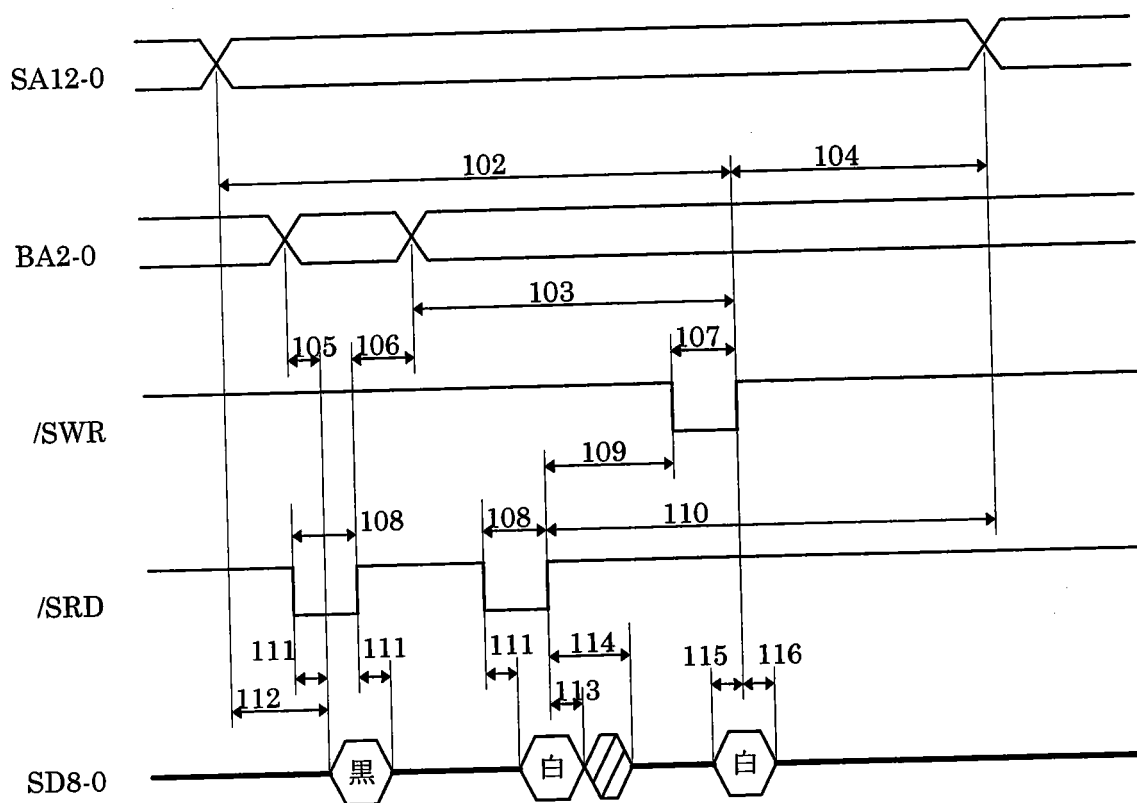


黒検出モード時には、BA 2~0はラインの途中で変化しません。

(14) メモリアクセスタイミング  
(PGAゲイン調整時、LED点灯時間調整時、ピーク検出時)

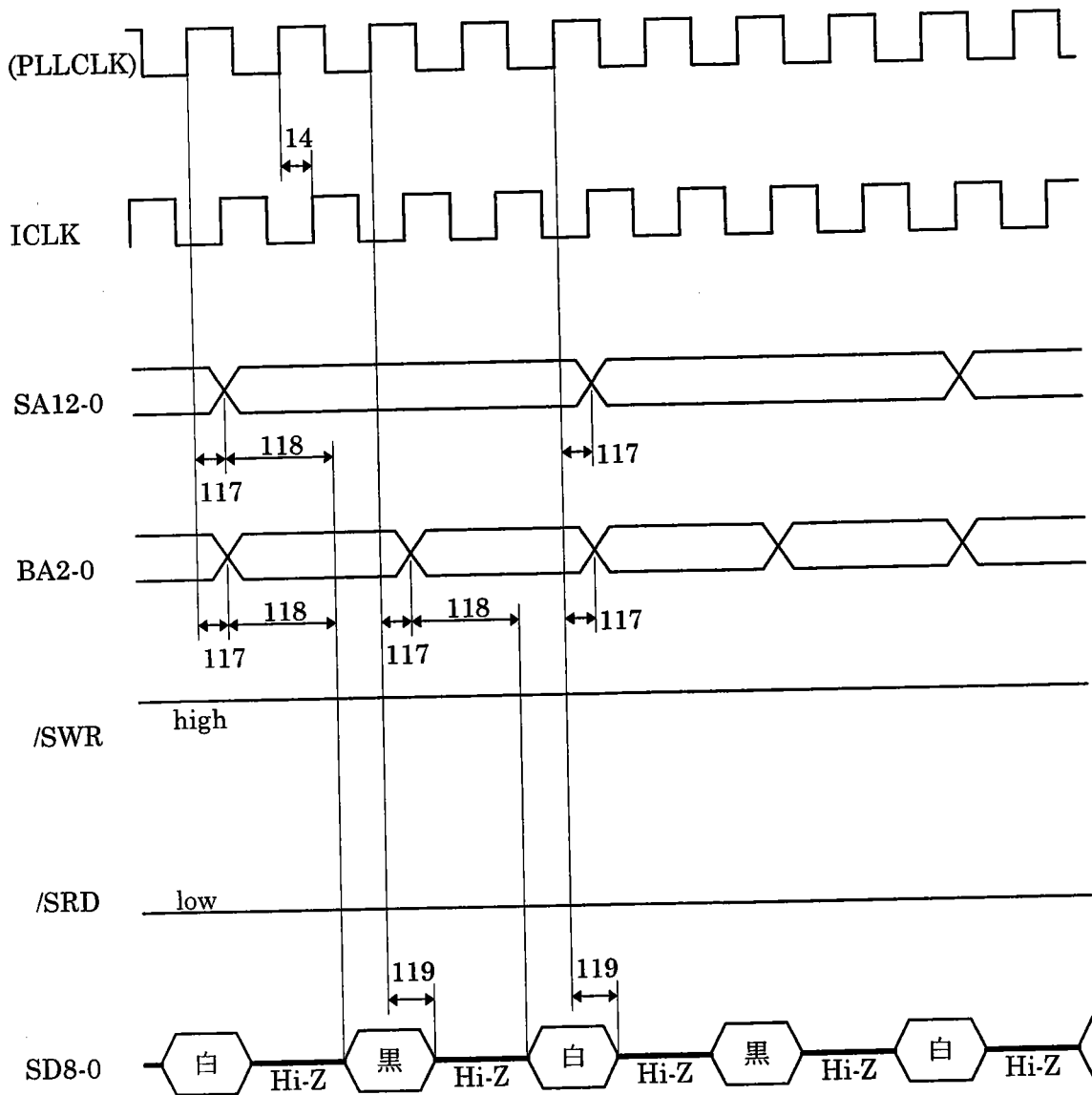


(15) メモリアクセスタイミング (白検出時)

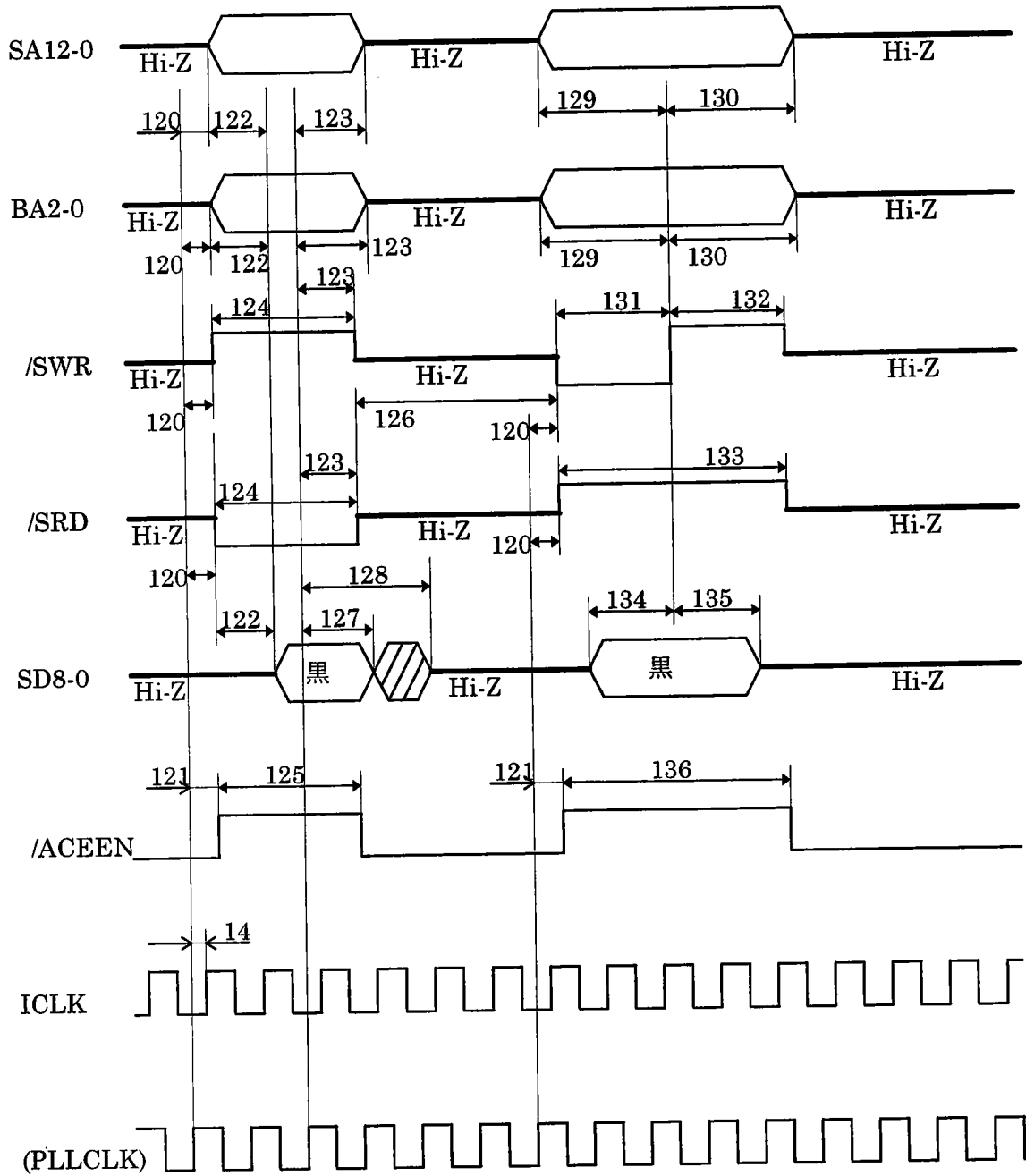


(注) 黒補正モードが偶奇オフセット検出／補正に設定されている場合には、黒補正値のリードは行われません。(黒補正値リードタイミングのところは、/SRDはhighレベルとなり、SD8~0はHi-Zとなります。)

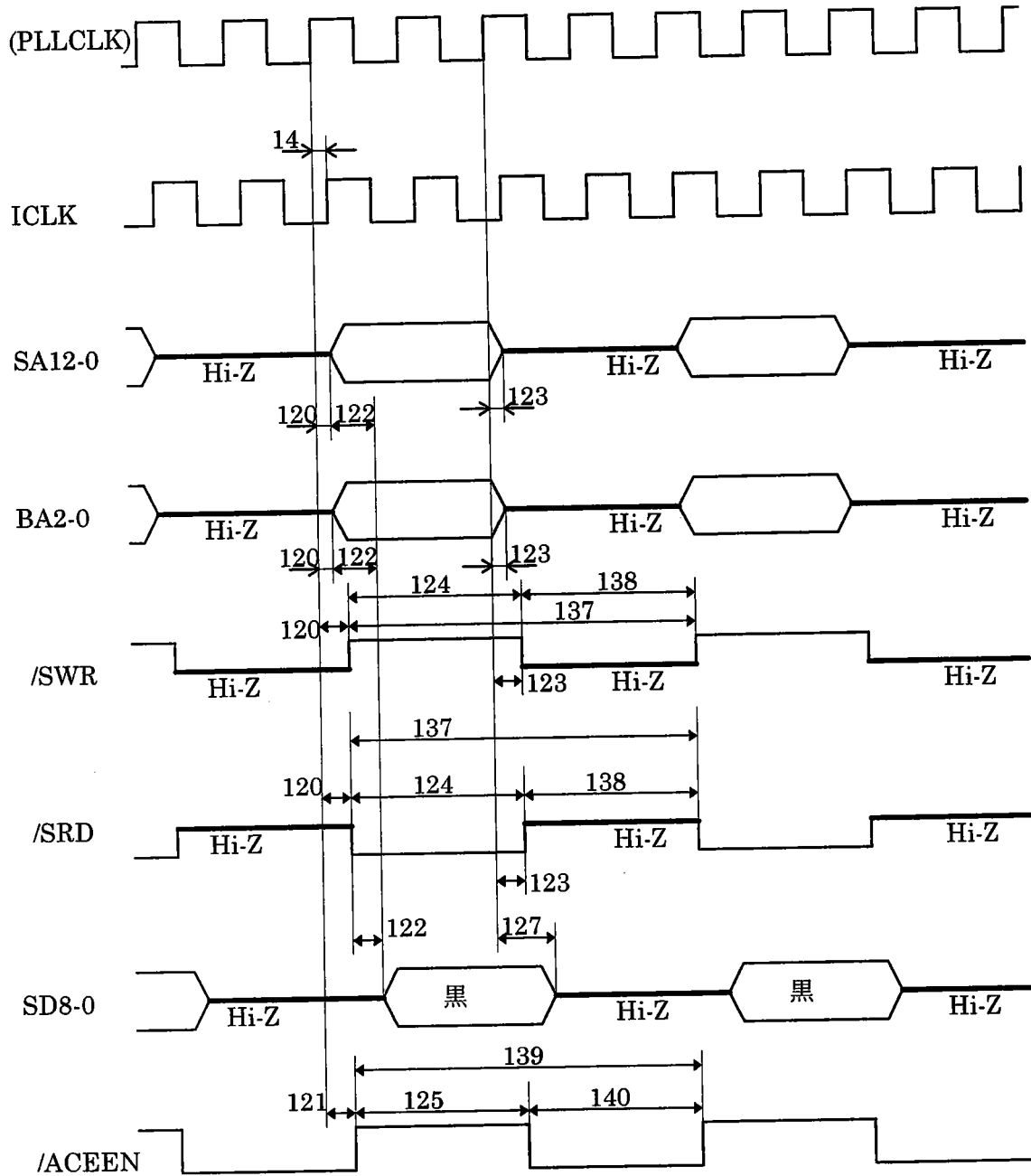
(16) メモリアクセスタイミング (読みとりモード時)



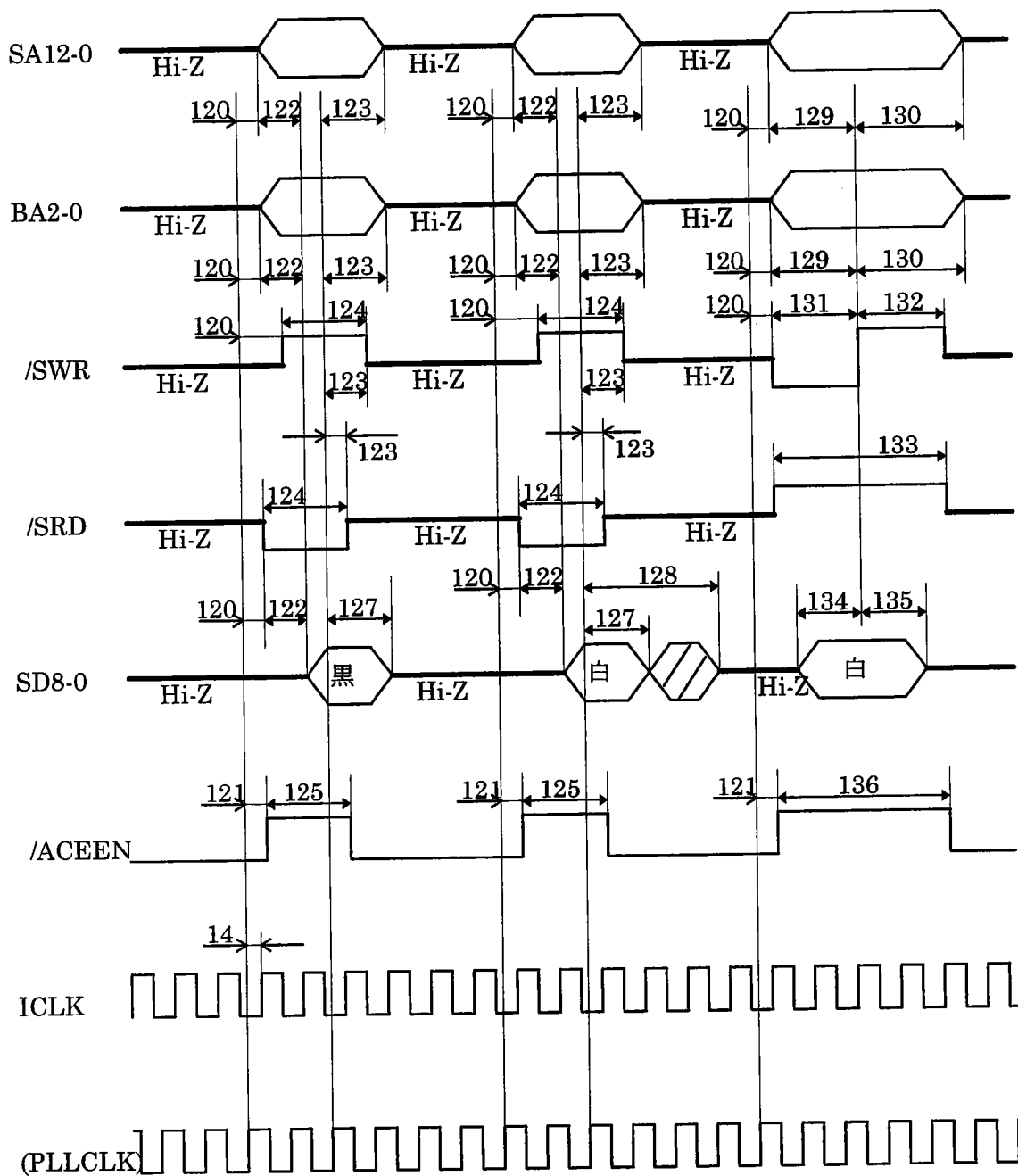
(17) 外部アクセス時メモリアクセスタイミング (黒検出時)



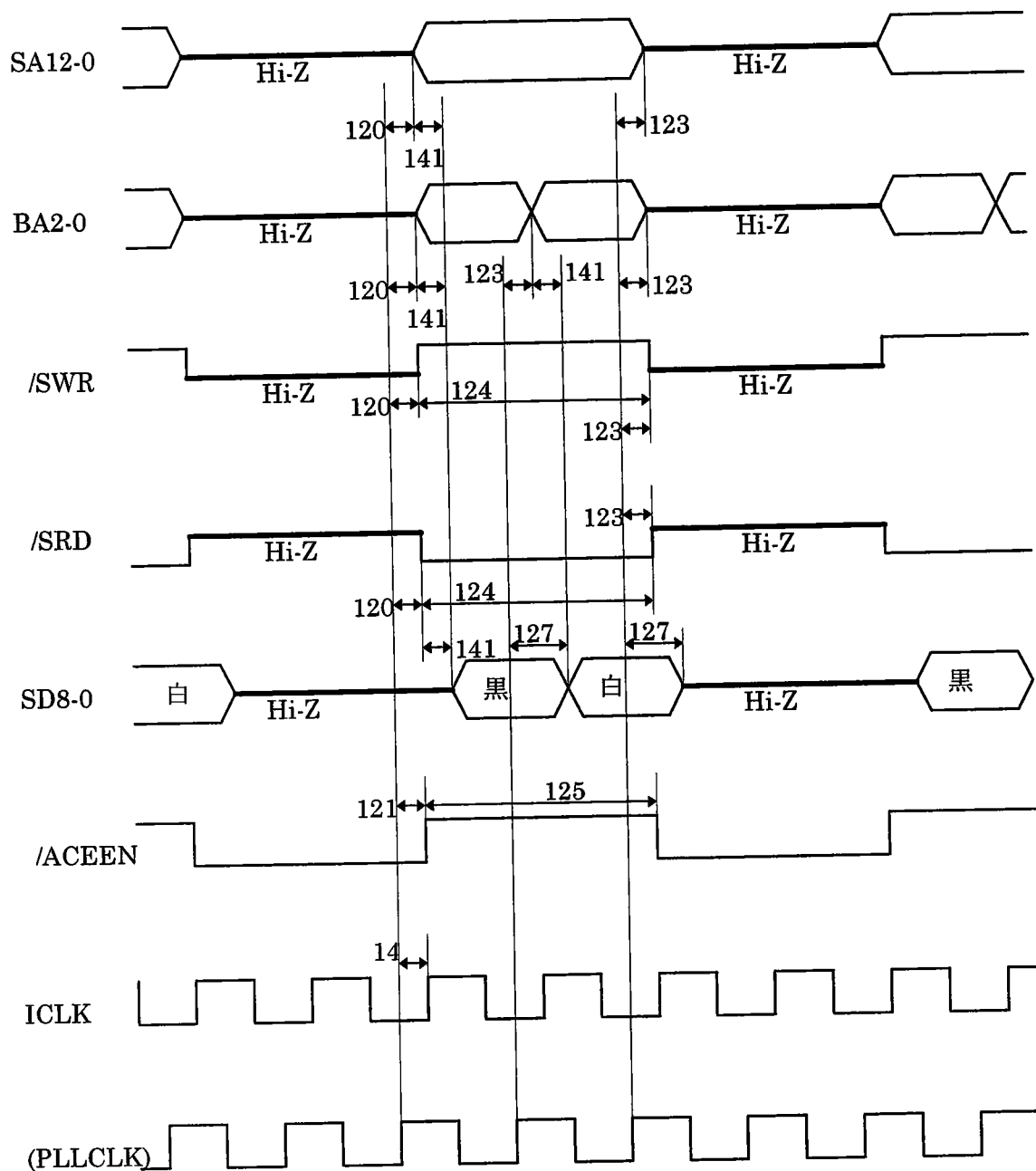
(18) 外部アクセス時メモリアクセスタイミング (PGAゲイン調整時、LED点灯時間調整時、ピーク検出時)



(19) 外部アクセス時メモリアクセスタイミング (白検出時)



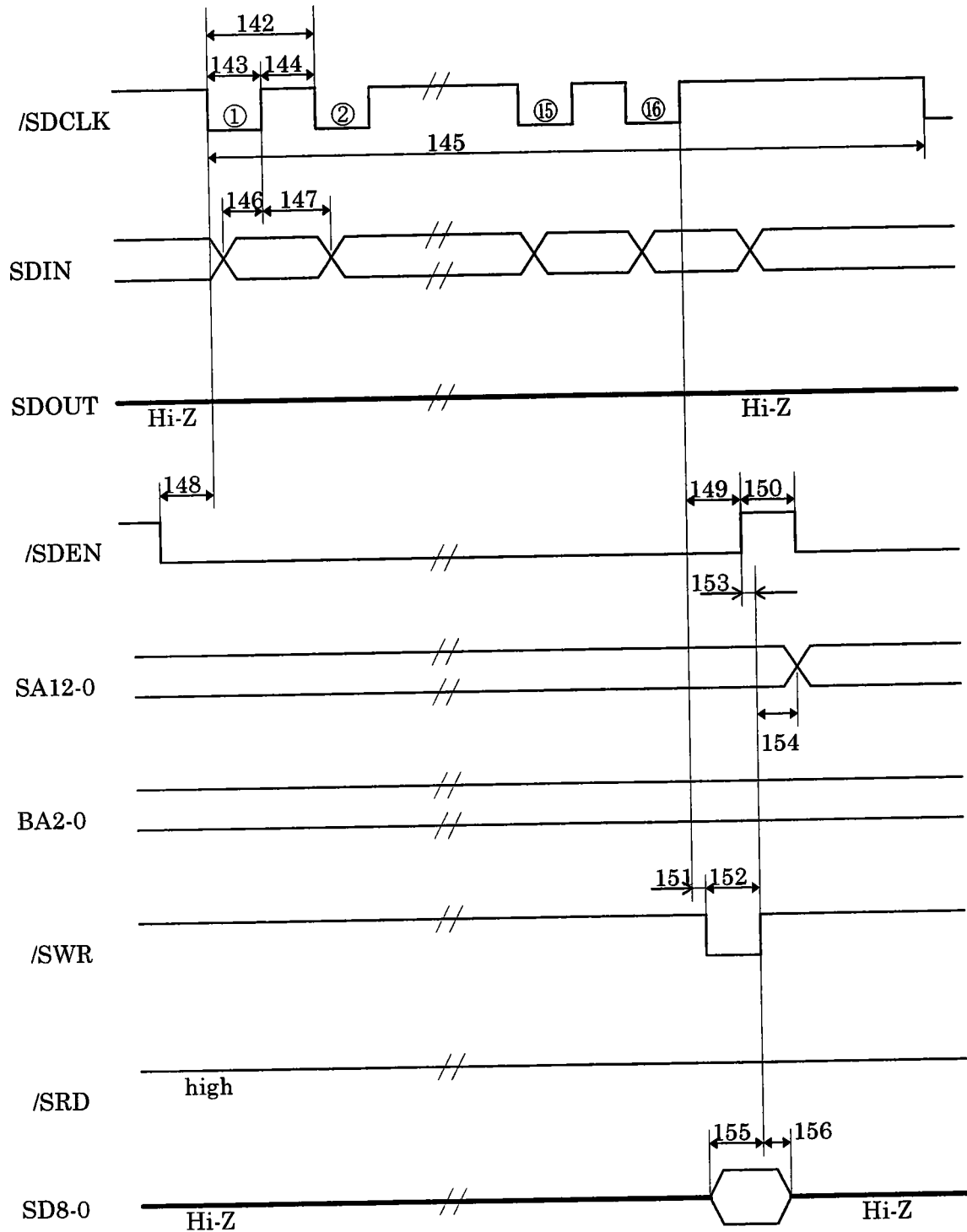
(20) 外部アクセス時メモリアクセスタイミング





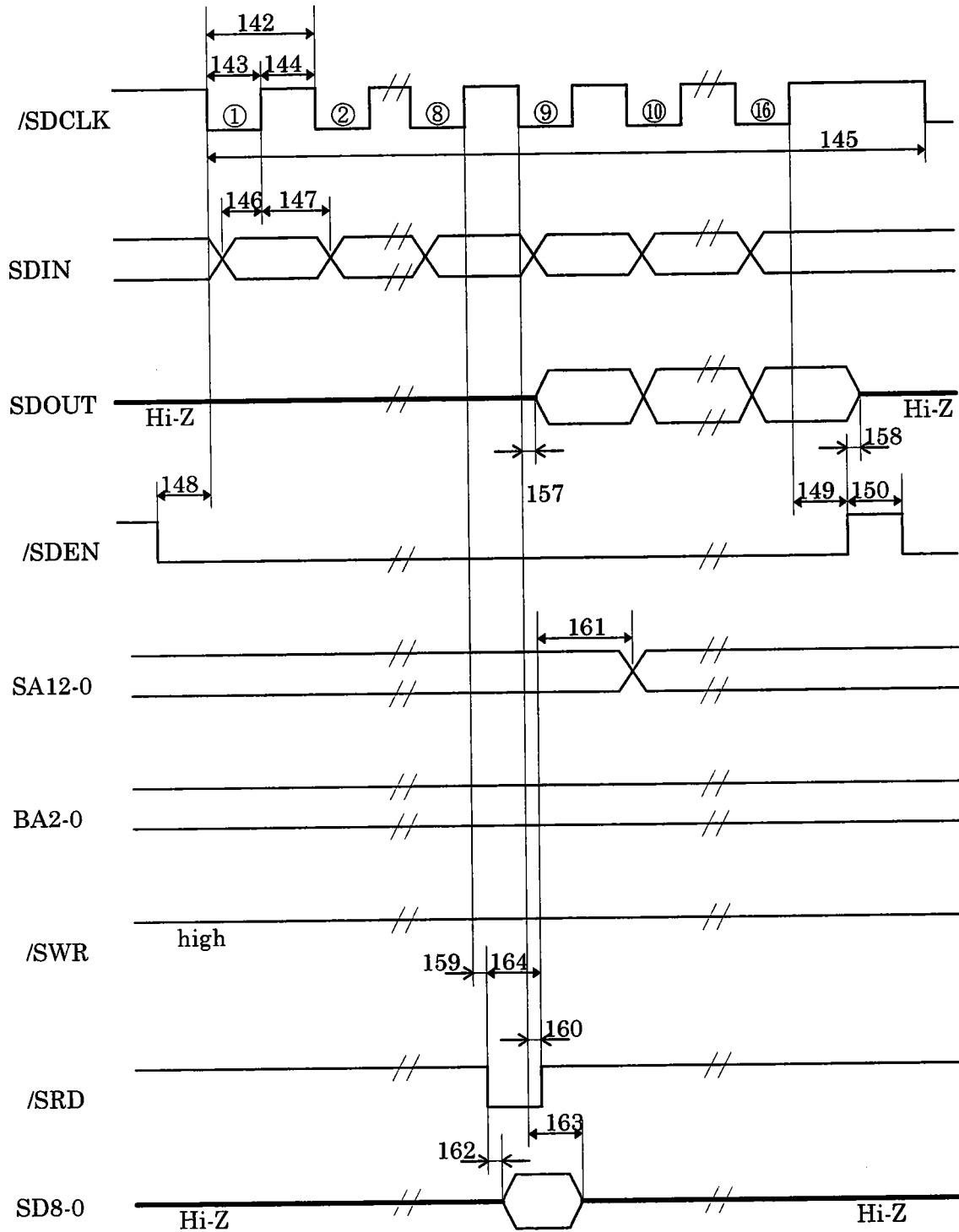
(21) メモリアクセスタイミング (シェーディングメモリアクセスモード時)

1. データライト時



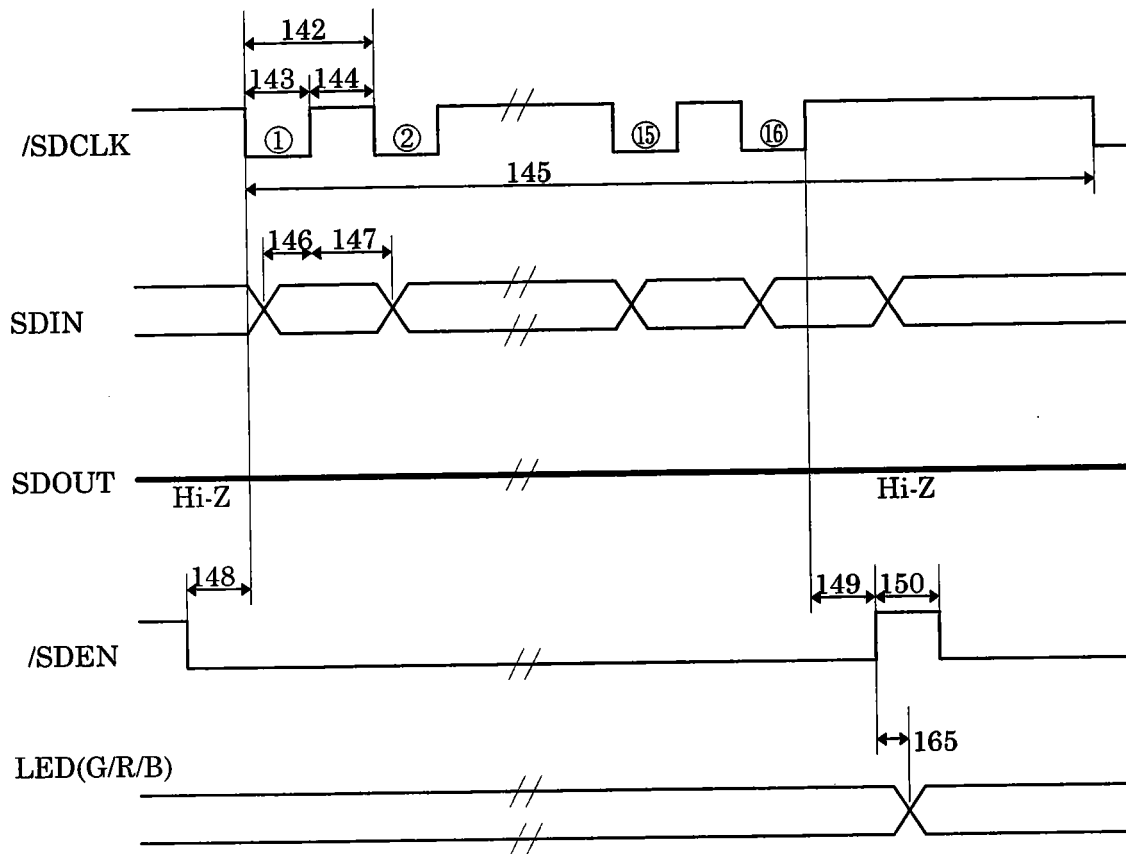
(21) メモリアクセスタイミング (シェーディングメモリアクセスモード時)

2. データリード時

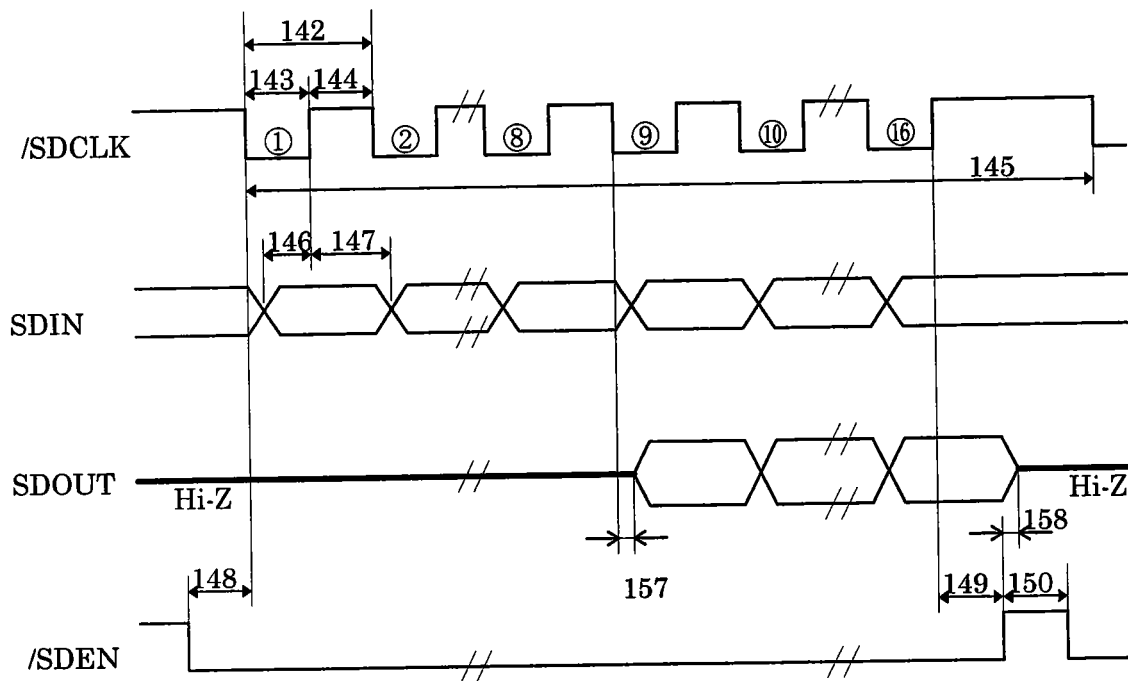


(22) マイコンシリアルI/Fタイミング

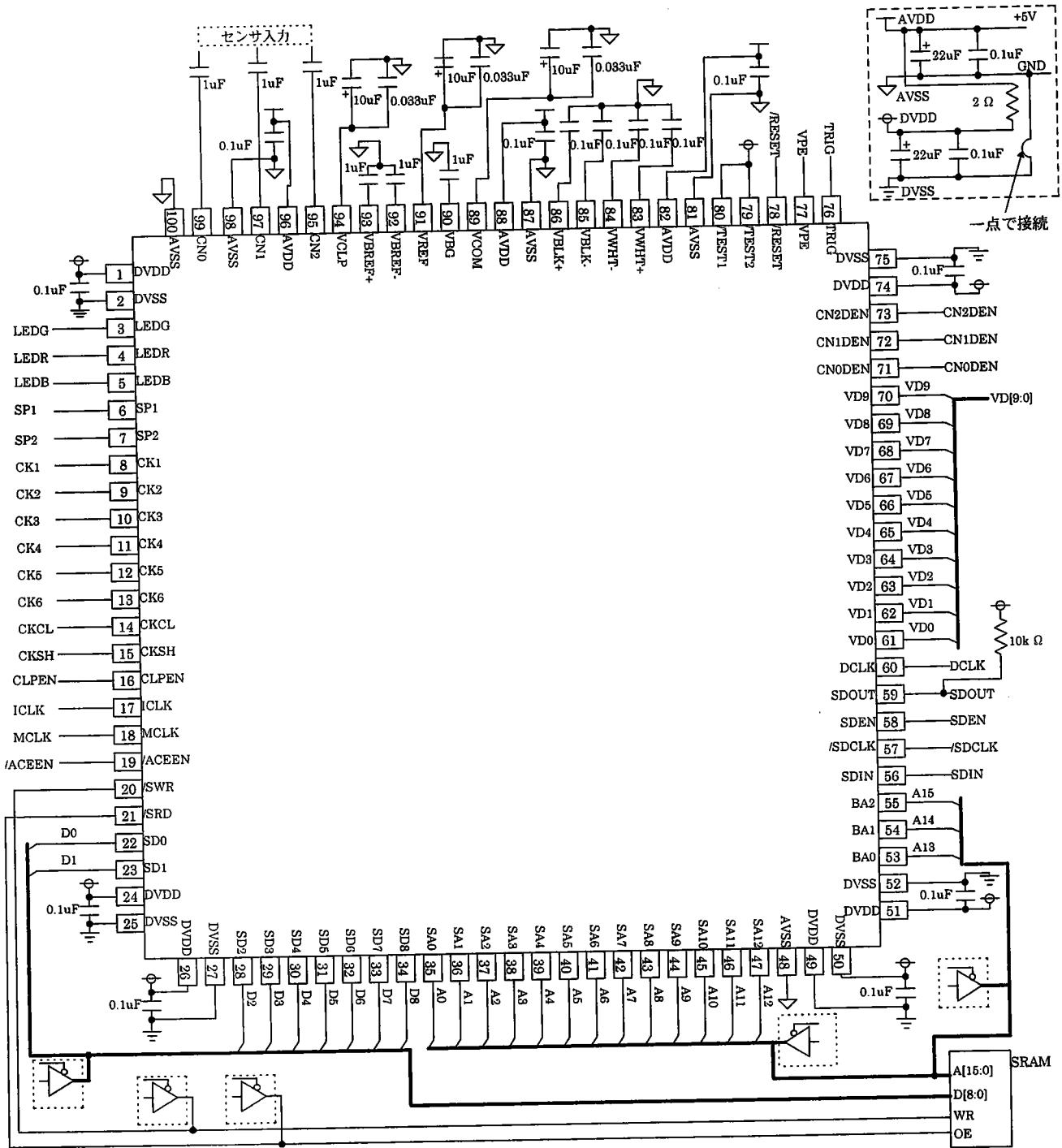
1. データライト時



2. データリード時



外部推奨回路例



(注)

- (1) 上図中でSRAMに接続されているシェーディングメモリインタフェースにおいて、AK8408以外のデバイス(例CPU)がSRAM(シェーディングメモリ)をアクセスする場合は、点線で囲まれているトライステートバッファが必要になります。AK8408以外のデバイス(例CPU)がSRAM(シェーディングメモリ)をア

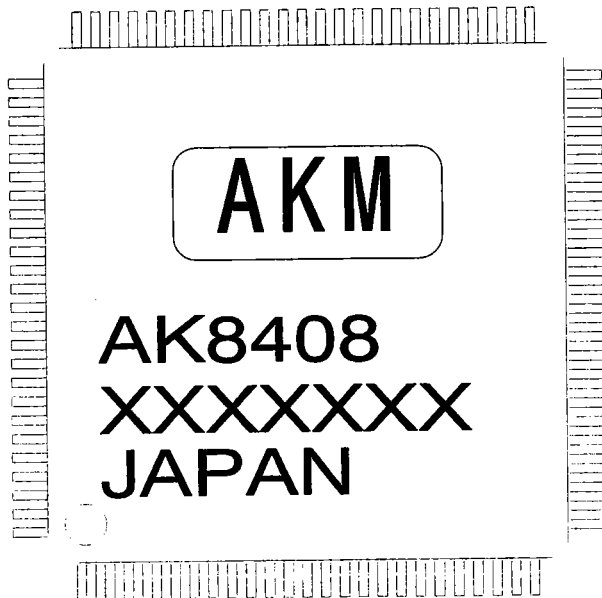
セスしない場合は、点線で囲まれているトライステートバッファは必要ありません。

- (2) ビットクランプモードを使用する際には、センサ入力のコンデンサを  $0.1\sim 0.01\mu\text{F}$  として下さい。

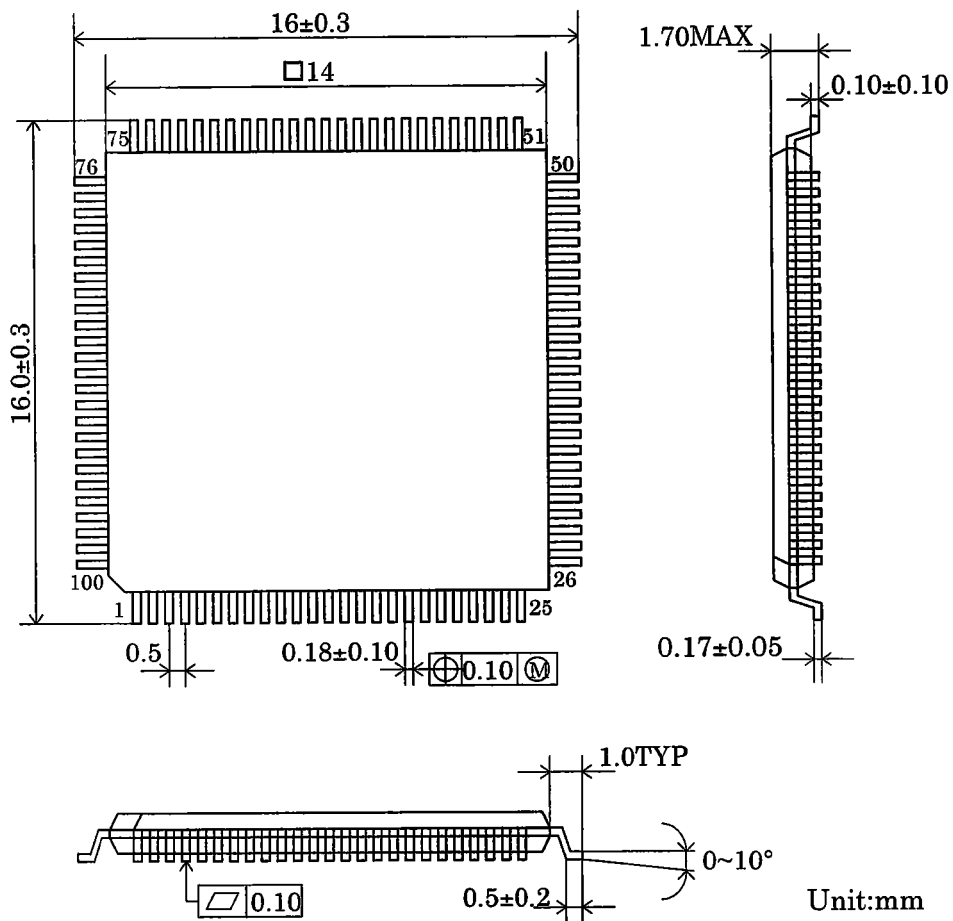
パッケージ

■マーキング

- (1) 1ピン表示 (面取りした角を1ピンをする)
- (2) 日付コード:                   XXXXXXXX (7桁)  
  上4桁: 週コード、下3桁: 社内管理コード
- (3) マーケティングコード:   AK8408
- (4) 生産国名表示:             JAPAN
- (5) 旭化成ロゴ:



■パッケージ外形寸法図





## 重要な注意事項

本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。

本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。

本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。

この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。

お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害が生じた場合はすべてお客様にてご負担または補償して頂きますのでご了承下さい。