

MN3207

1024 段低電圧動作アナログ信号遅延用ローノイズ BBD

1024-Stage Low Voltage Operation, Low Noise BBD for Analog Signal Delays

■ 概要 / Description

MN3207 は、遅延段数 1024 段を有するロングディレイ ローノイズ BBD で、最大遅延時間 51.2 ms が得られます。ポータブルステレオ、ラジカセなどの低電圧で使用する音響装置の残響効果用に適しています。

The MN3207 is a 1024-stage low voltage operation, low noise BBD variable delay line in audio frequency range. The device operates on +5 V supply and provides a signal delay up to 51.2 ms.

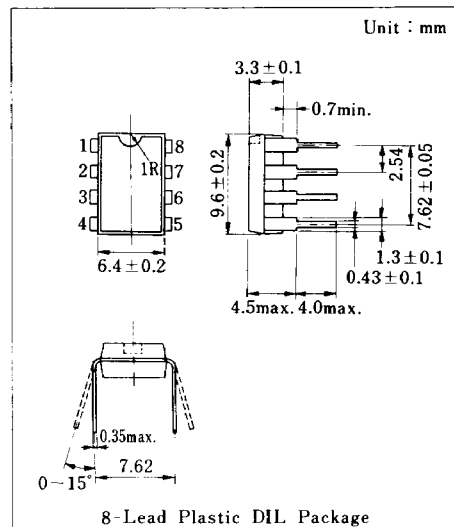
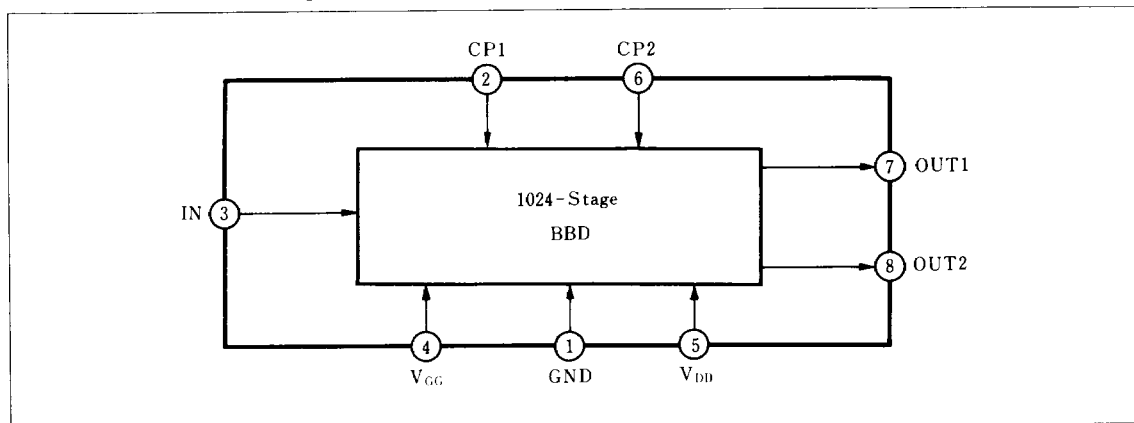
■ 特徴

- オーディオ信号の可変遅延：2.56 ms～51.2 ms ($f_{CP} = 10 \text{ kHz}$)
- 使用電源電圧範囲が広い：4～10 V
- 挿入損失がない： $L_i = 0 \text{ dB typ.}$
- ダイナミックレンジが広い： $S/N = 73 \text{ dB typ.}$
- 低歪率： $\text{THD} = 0.4 \% \text{ typ.}$ ($V_i = 0.78 \text{ Vrms}$)
- クロック周波数範囲：10 kHz～200 kHz
- Nチャンネル・シリコンゲートプロセス
- 8ピン・プラスチック DIL パッケージ

■ 用途

- ラジカセ、カーラジオ、ポータブルラジオ、ポータブルステレオ、エコーマイク、カラオケ装置など音響装置の残響効果、反響効果
- 電子楽器の音響効果
- アナログ信号の可変または固定式遅延回路

■ ブロック図 / Block Diagram



■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit
端子電圧	V _{DD} , V _{GG} , V _{CP} , V _I	-0.3 ~ +11	V
出力電圧	V _O	-0.3 ~ +11	V
動作周囲温度	T _{opr}	-20 ~ +60	°C
保存温度	T _{stg}	-55 ~ +125	°C

■ 動作条件/Operating Conditions (Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V _{DD}		+4	+5	+10	V
電源電圧	V _{GG}			14/15V _{DD}		V
クロック電圧ハイレベル	V _{CPH}			V _{DD}		V
クロック電圧ローレベル	V _{CPL}		0		+1	V
クロック周波数	f _{CP}		10		200	kHz
パルス幅 (Clock Pulse)	t _{w(CP)}				0.5T*1	
立上り時間 (Clock Pulse)	t _{r(CP)}				500*2	ns
立下り時間 (Clock Pulse)	t _{f(CP)}				500*2	ns
クロック入力容量	C _{CP}				700	pF

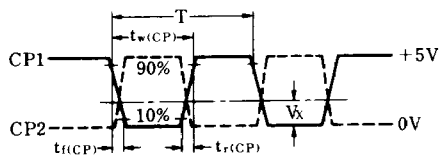
■ 電気的特性/Electrical Characteristics

(Ta=25°C, V_{DD}=V_{CPH}=5V, V_{CPL}=0V, V_{GG}=4.67V, R_L=100kΩ)

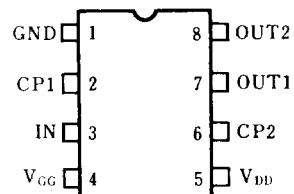
Item	Symbol	Condition	min.	typ.	max.	Unit
入力周波数	f _i	f _{CP} =40 kHz, V _i =0.36 V _{rms} 出力減衰値 ≤ 3dB, (0dB at f _i =1kHz)			10	kHz
入力電圧振幅	v _i	f _{CP} =40 kHz, f _i =1kHz, THD=2.5%			0.36	V _{rms}
挿入損失	L _i	f _{CP} =40 kHz, f _i =1kHz, V _i =0.36 V _{rms}	-4	0	4	dB
全高調波歪率	THD	f _{CP} =40 kHz, f _i =1kHz, V _i =0.25 V _{rms}		0.4	2.5	%
出力雑音電圧	V _{no}	f _{CP} =100 kHz, Aカーブ聴感補正			0.25	mV _{rms}
信号対雑音比	S/N			73		dB

*1 T=1/f_{CP}(クロック周期)

*2 クロックパルス波形

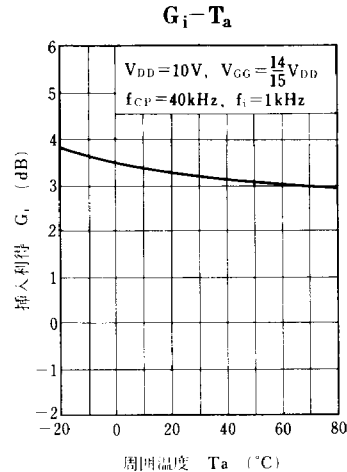
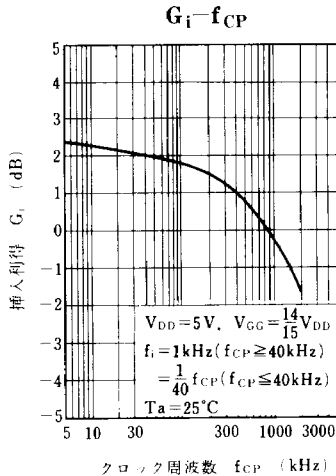
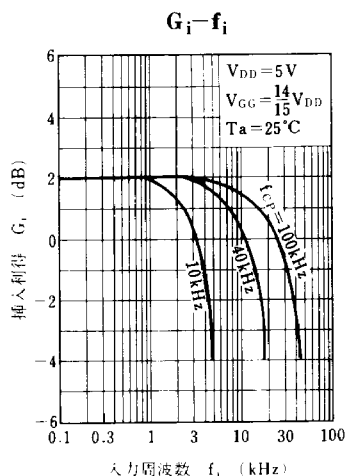
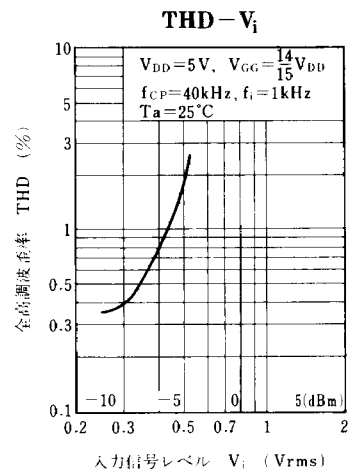
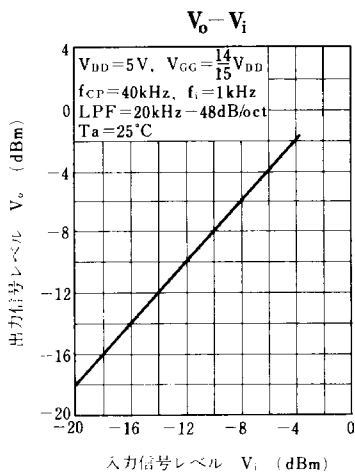
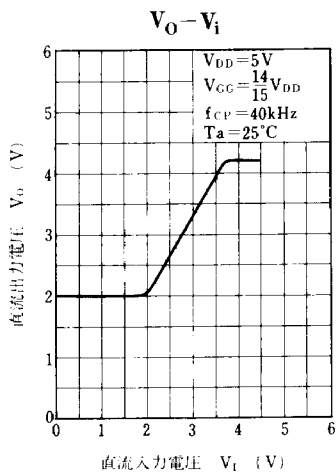
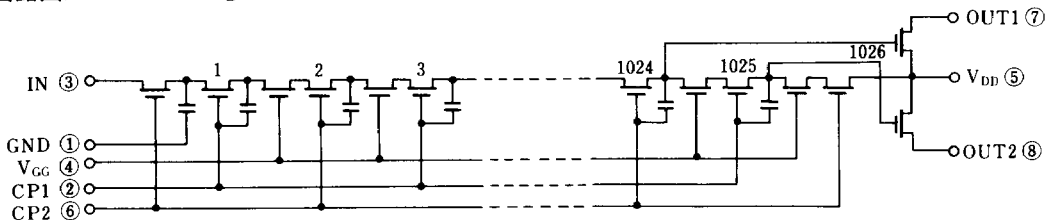


■ 端子接続図/Terminal Connections

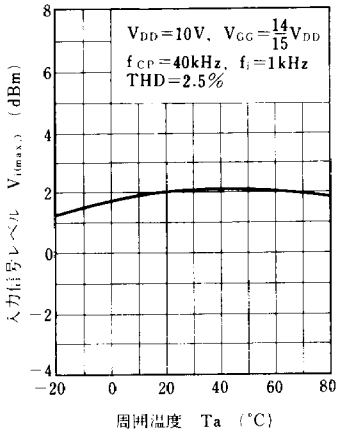


「Top View」

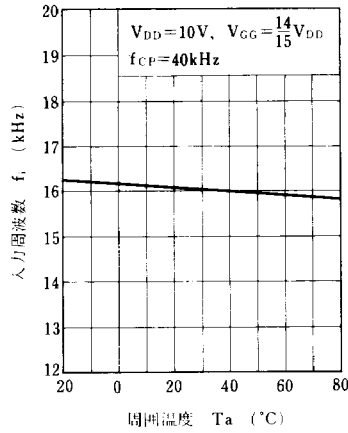
■ 回路図 / Circuit Diagram



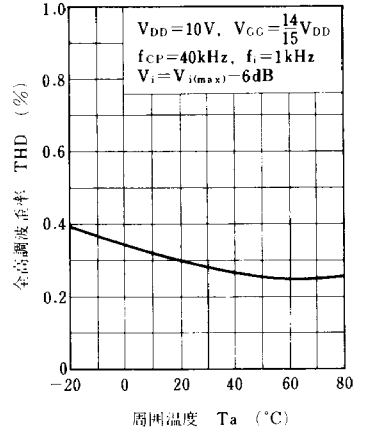
$V_{i(max.)} - T_a$



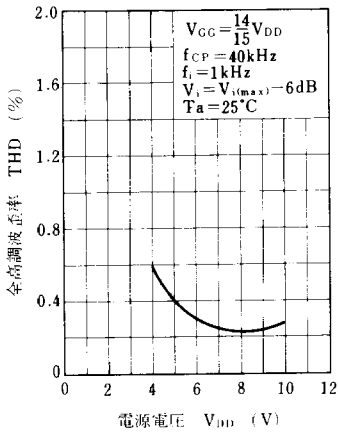
$f_i - T_a$



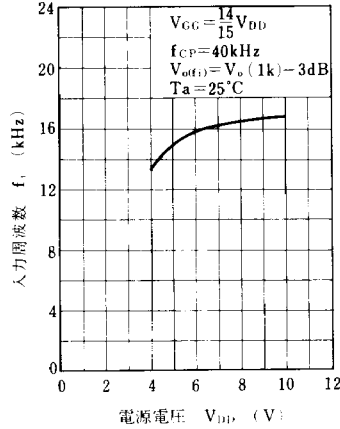
$THD - T_a$



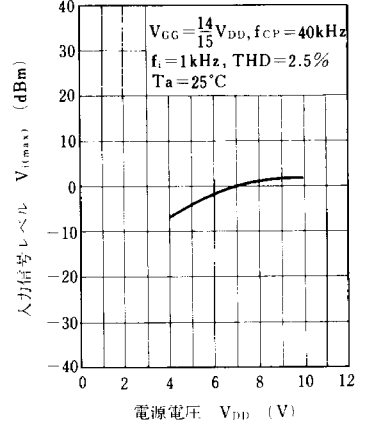
$THD - V_{DD}$



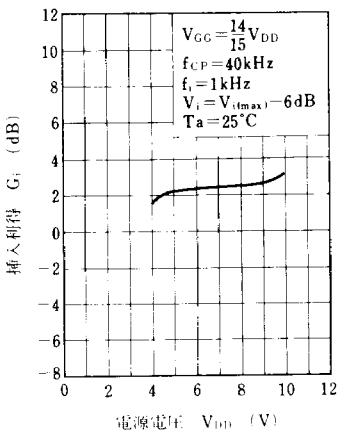
$f_i - V_{DD}$



$V_{i(max.)} - V_{DD}$



$G_i - V_{DD}$



$S/N - V_{DD}$

